

# Class-C VCO with Bias Regulator Circuitry for Enhanced Oscillation Swing and Robust Start-Up

Samaneh Haghdoost<sup>1</sup>, Puya Torkzadeh<sup>2\*</sup>, Mohammad Chahardori<sup>3</sup>

<sup>1</sup>M.Sc., Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran, Email: samane.haghdoost@gmail.com

<sup>2</sup>Assistant Professor, Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran, Email: p-torkzadeh@srbiau.ac.ir

<sup>3</sup>Assistant Professor, Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran, Email: m-chahardori@srbiau.ac.ir

## Short Abstract

A novel bias regulator circuitry is introduced for the class-C LC-VCO in this paper, that results in reduced phase noise and amplitude-enhanced and more robustness of start-up than conventional class-C VCO. Setting the bias voltage is such that in the start-up,  $V_{bias}$  to be larger than the threshold voltage and provide a safe start-up, then in the steady state oscillation, it goes less than  $V_{th}$  and increases the maximum oscillation amplitude. In the proposed bias circuitry, by combining the ring oscillator circuit and a rectifier and two inverters in the first stage, a step voltage signal is created which changes from 0 to  $V_{DD}$  and then by applying it to the second stage and the switching operation of the transistors in this stage, the appropriate  $V_{bias}$  is provided. The proposed VCO is implemented in RF 0.18um CMOS process and is simulated by Cadence. Based on the post layout simulations results, the phase noise of the proposed VCO is -121.3dBc/Hz at 1MHz offset frequency from a 5GHz carrier and the power consumption is 2mW, resulting in a FoM of 192.24dBc/Hz.

## Keywords

Class-C LC oscillator, Bias regulator circuitry, Phase noise, Robust start-up.

## 1- Short Introduction

In the LC cross-coupled Class-C VCO, applying a bias voltage to the gate of the core transistors,  $V_{bias}$  by RC biased network together with a large tail capacitance in the parallel to the current source, to prevent the transistors from working in the deep triode region and make impulse-like current waveforms of the core transistors and also filter off the high frequency noise from the bias current, results in about 3.9 dB phase noise reduction, compared to the traditional cross-coupled LC-tank oscillator. But the class-C VCO exhibits a trade-off between maximum oscillation amplitude and start-up robustness and as a result, oscillation amplitude is limited by the value of  $V_{bias}$ , to around half of the supply voltage. So, it is essential to present new ideas to solve this trade-off and increase oscillation swing of class-C VCO, while maintaining the advantages of class-C operation.

## 2- Proposed Work and Methodology

In this work, a new bias circuitry is proposed for the core transistors in class-C VCO that adjusts the voltage of the gate node of the cross-coupled transistors,  $V_{bias}$ , to less than the threshold voltage of technology at the start-up phase, so it enables the VCO to start oscillating with an operation close to a traditional cross-coupled LC-VCO for robust start-up. Also, the bias circuitry sets  $V_{bias}$  above the voltage threshold at the steady state phase, hence the oscillation automatically adapts to an amplitude-enhanced class-C VCO when it reaches the steady-state oscillation. Therefore, the main trade-off in the conventional class-C topology is broken, results in improved phase noise performance. The bias circuit consists of two parts: the first, delay generator stage and the second, voltage regulator stage. First stage, consists of a ring oscillator and a rectifier and two inverters, generates a step signal between 0 to  $V_{DD}$ . In fact, there is a delay in the arrival of the input voltage of the second stage from zero to  $V_{DD}$ . This delay time is the start-up phase and after this, steady state phase begins. The second stage, adjusts  $V_{bias}$  to the required values in the start-up and steady-state phases, by using the switching operation of the transistors in the triode and cut-off regions, as well as using the voltage sources with the diode-connected structure. Compared to relevant papers, the proposed bias circuitry, does not load tank directly and adjusts bias voltage precisely by a reference voltage, and it has a low power consumption and low contribution to phase noise. On the other hand, by increasing the transconductance of the core transistors at the start-up, it allows to reduce the width of the core transistors with respect to the conventional class-C VCO and thus maximize the swing and minimize the phase noise. Improved performance of the proposed class-C VCO is verified according to simulation and post layout simulation results.

## 3- Conclusion

In This paper, a novel class-C VCO with a new bias technique was proposed to provide a robust start-up against the PVT variations and had higher oscillation swing and lower phase noise with respect to the conventional class-C VCO. After describing the advantages and disadvantages of the class-C VCO compared to the traditional class-B LC-VCO, an analysis was performed on the parameters affecting the start-up and the amplitude and the phase noise of the class-C VCO that revealed the trade-off between high swing and the robust start-up in this VCO. Then, the proposed bias circuitry was introduced to set DC voltage of the gate node of the core transistors to less than the threshold voltage of technology at the start-up phase and above the voltage threshold at the steady state phase of the oscillation. Then the proposed circuit operation and its optimum design were described. Finally, simulation and post layout simulation results confirmed promising and improved performance of the proposed class-C VCO.

## 4- References

- [1] L. Fanori and P. Andreani, "Highly efficient class-C CMOS VCOs, including a comparison with class-B VCOs," IEEE J. Solid-State Circuits, vol. 48, no. 7, pp. 1730–1740, 2013
- [2] Z. Zhu, L. Liang and Y. Yang, "A startup robust feedback Class-C VCO with constant amplitude control in 0.18 m CMOS," IEEE Microwave and Wireless Components Letters, vol. 25, no. 8, pp. 541–543, 2015.
- [3] J. Lee, G. Kim, G. Ko, K. Oh, J. Park and D. Baek, "Low phase noise and wide-range Class-C VCO using auto-adaptive bias technique," MDPI Electronics, no. 8, 2020

## نوسان‌ساز کنترل شده با ولتاژ کلاس-C دارای مدار تنظیم بایاس جهت افزایش دامنه نوسان و راه‌اندازی ایمن

سمانه حقدوست

کارشناسی ارشد، گروه مهندسی برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران

پویا ترک‌زاده

استادیار، گروه مهندسی برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران

محمد چهاردوری

استادیار، گروه مهندسی برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران

چکیده

در این مقاله یک مدار تنظیم بایاس جدید برای ترانزیستورهای تزویج ضربدری در نوسان‌ساز LC کلاس-C معرفی شده است که منجر به افزایش دامنه نوسان و کاهش نویز فاز و راه‌اندازی ایمن‌تر نسبت به نوسان‌ساز کلاس-C متداول می‌گردد. تنظیم ولتاژ بایاس به‌گونه‌ای است که در ابتدای نوسان، ولتاژ بایاس بالاتر از ولتاژ آستانه تکنولوژی تنظیم شود تا قدرت راه‌اندازی نوسان‌ساز بهبود یابد و سپس وقتی نوسان به حالت پایدار می‌رسد، ولتاژ بایاس به مقداری کمتر از ولتاژ آستانه تکنولوژی تنظیم گردد تا دامنه نوسان افزایش یابد. در مدار بایاس پیشنهادی، با ترکیب مدار نوسان‌ساز حلقوی و مدار صافی و دو معکوس‌گر در طبقه اول، یک سیگنال ولتاژ پله با تغییرات بین صفر تا ولتاژ تغذیه ایجاد می‌گردد و سپس با اعمال این سیگنال به طبقه دوم و عملکرد سویچ‌زنی ترانزیستورها در این طبقه، سیگنال ولتاژ بایاس مناسب فراهم می‌شود. نوسان‌ساز پیشنهادی با استفاده از تکنولوژی  $0.18\mu\text{m}$  RF-CMOS طراحی و توسط نرم‌افزار Cadence شبیه‌سازی شده است. بر اساس نتایج شبیه‌سازی‌های پست لی‌اوت، توان مصرفی مدار پیشنهادی  $2\text{mW}$  و نویز فاز در آفست  $1\text{MHz}$  از فرکانس حامل  $5\text{GHz}$ ، برابر  $121/3\text{dBc/Hz}$  و ضریب شایستگی برابر با  $192/24\text{dBc/Hz}$  می‌باشد.

کلمات کلیدی

نوسان‌ساز LC کلاس-C، مدار تنظیم بایاس، نویز فاز، راه‌اندازی ایمن.

نام نویسنده مسئول: دکتر پویا ترک‌زاده

ایمیل نویسنده مسئول: p-torkzadeh@srbiau.ac.ir

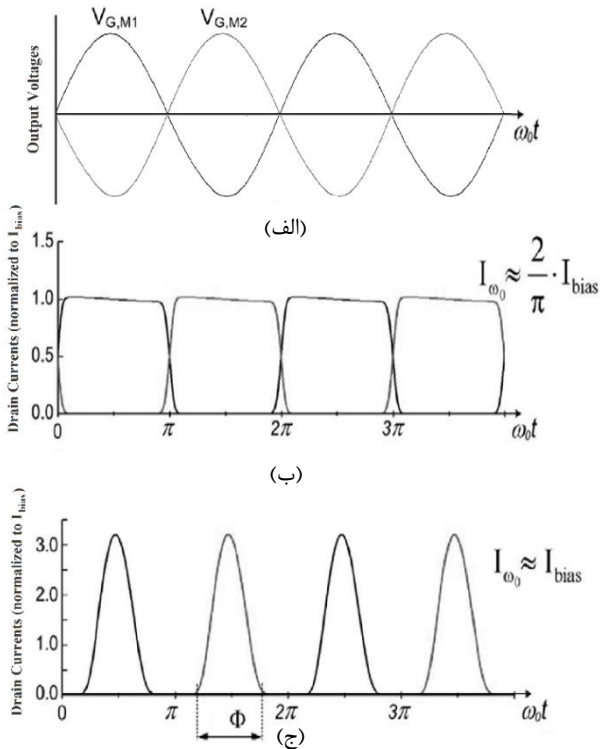
تاریخ ارسال مقاله: 1401/05/18

تاریخ(های) اصلاح مقاله: 1401/08/10

تاریخ پذیرش مقاله: 1401/09/17

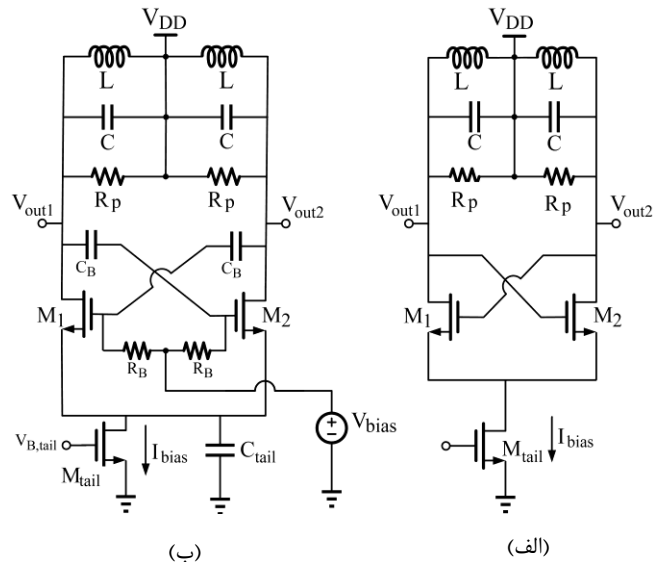
۱- مقدمه

ترکیب نویز فاز کم در کنار توان مصرفی پایین هم‌چنان یکی از بزرگترین چالش‌ها در طراحی نوسان‌ساز کنترل شده با ولتاژ (VCO) محسوب می‌شود. نوسان‌ساز LC تزویج ضربدری موسوم به نوسان‌ساز کلاس-B نشان داده شده در شکل ۱ (الف)، به دلیل ساختار مداری ساده و راه‌اندازی ایمن، بسیار پرکاربرد است. این نوسان‌ساز بازدهی توان بالایی ندارد و سهم نویز فاز ترانزیستور منبع جریان  $(M_{tail})$  هم در آن بسیار بزرگ است [۹، ۱]. در سال‌های اخیر تلاش‌هایی جهت بهبود نویز فاز نوسان‌ساز کلاس-B بر اساس تئوری حاجی‌میری [۲] در مقالات صورت گرفته است. این تئوری نشان داد که اگر جریان نویزی درین ترانزیستورهای هسته ( $M_1$  و  $M_2$ ) از شکل موج مربعی در نوسان‌ساز کلاس-B به پالس‌های جریان بلند و نازک تبدیل گردد که این جریان‌های شبه-ضربه‌ای همزمان با نقاط بحرانی<sup>۲</sup> ولتاژ سینوسی خروجی اتفاق بیفتند، نویز فاز می‌تواند بهبود یابد. از بین روش‌های مختلف ارائه شده [۴-۸]، در نوسان‌ساز کلاس-C نشان داده شده در شکل ۱ (ب)، با اعمال ولتاژ بایاس  $V_{bias}$ ، از طریق شبکه بایاس RC به گیت ترانزیستورهای هسته و عملکرد یکسوکندگی خازن بزرگ  $C_{tail}$  و کارکرد ترانزیستورهای هسته نزدیک به ناحیه اشباع، شکل‌دهی جریان مورد نظر تضمین می‌شود [۵]. شکل ۲، با نمایش هم‌زمان ولتاژهای خروجی نوسان‌ساز و جریان گذرنده از ترانزیستورهای هسته در دو نوسان‌ساز کلاس-B و کلاس-C، جریان‌های این دو نوسان‌ساز را مقایسه کرده است. جریان درین شبه‌ضربه‌ای در کلاس-C، منجر به بهبود دامنه نوسان و کاهش حدود  $3/9$  dB در نویز فاز، نسبت به نوسان‌ساز کلاس-B می‌گردد [۵]. به‌علاوه خازن بزرگ  $C_{tail}$ ، نویز گرمایی فرکانس بالای ترانزیستور  $M_{tail}$  را فیلتر کرده و بهبود بیشتری در نویز فاز ایجاد می‌کند [۹].



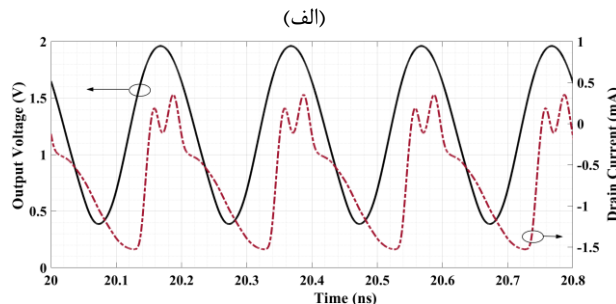
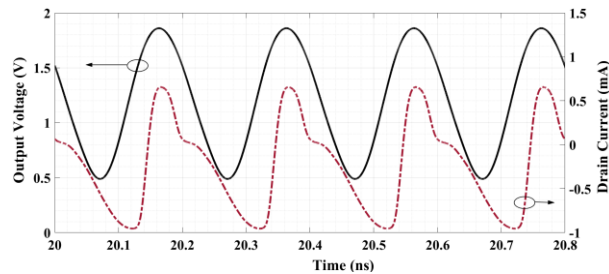
شکل ۲: (الف) ولتاژهای خروجی سینوسی نوسان‌ساز LC؛ جریان‌های گذرنده از ترانزیستورهای هسته در نوسان‌ساز LC نوع (ب) کلاس-B و (ج) کلاس-C [۵]

مهم‌ترین اشکال در ساختار کلاس-C این است که کاهش ولتاژ بایاس، دامنه نوسان را بهبود می‌دهد اما قدرت راه‌اندازی نوسان را تضعیف می‌نماید و این امر دامنه نوسان را محدود می‌کند [۵]. در سال‌های اخیر تلاش‌هایی برای حذف بده-بستان<sup>۳</sup> ذکر شده بر سر ولتاژ  $V_{bias}$  جهت افزایش دامنه نوسان و بهبود نویز فاز صورت گرفته است [۹-۱۸]. در VCO کلاس-C ارائه شده در [۱۰]، با استفاده از جفت کلاس-B کمکی به موازات هسته کلاس-C و در [۱۱]، با کاهش ولتاژ آستانه تکنولوژی ( $V_{th}$ ) توسط مدار تنظیم بایاس بدنه، قدرت راه‌اندازی نوسان قدری افزایش پیدا کرده است اما آن‌ها راه حلی برای کاهش  $V_{bias}$  جهت افزایش دامنه نوسان ارائه نمی‌کنند. در برخی مقالات جهت رفع بده-بستان یاد شده، مداراتی جهت تنظیم ولتاژ  $V_{bias}$  ارائه شده است، به گونه‌ای که  $V_{bias}$  در زمان راه‌اندازی نوسان به حد کافی بزرگتر از ولتاژ آستانه تنظیم شود و راه‌اندازی ایمن را فراهم نماید. پس از گذشت مدت زمان کوتاهی که وارد نوسان حالت پایدار می‌شویم،  $V_{bias}$  به مقداری کمتر از  $V_{th}$  کاهش یابد تا بیشینه دامنه نوسان افزایش یابد. به عنوان مثال، VCO کلاس-C با حلقه فیدبک دامنه [۱۲، ۱۳]، از حسگر دامنه برای تنظیم  $V_{bias}$  استفاده کرده است که عیب این رویکرد، بارگذاری تانک توسط حسگر دامنه است که هر دوی ضریب کیفیت تانک و گستره فرکانسی VCO را کاهش می‌دهد. یک VCO



شکل ۱: (الف) VCO کلاس-B متداول؛ (ب) VCO کلاس-C [۵]

این حالت، هدایت انتقالی ترانزیستورهای هسته در فاز راه‌اندازی نوسان به شدت کم شده و ممکن است در اثر تغییرات ولتاژ-دما-فرآیند (PVT)، نوسان‌ساز شروع به نوسان نکند. با فرض  $V_{bias}$  در حد  $V_{th}$ ، بیشینه دامنه نوسان مجاز تقریباً برابر نصف ولتاژ تغذیه خواهد بود [۵]. در حالی که در نوسان‌ساز کلاس-B، با تراپود رفتن جفت هسته، بیشینه سوپینگ در حدود  $0.7V_{DD}$  می‌باشد [۹].



(ب)

شکل ۳: (الف) ولتاژ خروجی تک-انتهایی ( $V_{out1}$ ) و جریان درین یکی از ترانزیستورهای هسته ( $i_{d2}$ ) برای نوسان‌ساز کلاس-C وقتی ترانزیستورهای هسته (الف) در ناحیه اشباع باقی می‌مانند و (ب) وارد ناحیه تراپود می‌شوند.

یکی دیگر از پارامترهای تاثیرگذار بر دامنه نوسان، ابعاد ترانزیستورهای هسته می‌باشد. با فرض انتخاب حداقل طول تکنولوژی برای طول ترانزیستورهای هسته، افزایش عرض ترانزیستور هسته، طبق رابطه (۳) قدرت راه‌اندازی نوسان را افزایش می‌دهد [۱]. از طرفی با توجه به رابطه (۴) برای زاویه هدایت (زاویه‌ای در یک تناوب از نوسان که در آن ترانزیستور هسته روشن است و با  $\Phi$  نمایش داده می‌شود [۵])، با افزایش عرض ترانزیستور هسته، زاویه هدایت کم شده و منجر به جریان شبه-ضربه ای باریک و بلندتر با هارمونیک اول بالاتر می‌شود و در نتیجه انتظار می‌رود که نویز فاز بهبود یابد [۵].

$$\rightarrow \mu_n C_{ox} \left(\frac{W}{L}\right)_{core} (V_{bias} - V_{th}) \geq \frac{1}{R_p} g_{m,core,start up} \geq \frac{1}{R_p} \quad (3)$$

$$\Phi = \arcsin \sqrt{\frac{I_{bias}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{core} A_{tan k}^2}} \quad (4)$$

کلاس-C ولتاژ-پایین با سوپینگ بالا در [۱۵،۱۴] ارائه شده است که در آن منبع جریان دنباله با تعبیه یک آینه جریان، حذف شده است. مدار کنترل بایاس در این طراحی یک بالاسری قابل توجه به توان مصرفی اضافه می‌کند.

در این مقاله یک تکنیک متفاوت جهت تنظیم ولتاژ بایاس ( $V_{bias}$ ) در فازهای راه‌اندازی و نوسان پایدار، جهت راه‌اندازی ایمن و افزایش دامنه نوسان و بهبود نویزفاز ارائه شده است که در آن تانک مستقیماً بارگذاری نمی‌شود و از طرفی مقدار ولتاژ  $V_{bias}$  در نوسان پایدار به طور دقیق توسط یک ولتاژ مرجع،  $V_{ref}$ ، تعیین می‌گردد. مدار بایاس پیشنهادی توان مصرفی کمی داشته و نویز آن به صورت غیر مستقیم و بعد از گذر از فیلتر RC به تانک تزریق می‌شود و بر طبق نتایج شبیه‌سازی، سهم نویز فاز آن خیلی پایین است.

در بخش دوم از مقاله پارامترهای مداری تاثیرگذار بر دامنه نوسان در یک VCO کلاس-C بررسی شده است. بخش سوم، مدار پیشنهادی و جزئیات مدار بایاس آن را توصیف می‌کند. بخش چهارم، نتایج شبیه‌سازی را ارائه می‌کند. سرانجام نتایج در بخش پنجم جمع‌بندی می‌شوند.

## ۲- پارامترهای تاثیرگذار بر دامنه نوسان در VCO کلاس-C

بر اساس مدل های ارائه شده برای نویز فاز، این پارامتر با دو برابر دامنه نوسان رابطه عکس دارد [۲،۱]. بیشینه دامنه نوسان در نوسان‌ساز کلاس-C وابسته به  $V_{bias}$  است و علت آن لزوم عملکرد ترانزیستورهای هسته در نزدیکی ناحیه اشباع است. با ورود ترانزیستورهای هسته به ناحیه خطی، در نزدیکی قله ولتاژ خروجی نوسان‌ساز، یک گودی در جریان تانک ظاهر می‌شود و با تخریب شکل جریان شبه‌ضربه‌ای، نویز فاز افزایش می‌یابد [۹]. شکل ۳ این پدیده را نشان می‌دهد. از طرفی با ورود ترانزیستورهای هسته به ناحیه خطی، رسانایی کانال آن‌ها و متعاقباً نویز موثر ناشی از نویز گرمایی این ترانزیستورها افزایش می‌یابد [۳]. هم‌چنین همان‌طور که در ادامه توضیح داده می‌شود، ورود ترانزیستورهای هسته به نزدیکی ناحیه تراپود عمیق، انتقال به بالای نویز فلیکر ترانزیستور دنباله به نویز فاز را به شدت افزایش می‌دهد. مجموع این اثرات می‌تواند نویز فاز را چند dB افزایش دهد.

بیشینه دامنه نوسان تک-انتهایی با نوشتن شرط حضور جفت هسته در ناحیه اشباع،  $V_D > V_G - V_{th}$ ، به صورت زیر به دست می‌آید [۵]:

$$(V_{bias} + A_{tan k} - (V_{DD} - A_{tan k})) \leq V_{th} \quad (1)$$

$$A_{tan k} \leq \frac{V_{DD} - V_{bias} + V_{th}}{2} \quad (2)$$

رابطه (۲) نشان می‌دهد که با کاهش  $V_{bias}$ ، دامنه نوسان افزایش می‌یابد اما ولتاژ بایاس را نمی‌توان کوچک‌تر از ولتاژ آستانه انتخاب کرد. چرا که در

$$Z_T = \frac{1}{j2\omega_0 C_T} \quad (6)$$

$$r_{on} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{core} (V_{GS,core} - V_{th})} \quad (7)$$

فازور مربوط به هارمونیک دوم  $V_T$ ، با توجه به تقسیم ولتاژ بین امپدانس های  $Z_T$  و  $r_{on}$  به صورت زیر خواهد بود [۳]:

$$\overline{V_{tail}} = \frac{A_{tan k}}{2} \left| \frac{Z_T}{Z_T + r_{on}} \right| e^{j \tan^{-1} \left( \frac{r_{on}}{Z_T} \right)} \quad (8)$$

بنابراین فازور مربوط به جریان گذرنده از خازن  $C_T$ ، که با  $i_T$  نمایش داده شده است، در دو برابر فرکانس نوسان برابر است با:

$$\overline{i_T} = \frac{A_{tan k} \omega_0 C_T}{\sqrt{1 + (2\omega_0 r_{on} C_T)^2}} e^{j \left( \tan^{-1} (2\omega_0 r_{on} C_T) + \frac{\pi}{2} \right)} \quad (9)$$

با توجه به شکل ۲، جریان ترانزیستورهای هسته در نوسان ساز کلاس-B دارای شکل مربعی و در نوسان ساز کلاس-C دارای شکل شبه-ضربه‌ای است. حال تابعی تعریف می‌کنیم که میزان برقرار بودن جریان در هر یک از ترانزیستورهای هسته، در هر سیکل از نوسان را نشان دهد و آن را با  $S(\omega_0 t)$  نمایش می‌دهیم.

$$S(\omega_0 t) = \begin{cases} 1 & 0 \leq \omega_0 t \leq \Phi \\ 0 & elsewhere. \end{cases} \quad (10)$$

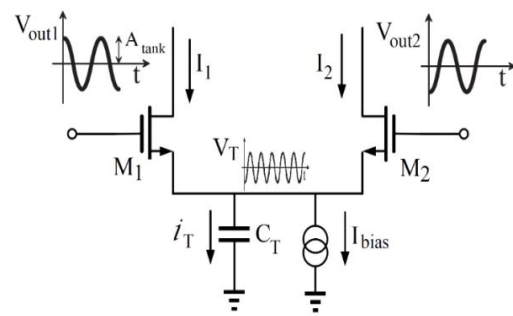
که در آن  $\Phi$ ، زاویه هدایت نوسان ساز است. در نوسان ساز کلاس-B،  $\Phi$  برابر  $\pi$  است و  $S(\omega_0 t)$  یک پالس مربعی با تغییرات بین صفر و یک است. در حالی که در نوسان ساز کلاس-C که ترانزیستورهای هسته کمتر از یک نیم سیکل روشن هستند،  $\Phi$  مقداری کمتر از  $\pi$  دارد و مقدار دقیق آن می‌تواند از رابطه (۴) به دست آید.  $S(\omega_0 t)$  متناوب بوده و دارای بسط سری فوری می‌باشد که می‌توان به صورت زیر این بسط را نمایش داد:

$$S(\omega_0 t) = \sum_k S_k \cos(k\omega_0 t) \quad (11)$$

به دلیل وجود خازن  $C_T$ ، در هارمونیک اول جریان گذرنده از تانک، یک بخش اضافی وجود دارد که از مخلوط شدن هارمونیک اول و سوم تابع  $S(\omega_0 t)$  با هارمونیک دوم جریان  $i_T$ ، به دست می‌آید. اگر این بخش را با  $I_{1,Q}$  نامش دهیم، بخش عمود این جریان با توجه به مخلوط شدن هارمونیک ها، آن چنان که گفته شد، به صورت زیر به دست می‌آید:

$$I_{1,Q} = \frac{S_1 - S_3}{2} \cdot \frac{2A_{tan k} \omega_0 C_T}{\sqrt{1 + (2\omega_0 r_{on} C_T)^2}} \cdot \sin \left( \tan^{-1} (2\omega_0 r_{on} C_T) + \frac{\pi}{2} \right) \quad (12)$$

اما برخلاف انتظار، کاهش عرض ترانزیستور هسته منجر به افزایش دامنه نوسان و کاهش نویز فاز می‌گردد. در توجیه این مساله باید به اثر مهم سهم نویز فاز ناشی از نویز فلیکر ترانزیستور دنباله اشاره کنیم که در نتیجه‌ی خازن پارازیتیکی خروجی ترانزیستور دنباله به وجود می‌آید. در نوسان سازهای LC دارای منبع جریان بایاس، در دامنه‌های نوسان بزرگ که ترانزیستورهای هسته وارد ناحیه ترایود می‌شوند، مقاومت کانال آن‌ها کم شده و جداسازی بین خازن خروجی دنباله و خازن تانک کم می‌شود. این امر باعث می‌شود که به دلیل وجود خازن خروجی دنباله، یک خازن غیرخطی،  $C_{T,eff}$ ، از دید تانک داشته باشیم که در اثر تبدیل مدولاسیون AM-FM<sup>۵</sup> نویز فاز زیادی ایجاد می‌کند. جهت محاسبه‌ی  $C_{T,eff}$  از شکل ۴ مطابق تحلیل به کار رفته در [۳] استفاده می‌کنیم.



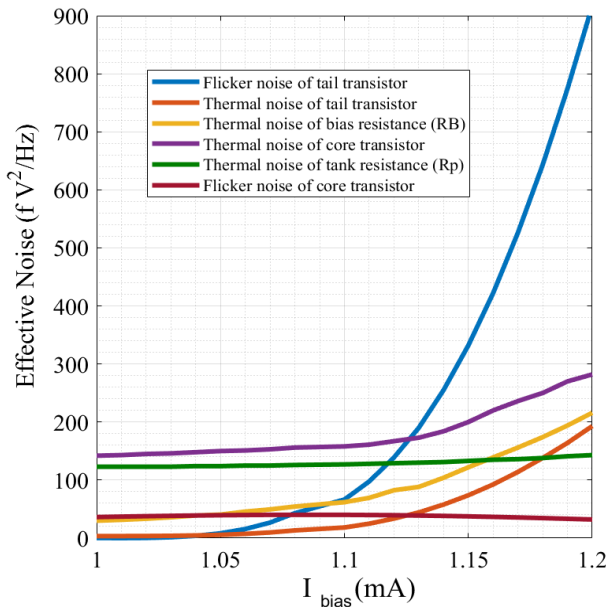
شکل ۴: مدار معادل نوسان ساز کلاس-C جهت محاسبه خازن  $C_{T,eff}$  [۳]

در شکل ۴ ترانزیستور دنباله با منبع جریان  $I_{bias}$  معادل شده است. خازن خروجی دنباله،  $C_T$ ، در نوسان ساز کلاس-B برابر مجموع خازن پارازیتیکی اتصال سورس-بالک از ترانزیستورهای  $M_1$  و  $M_2$  و خازن گیت-درین و درین-بالک از ترانزیستور دنباله است. اما در نوسان ساز کلاس-C، خازن  $C_T$  علاوه بر خازن‌های پارازیتیکی گفته شده، خازن  $C_{tail}$  را هم شامل می‌شود. ولتاژهای خروجی را به صورت زیر می‌توان نوشت [۳]:

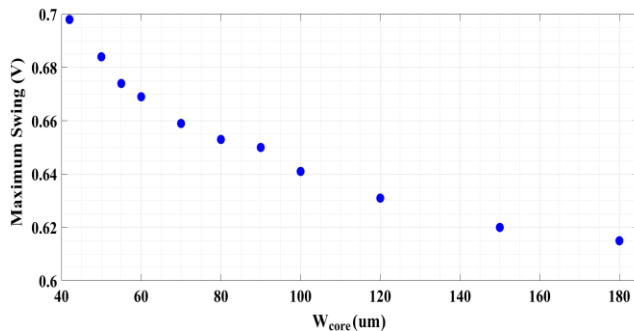
$$\begin{cases} V_{out1} = A_{tan k} \cos \omega_0 t \\ V_{out2} = -A_{tan k} \cos \omega_0 t \end{cases} \quad (5)$$

که در آن‌ها  $A_{tan k}$ ، دامنه نوسان تک‌انتهایی و  $\omega_0$  فرکانس نوسان می‌باشد. وقتی  $A_{tan k}$ ، از نصف ولتاژ آستانه تکنولوژی بزرگ‌تر می‌شود، ترانزیستورهای هسته ( $M_1$  و  $M_2$ ) وارد ناحیه ترایود می‌شوند. در صورتی که مقاومت کانال جفت هسته در ناحیه ترایود،  $r_{on}$ ، به اندازه کافی کوچک باشد، ولتاژ گره سورس مشترک جفت هسته،  $V_T$ ، سوینگ‌های منفی ولتاژهای درین  $M_1$  و  $M_2$  را دنبال می‌کند. در نتیجه  $V_T$  یک سیگنال کسینوسی با دو برابر فرکانس نوسان خواهد بود که ۱۸۰ درجه با ولتاژ خروجی  $V_{o1}$  اختلاف فاز دارد [۳]. امپدانس موجود در گره سورس مشترک در دو برابر فرکانس نوسان ( $Z_T$ ) [۳]، و  $r_{on}$  [۱] برابر هستند با:

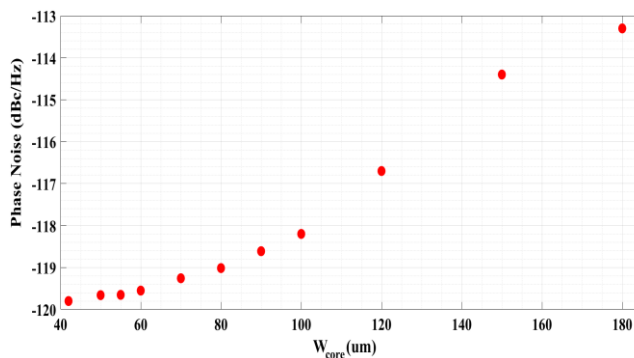
استفاده از یک مدار اضافی جهت تنظیم  $V_{bias}$  در VCO کلاس-C، آن چنان که در بخش مقدمه گفته شد را مشخص می‌سازد.



شکل ۵: نویز موثر شبیه‌سازی شده برای همه منابع نویز بر حسب  $I_{bias}$  در نوسان‌ساز کلاس-C



(الف)



(ب)

شکل ۶: حداکثر دامنه نوسان و حداقل نویز فاز (در آفست ۱MHz از فرکانس حامل ۵GHz) بر حسب عرض ترانزیستورهای هسته در نوسان‌ساز کلاس-C

$I_{I,Q}$  نشان‌دهنده دیده شدن یک خازن پارازیتیک اضافی از طرف تانک به دلیل حضور خازن فیزیکی  $C_T$  است. این خازن را با  $C_{T,eff}$  نمایش داده و از برابری جریان آن با  $I_{I,Q}$  مقدار این خازن قابل محاسبه است:

$$j\omega_0 C_{T,eff} A_{\text{tank}} = j \frac{(S_1 - S_3) A_{\text{tank}} \omega_0 C_T}{\sqrt{1 + (2\omega_0 r_{on} C_T)^2}} \cdot \sin(\tan^{-1}(2\omega_0 r_{on} C_T) + \frac{\pi}{2}) \quad (13)$$

با فرض  $C_{T,eff}, 2\omega_0 r_{on} C_T \ll 1$  برابر است با:

$$C_{T,eff} \cong \frac{(S_1 - S_3) C_T}{1 + (2\omega_0 r_{on} C_T)^2} \quad (14)$$

با توجه به  $(S_1 - S_3) > 0$ ،  $C_{T,eff}$  مقداری مثبت دارد. رابطه (۱۴) نشان می‌دهد که با کاهش عرض ترانزیستور هسته و متعاقباً افزایش  $r_{on}$ ، خازن موثر دیده شده از تانک در اثر خازن غیرخطی ترانزیستور دنباله ( $C_{T,eff}$ ) و حساسیت AM-FM آن کاهش می‌یابند.

شکل ۵ نویزهای موثر شبیه‌سازی شده ناشی از منابع نویز فلیکرها و گرمایی مختلف در نوسان‌ساز کلاس-C متداول را بر حسب جریان بایاس نشان می‌دهد. در دامنه‌های نوسان بالا، منحنی نویز موثر مربوط به نویز فلیکرها ترانزیستور دنباله شیب افزایشی بالاتری نسبت به سایر منابع نویز دارد. بعد از آن، بالاترین شیب افزایشی، متعلق به منحنی مربوط به نویز گرمایی ترانزیستورهای هسته است. مشاهده می‌شود که با افزایش جریان بایاس، توان نویز در خروجی هم در حال افزایش است. نویز فاز با توان دوم دامنه نوسان رابطه عکس دارد و با توان نویز خروجی رابطه مستقیم دارد [۲۰، ۲۱]. در جریان‌های بایاس بزرگ که ترانزیستورهای هسته وارد ناحیه تریاود می‌شوند، با توجه به اثر خازن موثر غیرخطی دنباله و هم‌چنین کاهش رسانایی جفت هسته، توان نویز در خروجی بسیار زیاد شده و در نهایت از یک جریان خاص به بعد، اثر مخرب ازدیاد توان نویز خروجی بر بزرگ بودن دامنه نوسان غالب شده و نویز فاز از آن نقطه به بعد، شروع به افزایش می‌کند و دامنه نوسان محدود می‌شود. بنابراین کاهش شیب منحنی‌های نویز موثر نویز فلیکرها دنباله و نویز گرمایی ترانزیستورهای هسته، می‌تواند منجر به افزایش دامنه نوسان گردد و نویز فاز پایین‌تری حاصل گردد که این امر طبق رابطه (۷) و (۱۴)، با کاهش عرض جفت هسته و به تبع افزایش  $r_{on}$  به دست می‌آید. شکل ۶ حداکثر دامنه نوسان و حداقل نویز فاز را برای مقادیر مختلف عرض جفت هسته،  $W_{core}$ ، برای نوسان‌ساز کنترل شده با ولتاژ کلاس-C متداول نشان می‌دهد که موید تحلیل فوق است. در طول تغییر عرض ترانزیستورهای هسته، طول این ترانزیستورها برابر حداقل طول کانال تکنولوژی معادل ۱۸۰nm می‌باشد.

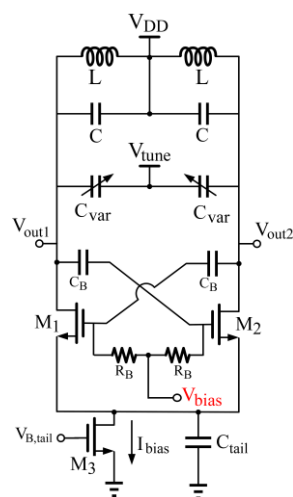
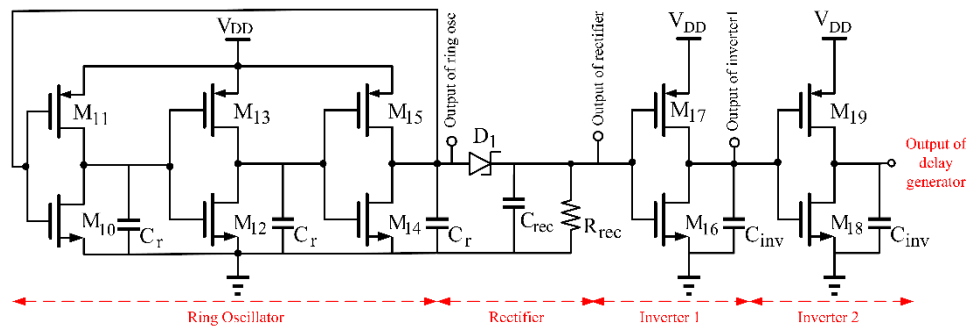
نیاز به  $V_{bias}$  و  $W_{core}$  کم جهت دستیابی به نویز فاز بهینه و بیشینه سوئیچینگ، باعث می‌شود که هدایت انتقالی جفت هسته (در فاز راه‌اندازی نوسان) کمی بالاتر از  $1/R_p$  انتخاب شود که طبق معادله (۳) منجر به راه اندازی نایمن برای نوسان‌ساز کلاس-C متداول می‌شود. این تحلیل نیاز به



### ۳- مدار پیشنهادی

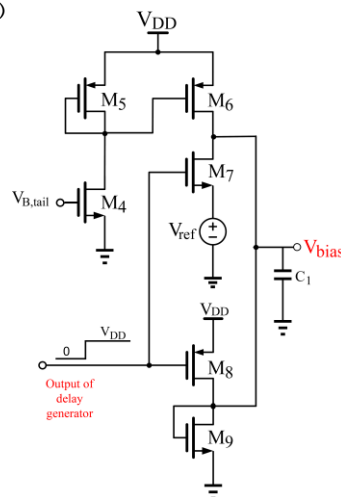
شکل ۷ شماتیک مدار بایاس پیشنهادی را نمایش می‌دهد که شامل یک هسته کلاس-C و مدار تنظیم بایاس است. مدار تنظیم بایاس شامل دو بخش است: طبقه اول، بلوک تولیدکننده تاخیر و طبقه دوم، بلوک تنظیم ولتاژ. طبقه اول، به‌گونه‌ای طراحی شده است که یک سیگنال ولتاژ پله ایجاد کند که در ابتدا برای مدت کوتاهی صفر بوده و سپس به مقدار ولتاژ تغذیه می‌رسد و برابر  $V_{DD}$  باقی خواهد ماند. خروجی طبقه اول به ورودی طبقه دوم اعمال می‌شود و در واقع هدف از طراحی طبقه اول مدار بایاس پیشنهادی این است که یک تاخیری در  $V_{DD}$  شدن ولتاژ ورودی طبقه دوم ایجاد کند. در مدت زمان تاخیر ایجاد شده و صفر ماندن ولتاژ ورودی طبقه دوم، این طبقه که وظیفه تنظیم ولتاژ را به عهده دارد، باید یک  $V_{bias}$  خیلی بزرگتر از  $V_{th}$  ایجاد کند تا طبق رابطه (۳)، نوسان با قدرت راه‌اندازی زیادی بتواند آغاز شود و مشکل راه‌اندازی که در نوسان‌ساز کلاس-C متداول وجود داشت، رفع گردد. به‌همین دلیل، مدت زمان صفر ماندن خروجی طبقه اول را فاز راه‌اندازی نام نهاده‌ایم. زمانی که ولتاژ خروجی طبقه اول به  $V_{DD}$  می‌رسد، نوسان به حالت پایدار در آمده و به دامنه

نوسان مورد نظر می‌رسد که جهت دستیابی به دامنه نوسان بالا و نویزفاز پایین، طبق رابطه (۲)، در این زمان طبقه تنظیم ولتاژ از مدار بایاس پیشنهادی باید یک  $V_{bias}$  به اندازه کافی پایین‌تر از  $V_{th}$  ایجاد کند. از لحظه شدن ولتاژ خروجی طبقه اول به بعد که نوسان به حالت پایدار می‌رسد را فاز حالت پایدار نام نهاده‌ایم. انتخاب  $V_{bias}$  در حالت پایدار، بر اساس ملاحظات پایداری و مقدار متوسط هدایت انتقالی ترانزیستورهای هسته و برقرار ماندن شرط نوسان در تمام مدت نوسان، انجام گرفته است [۱۲]. بنابراین ولتاژ خروجی طبقه دوم که همان خروجی مدار بایاس پیشنهادی است، آن‌چنان که در شکل ۸ (ج) نشان داده شده است، در فازهای راه‌اندازی و حالت پایدار به دو مقدار متفاوت تنظیم می‌گردد، به‌گونه‌ای که راه‌اندازی ایمن و دامنه نوسان بیشینه حاصل گردد. به‌علاوه دستیابی به هدایت انتقالی بالا در آغاز نوسان، بدون نیاز به عرض بزرگ برای ترانزیستورهای هسته، باعث شده که در طراحی نوسان‌ساز پیشنهادی، عرض ترانزیستورهای هسته کمتر از عرض این ترانزیستورها در نوسان‌ساز متداول انتخاب گردد که مطابق تحلیل انجام شده در بخش دوم، منجر به بهبود بیشتر در دامنه نوسان می‌شود. افزایش دامنه نوسان هم طبق رابطه نویز فاز حاجی‌میری [۲]، منجر به کاهش نویزفاز می‌گردد.



(ج)

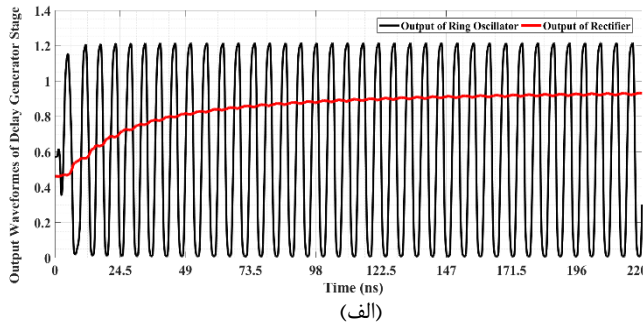
(الف)



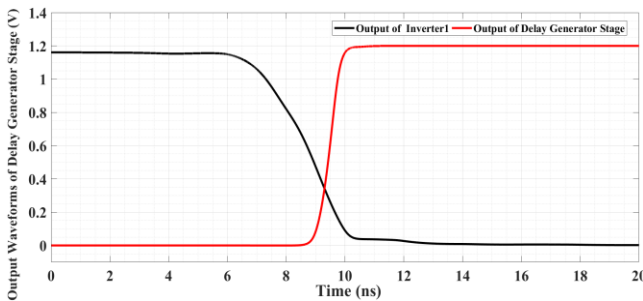
(ب)

شکل ۷: شماتیک VCO کلاس-C پیشنهادی؛ (الف) طبقه تولید کننده تاخیر؛ (ب) طبقه تنظیم ولتاژ؛ (ج) هسته کلاس-C

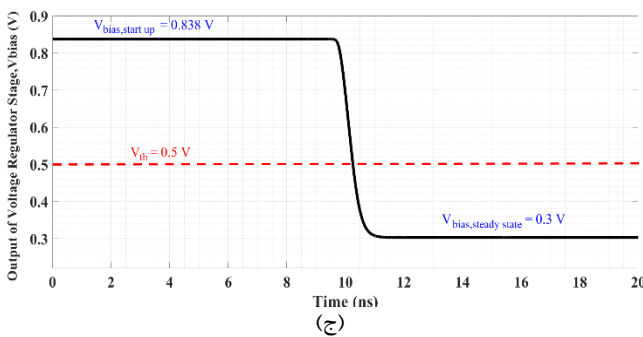
$V_{bias}$  در نوسان پایدار به طور دقیق به مقدار  $V_{ref}$  تنظیم می‌شود که به اندازه کافی کمتر از  $V_{th}$  انتخاب می‌شود. اشکال ۸ (الف) و ۸ (ب) شکل موج‌های گذرای طبقه تولید کننده تاخیر را نشان می‌دهند و همچنین شکل ۸ (ج) خروجی طبقه تنظیم کننده ولتاژ  $V_{bias}$  خروجی مدار بایاس پیشنهادی را نشان می‌دهد.



(الف)



(ب)



(ج)

**شکل ۸:** شکل موج‌های گذرا در مدار تنظیم بایاس نوسان ساز پیشنهادی

مدار بایاس پیشنهادی، تانک را به صورت مستقیم بارگذاری نمی‌کند و ولتاژ بایاس را در نوسان حالت پایدار به یک مقدار کاملاً دقیق تنظیم می‌کند و توان مصرفی و سهم نویز فاز کمی دارد. طبقه تاخیر هیچ سهمی در نویز فاز ندارد و طبق نتایج شبیه‌سازی، سهم نویز فاز طبقه تنظیم ولتاژ در حداکثر دامنه نوسان، کمتر از ۵٪ از نویز فاز کل می‌باشد. در دامنه‌های نوسان بالاتر که ترانزیستورهای هسته وارد ترایود عمیق می‌شوند، فیلتر شدن نویز توسط شبکه بایاس RC (شامل  $R_B$  و  $C_B$ ) تضعیف می‌شود و سهم نویز فاز مدار بایاس افزایش می‌یابد.

در طبقه تاخیر (در شکل ۷ (الف)) در ابتدا سه معکوس گر تشکیل یک نوسان ساز حلقوی بسیار ساده را می‌دهند و یک سیگنال شبه مربعی با تغییرات از صفر تا  $V_{DD}$  ایجاد می‌کنند. ابعاد ترانزیستورهای NMOS و PMOS در این سه معکوس گر بسیار کوچک انتخاب شده‌اند، به گونه‌ای که این نوسان ساز حلقوی، فرکانس خروجی و توان مصرفی بسیار کمتری نسبت به نوسان ساز کلاس-C هسته دارد. یکی از خروجی های نوسان ساز حلقوی به یک مدار صافی متصل می‌شود. دلیل وجود مدار صافی خازنی، ایجاد سیگنال پله مورد نظر است. همانطور که در شکل ۸ (الف) نشان داده شده است، ولتاژ دو سر خازن مدار صافی در ابتدا نزدیک صفر است و سپس مقدار آن در ادامه نوسانات مربعی سیگنال بزرگ، افزایش می‌یابد. پس از گذر از چند سیکل از خروجی مربعی نوسان ساز حلقوی، خازن مدار صافی تا نزدیک  $V_{DD}$  شارژ می‌شود. ولتاژ خروجی مدار صافی خازنی دارای ریبیل زیادی است و همانطور که مشاهده می‌شود تغییرات این سیگنال ولتاژ، از صفر تا مقدار دائم آن، دارای زمان صعود زیادی است و هم چنین مقدار دائم این ولتاژ دقیقاً برابر  $V_{DD}$  نیست و کمتر از ولتاژ تغذیه است. به همین دلیل از دو معکوس گر سری استفاده شده است تا ولتاژ خروجی خازن صافی پس از عبور از این دو معکوس گر، مطابق شکل ۸ (ب)، به شکل یک سیگنال پله در می‌آید که در ابتدا صفر است و بعد از یک زمان صعود کوتاه، به  $V_{DD}$  می‌رسد و برابر ولتاژ تغذیه باقی می‌ماند. مدت زمان صفر ماندن این سیگنال پله باید برای راه اندازی نوسان با قدرت زیاد، کافی باشد که در اینجا این مدت زمان ۱۰ ns انتخاب گردیده است. واضح است که مدت زمان فاز راه اندازی با تغییر عرض ترانزیستورهای NMOS و PMOS از دو معکوس گر قابل تنظیم می‌باشد.

خروجی بلوک تاخیر به گیت ترانزیستورهای  $M_7$  و  $M_8$  در بلوک تنظیم ولتاژ در شکل ۷ (ب)، متصل است. در فاز راه اندازی، مدار بایاس باید  $V_{bias}$  را به حد کافی بالاتر از  $V_{th}$  تنظیم کند. در این زمان، خروجی طبقه تاخیر صفر است و در نتیجه آن،  $M_7$  خاموش است و  $M_8$  روشن می‌باشد.  $M_8$  به علت داشتن یک ولتاژ بیش تحریک  $(V_{od,M8})$  خیلی بزرگ در ناحیه ترایود است و ترانزیستور اتصال دیودی  $M_9$ ، ولتاژ بایاس  $(V_{bias,start up})$  را فراهم می‌کند. ولتاژ گیت-سورس ترانزیستور  $M_9$   $(V_{gs,M9})$  به مقدار کافی بزرگتر از  $V_{th}$  انتخاب شده است، به گونه‌ای که هدایت انتقالی جفت هسته در شروع نوسان حدود ۵ برابر  $1/R_P$  است. پس از فاز راه اندازی، وارد فاز نوسان حالت پایدار می‌شویم و جهت داشتن دامنه نوسان بالا، مدار بایاس باید  $V_{bias}$  را به مقدار مناسبی کمتر از  $V_{th}$  تنظیم کند. در این زمان، خروجی طبقه تاخیر برابر  $V_{DD}$  می‌شود که در نتیجه آن  $M_8$  و  $M_9$  خاموش می‌شوند و  $M_7$  روشن خواهد بود. هم زمان  $M_7$  ولتاژ گیت برابر  $V_{DD}$  دارد و می‌تواند در ناحیه ترایود عمیق باشد و با بزرگ انتخاب کردن  $(W/L)_{M7}$ ، این ترانزیستور مثل سویچ عمل کرده و  $V_{ds,M7}$  تقریباً صفر می‌شود و  $M_7$  ولتاژ سورس خود (که برابر  $V_{ref}$  است) را به  $V_{bias}$  کپی می‌کند. در نتیجه



#### ۴- نتایج شبیه سازی

دو نوسان ساز کنترل شده با ولتاژ کلاس-C متداول و پیشنهادی، در تکنولوژی ۰/۱۸um RF-CMOS طراحی و شبیه سازی شده اند. فرکانس حامل هر دو نوسان ساز، ۵GHz می باشد. ضریب کیفیت القاگر برابر ۱۰ و منبع تغذیه ۱/۲V می باشد. مقدار ولتاژ آستانه برای یک ترانزیستور استاندارد در تکنولوژی مورد استفاده حدود ۰/۵V می باشد. طراحی و شبیه سازی نوسان ساز در نرم افزار Cadence صورت گرفته است.

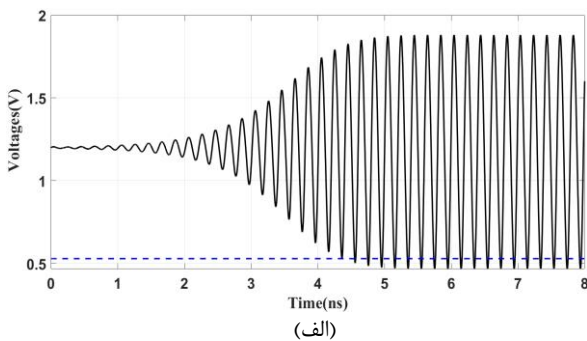
مقادیر پارامترهای طراحی شده برای مدار نوسان ساز کلاس-C متداول (شکل ۱ (ب)) و نوسان ساز کلاس-C پیشنهادی (شکل ۷) به ترتیب در جدول ۱ و جدول ۲ گزارش شده اند. مقدار متغیرهای  $(W/L)_{core}$  (ابعاد  $M_1$  و  $M_2$ ) و  $V_{bias}$  در نوسان ساز کنترل شده با ولتاژ کلاس-C متداول، بر اساس شبیه سازی در گوشه های مختلف فرآیند و بر اساس اطمینان از راه اندازی در همه گوشه ها به خصوص زمانی که  $V_{th}$  بالاترین مقدار را دارد، انتخاب گردیده اند. طبق انتظار در این نوسان ساز نمی توان  $V_{bias}$  را به کمتر از  $V_{th}$  کاهش داد. طبق تحلیل صورت گرفته در بخش دوم، در صورتی که مقادیر  $V_{bias}$  و  $W_{core}$  بالاتر از مقادیر فوق انتخاب شوند، بیشینه دامنه نوسان و حداقل نویز فاز تخریب می شوند.  $R_B$  و  $C_B$  و  $C_{tail}$  و  $(W/L)_{tail}$  در هر دو نوسان ساز، مقادیر مشابهی دارند. انتخاب حداقل طول کانال تکنولوژی برای جفت هسته، جهت دستیابی به بیشینه گستره فرکانسی است. طول کانال برای همه ترانزیستورها به غیر از جفت هسته، بالاتر از حداقل طول کانال تکنولوژی انتخاب شده تا نویز فلیکر آن ها حداقل شود. عرض و ولتاژ بیش تحریک ترانزیستور دنباله ( $V_{od,tail}$  و  $W_{tail}$ ) باید با توجه به جریان ترانزیستور دنباله،  $I_{bias}$ ، مورد نیاز برای دامنه نوسان حالت پایدار انتخاب شوند. به دلیل ولتاژ درین-سورس خیلی کوچک ترانزیستور دنباله، به ویژه در نوسان حالت پایدار، یک  $W_{tail}$  بزرگ باید انتخاب شود تا  $M_{tail}$  ( $M_3$ ) را مجبور به بودن در ناحیه اشباع و عملکرد درست آن به عنوان یک منبع جریان کند.

در نوسان ساز پیشنهادی، عرض ترانزیستورهای هسته و  $V_{bias}$  در حالت پایدار (برابر  $V_{ref}$ )، هر دو نسبت به نوسان ساز کلاس-C کاهش یافته اند که منجر به بهبود حداکثر دامنه نوسان و نویز فاز در نوسان ساز پیشنهادی نسبت به نوسان ساز کلاس-C متداول گردیده است. در طبقه تاخیر، ابعاد ترانزیستورهای NMOS و PMOS سه معکوس گر موجود در نوسان ساز حلقوی بسیار کوچک هستند، به گونه ای که فرکانس خروجی نوسان ساز حلقوی حدود ۱۸۰MHz و توان مصرفی طبقه تاخیر، حدود ۰/۲mw می باشند که در برابر فرکانس مرکزی و توان مصرفی کل مدار (به ترتیب برابر ۵GHz و ۱/۹۵mw) ناچیز هستند. در بلوک تنظیم کننده ولتاژ، با انتخاب درست ابعاد و ولتاژهای بیش تحریک ترانزیستورهای  $M_4$ ،  $M_5$  و  $M_6$ ، آن ها یک جریان بسیار کوچک (حدود ۱۰uA) از جریان

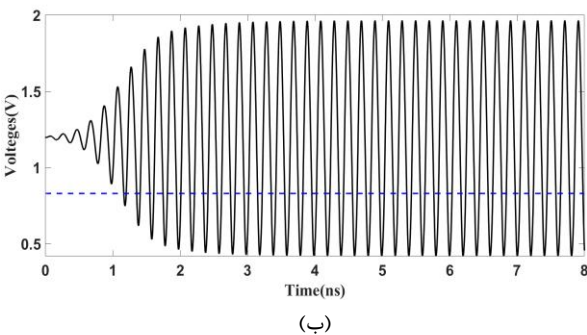
بایاس مرجع فراهم می کنند. در نتیجه توان مصرفی بلوک تنظیم کننده ولتاژ بسیار کوچک تنظیم شده است.

در شکل ۹، فاز راه اندازی در دو نوسان ساز کلاس-C متداول و پیشنهادی، با هم مقایسه گردیده است. البته با توجه به جدول ۳، بالاتر بودن هدایت انتقالی ترانزیستورهای هسته در نوسان ساز پیشنهادی هم به معنای افزایش ایمن سازی راه اندازی در این نوسان ساز می باشد.

شکل ۱۰ (الف) وضعیت نوسان را در طول فازهای راه اندازی و حالت پایدار برای نوسان ساز پیشنهادی نشان می دهد. مقدار  $V_{bias}$  در فاز راه اندازی (که حدود ۱۰ns طول می کشد) حدودا برابر ۰/۸V است که منجر به هدایت انتقالی حدود ۵ برابر  $1/R_p$  برای ترانزیستورهای هسته می شود و یک راه اندازی سریع با حاشیه امن زیادی را ممکن می کند. سپس  $V_{bias}$  در فاز نوسان حالت پایدار به مقدار  $V_{ref}=0/3V$  کاهش می یابد که دامنه نوسان بالایی را ایجاد می کند. شکل ۱۰ (ج) شکل موج های شبیه سازی شده خروجی های دیفرانسیلی و جریان شبه-ضربه ای تانک را در نوسان حالت پایدار نشان می دهد.



(الف)



(ب)

شکل ۹: ولتاژ خروجی تک انتهایی،  $V_{out1}$  (خط توپر) و ولتاژ بایاس متصل شده به گیت ترانزیستورهای هسته،  $V_{bias}$  (خط چین) در فاز راه اندازی نوسان ساز کنترل شده با ولتاژ (الف) متداول و (ب) پیشنهادی

جدول ۱: مقادیر پارامترهای مدار نوسان ساز کلاس-C متداول

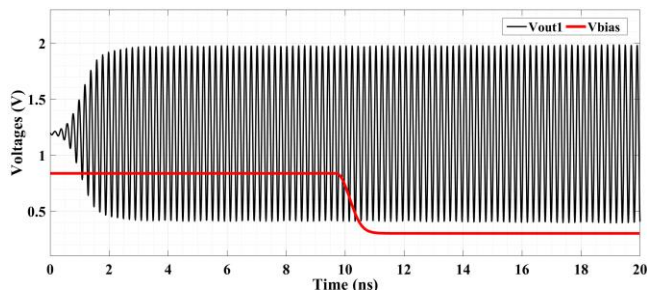
C	L(single ended)	M <sub>3</sub> (W <sub>T</sub> /L)	M <sub>1,2</sub> (W <sub>T</sub> /L)	المانها
305fF	2nH	200um/0.35um	42um/0.18um	مقدار طراحی
C <sub>var</sub> (mos_var) (W <sub>T</sub> /L)	C <sub>tail</sub>	C <sub>B</sub>	R <sub>B</sub>	المانها
25um/0.5um	1.8pF	1.8pF	50 KΩ	مقدار طراحی
I <sub>bias</sub>	V <sub>DD</sub>	V <sub>bias</sub>		المانها
480uA	1.2V	0.53 V		مقدار طراحی

جدول ۲: مقادیر پارامترهای مدار نوسان ساز کلاس-C پیشنهادی

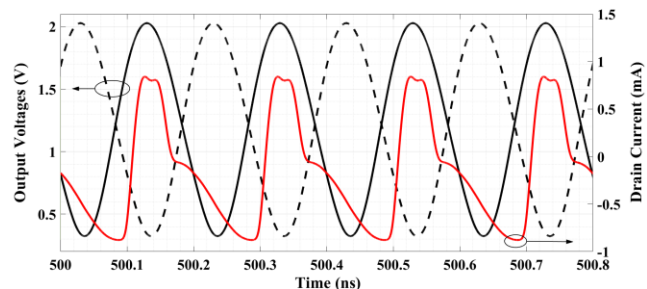
C <sub>var</sub> (mos_var) (W <sub>T</sub> /L)	C <sub>tail</sub>	C <sub>B</sub>	R <sub>B</sub>	C	L(single ended)	M <sub>3</sub> (W <sub>T</sub> /L)	M <sub>0,1</sub> (W <sub>T</sub> /L)	المانها
25um/0.5um	1.8 pF	1.8 pF	50 KΩ	336/4fF	2nH	200um/0.35um	28um/0.18um	مقدار طراحی
C <sub>1</sub>	M <sub>9</sub> (W <sub>T</sub> /L)	M <sub>7</sub> (W <sub>T</sub> /L)	M <sub>5</sub> , M <sub>6</sub> , M <sub>4</sub> (W <sub>T</sub> /L)	M <sub>4</sub> (W <sub>T</sub> /L)	I <sub>bias</sub>	V <sub>DD</sub>	V <sub>ref</sub>	المانها
1.8 pF	2um/0.5um	31um/0.35um	1.5um/0.5um	2um/0.5um	1.27mA	1.2V	0.3V	مقدار طراحی
C <sub>rec</sub>	R <sub>rec</sub>	C <sub>inv</sub>	C <sub>r</sub>	M <sub>18</sub> , M <sub>19</sub> (W <sub>T</sub> /L)	M <sub>16</sub> (W <sub>T</sub> /L)	M <sub>11</sub> , M <sub>13</sub> , M <sub>15</sub> (W <sub>T</sub> /L)	M <sub>10</sub> , M <sub>12</sub> , M <sub>14</sub> (W <sub>T</sub> /L)	المانها
3.6 pF	40 kΩ	206 fF	206 fF	10um/0.18um	20um/0.18um	4um/0.2um	2um/0.2um	مقدار طراحی

عرض ترانزیستورهای هسته و هم‌چنین کاهش V<sub>bias</sub> در نوسان حالت پایدار، جفت هسته در جریان بایاس بزرگ‌تری نسبت به نوسان ساز کلاس-C متداول، وارد ناحیه تراپود می‌شوند و هم‌چنین دارای I<sub>on</sub> بزرگ‌تری در این ناحیه هستند. مجموع این عوامل، همان‌طور که در شکل ۱۱ نشان داده شده است، باعث افزایش دامنه نوسان و کاهش نویزفاز در مدار پیشنهادی گردیده است.

چیدمان دو VCO کلاس-C متداول و پیشنهادی با استفاده از قطعات استاندارد در تکنولوژی RF-CMOS ۰/۱۸um انجام شده که در شکل ۱۱ ارائه شده است. دو VCO کلاس-C متداول و پیشنهادی به ترتیب، ۳۹۸/۶um × ۵۶۴/۸um و ۳۹۸/۶um × ۵۲۰/۸um فضا اشغال می‌کنند که معادل مساحتی حدوداً برابر با ۰/۲۲۵mm<sup>2</sup> برای هر دو نوسان ساز است. القاگر متقارن پیشنهادی به وسیله کتاب‌خانه تکنولوژی برای پیاده‌سازی القاگرها استفاده شده است که ضریب کیفیت شبیه‌سازی شده آن در فرکانس ۵GHz، ۱۰ است. در شکل ۱۲ (الف) و ۱۲ (ج)، القاگر متقارن به شکل هشت‌ضلعی، به طور واضح قابل مشاهده است که البته بالاترین فضا را در بین قطعات هر نوسان ساز اشغال می‌کند. در شکل‌های ۱۲ (ب) و ۱۲ (د)، سعی شده است تا قسمت‌های مختلف مداری، به صورت مجزا از القاگر و بزرگ‌نمایی شده نمایش داده شوند. در شکل ۱۲ (ب) خازن تانک، ترانزیستورهای هسته، خازن و مقاومت شبکه بایاس RC متصل به گیت ترانزیستورهای هسته، خازن و ترانزیستور tail در چیدمان نوسان ساز کلاس



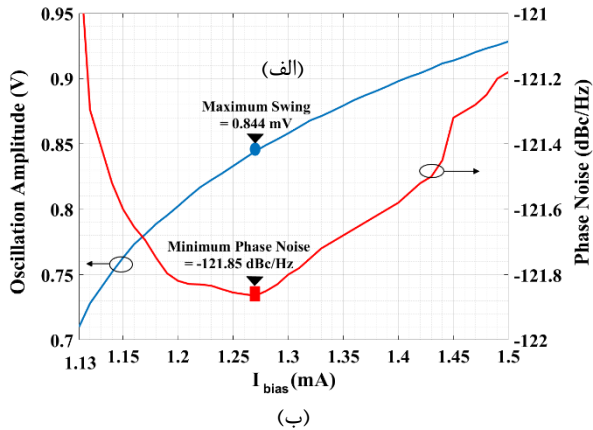
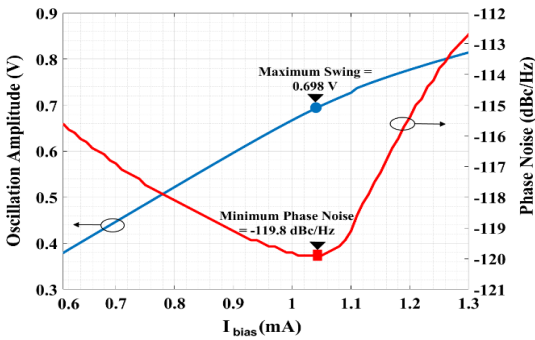
(الف)



(ب)

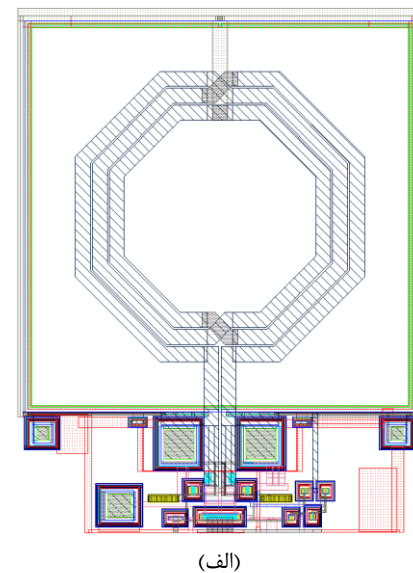
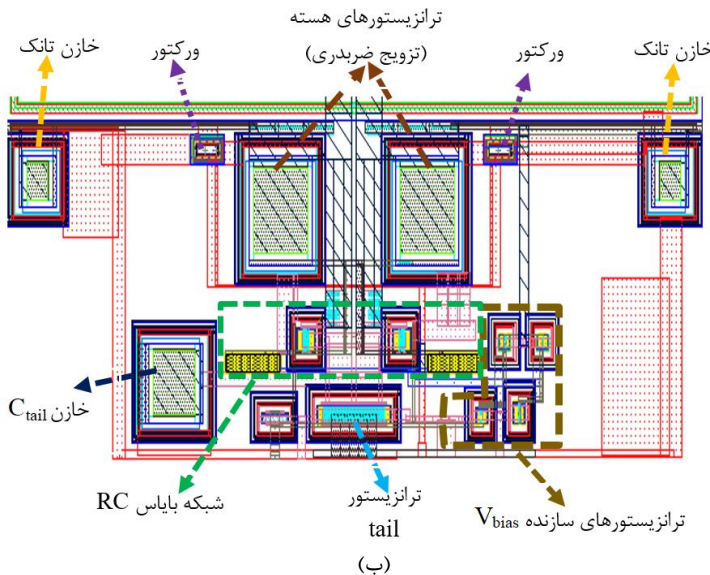
شکل ۱۰: (الف) ولتاژ خروجی تک‌انتهایی شبیه‌سازی شده (V<sub>out1</sub>) و V<sub>bias</sub> تولید شده توسط مدار تنظیم بایاس پیشنهادی در طول فاز راه‌اندازی و حالت پایدار؛ (ب) ولتاژهای خروجی دیفرانسیلی شبیه‌سازی شده، V<sub>out1</sub> (خط توپر) و V<sub>out2</sub> (خط چین) و جریان درین شبه-ضربه‌ای یکی از ترانزیستورهای هسته (I<sub>d2</sub>) در نوسان پایدار

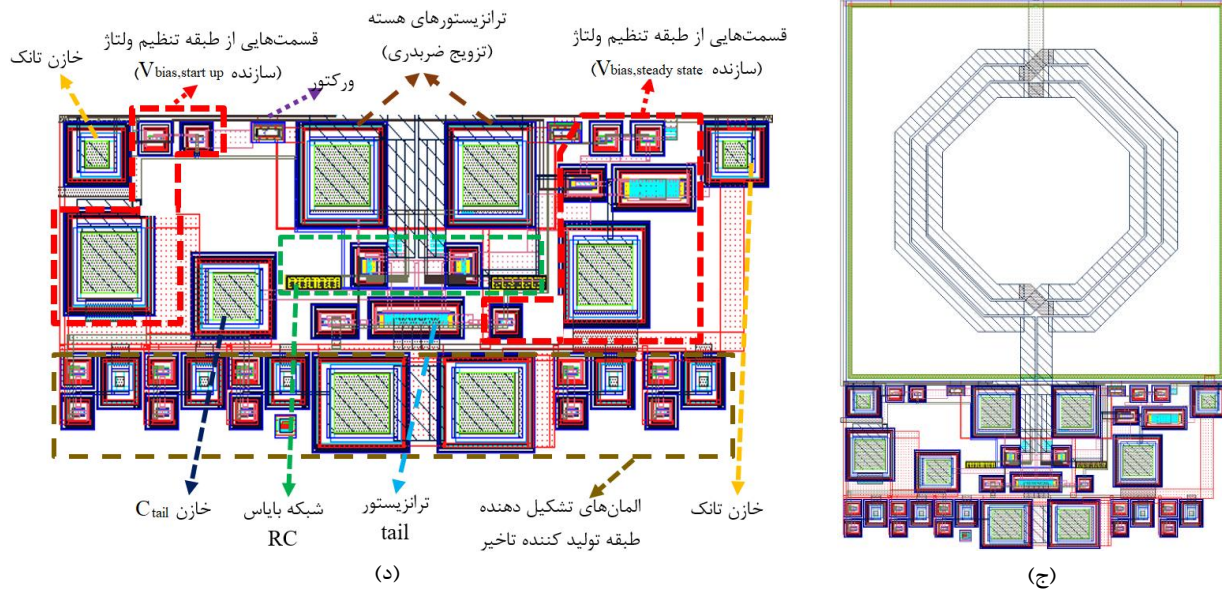
شکل ۱۱ تغییرات نویز فاز در آفست ۱MHz و دامنه نوسان را بر حسب I<sub>bias</sub> برای دو VCO نشان می‌دهد. در مدار پیشنهادی، با کاهش



شکل ۱۱: دامنه نوسان و نویز فاز (در آفست ۱MHz از فرکانس حامل ۵GHz) بر حسب جریان بایاس برای نوسان‌ساز کنترل شده با ولتاژ (الف) متداول و (ب) پیشنهادی

C-متداول مشخص شده‌اند. در شبیه‌سازی پست لی‌اوت، جهت ساخت  $V_{bias}$  برای VCO کلاس-C متداول از ساختار آینه جریان متشکل از چهار ترانزیستور، آن‌چنان‌که در شکل ۱۲ (ب) قابل مشاهده است، استفاده شده است و طراحی به‌گونه‌ای انجام شده که کمترین مصرف جریان ممکن را داشته باشند. در شکل ۱۲ (د)، علاوه بر المان‌هایی که برای نوسان‌ساز کلاس-C متداول ذکر شد، اجزاء مداری طبقات تاخیر و تنظیم ولتاژ از مدار بایاس پیشنهادی قابل مشاهده هستند. جهت ساخت  $V_{ref}$  برای VCO کلاس-C پیشنهادی از یک ترانزیستور اتصال دیودی با ابعاد نسبتاً بزرگ استفاده شده است. دلیل برابری مساحت دو نوسان‌ساز کلاس-C متداول و پیشنهادی این است که در هر دو آن‌ها بیشترین فضای چیدمان توسط سلف مقارن اشغال شده است و قطعات اضافه شده به‌واسطه مدار تنظیم بایاس پیشنهادی در نوسان‌ساز پیشنهادی اثری در افزایش سطح اشغالی این نوسان‌ساز نداشته‌اند.





شکل ۱۲: (الف) چیدمان نوسان‌ساز کنترل شده با ولتاژ کلاس-C متداول و (ب) جزئیات قطعات تشکیل دهنده آن به صورت مجزا از القاگر؛ (ج) چیدمان نوسان‌ساز کنترل شده با ولتاژ کلاس-C پیشنهادی و (د) جزئیات قطعات تشکیل دهنده آن به صورت مجزا از القاگر

در نوسان‌ساز کلاس-C متداول به  $0.7V_{DD}$  در نوسان‌ساز پیشنهادی افزایش یافته است و به حداکثر دامنه نوسان در نوسان‌ساز کلاس-B نزدیک شده است. در حالی که نوسان‌ساز پیشنهادی از نویز فاز حدود ۲dB کمتر هم برخوردار است.

ضرایب شایستگی (FOM و  $FOM_T$ ) استفاده شده در جداول به ترتیب از رابطه (۱۵) و (۱۶) به دست آمده است [۱۷، ۱۱].

$$FOM = -L(\Delta\omega) + 20 \log\left(\frac{\omega_0}{\Delta\omega}\right) - 10 \log(P_{mW}) \quad (15)$$

$$FOM_T = FOM + 20 \log\left(\frac{FTR}{10}\right) \quad (16)$$

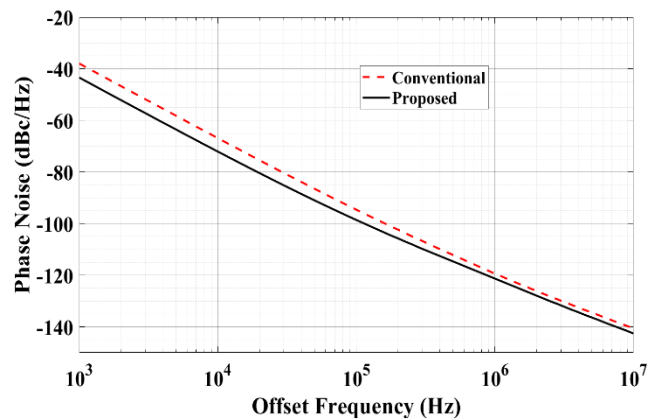
که در رابطه (۱۵)،  $\omega_0$ ،  $\Delta\omega$ ،  $L(\Delta\omega)$  و  $P_{mW}$ ، به ترتیب، فرکانس نوسان، فرکانس آفست، نویز فاز در آفست  $\Delta\omega$  و توان مصرفی هستند و در رابطه (۱۶)، FTR، گستره فرکانسی نوسان‌ساز به درصد است.

در جدول ۳، FOM نوسان‌ساز پیشنهادی تنها ۰/۴dB بالاتر از مقدار این پارامتر در نوسان‌ساز متداول است. برای توضیح این امر در ابتدا یادآوری می‌گردد که رابطه دامنه نوسان تک‌انتهایی در یک نوسان‌ساز دارای تانک LC برابر است با [۲۰، ۱]:

$$A_{tan k} = \alpha_I I_{bias} R_p \quad (17)$$

$R_p$  مقاومت معادل موازی تانک در تشدید،  $I_{bias}$  جریان بایاس و  $\alpha_I$  (بازدهی جریان)، یک ضریب وابسته به شکل جریان تانک است که در نوسان‌ساز کلاس-B، آن چنان که در شکل ۲ مشاهده می‌شود، به‌علت شکل موج مربعی جریان درین جفت هسته، برابر  $2/\pi$  است. اما در نوسان‌ساز

شکل ۱۳ نمودارهای شبیه‌سازی پست لی‌اوت نویز فاز دو VCO را در حداکثر دامنه نوسان مربوط به هر کدام از این نوسان‌سازها نمایش می‌دهد.

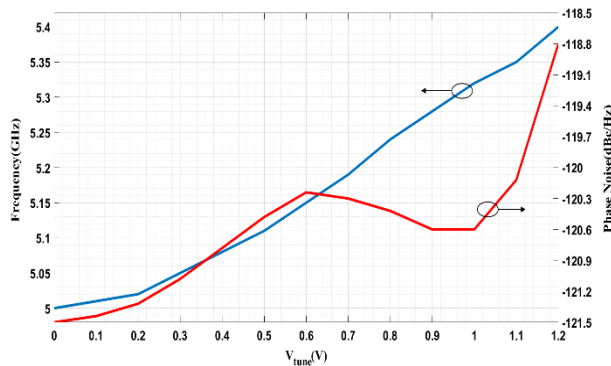


شکل ۱۳: نویز فاز شبیه‌سازی شده برای نوسان‌سازهای کلاس-C متداول (خط چین) و پیشنهادی (خط توپر) در فرکانس حامل ۵GHz

جدول ۳ نتایج شبیه‌سازی پست لی‌اوت را برای دو VCO کلاس-C متداول و پیشنهادی مقایسه کرده است. فرکانس مرکزی هر دو VCO برابر ۵GHz است. VCO کلاس-C پیشنهادی در جریان بایاس  $I_{bias}=1/33mA$  به عملکرد نویز فاز بهینه و حداکثر دامنه نوسان خود دست یافته است. حداقل نویز فاز در آفست ۱MHz برابر  $-121/3dBc/Hz$  و توان مصرفی  $2/01mw$  می‌باشد که FOM برابر  $192/2dBc/Hz$  را نتیجه می‌دهد. دامنه نوسان بیشینه (تک‌انتهایی) در نوسان‌ساز پیشنهادی برابر  $830/4mV$  می‌باشد که حدوداً برابر  $0.7V_{DD}$  می‌باشد. مشاهده می‌شود که دامنه نوسان از



ساز شده است که علت انتخاب ابعاد کوچک و رکتور در طراحی، جلوگیری از تخریب نویز فاز توسط نویز فلیکر است. هم‌زمان تغییرات نویز فاز در طول گستره فرکانسی هم در شکل ۱۴ مشاهده می‌شود که نشان‌دهنده افزایش نسبی نویز فاز در طول گستره فرکانسی می‌باشد.



شکل ۱۴: گستره فرکانسی VCO پیشنهادی و تغییرات نویز فاز در آفست ۱MHz در طول تغییرات ولتاژ کنترلی و رکتور

## ۵- نتیجه‌گیری

در این مقاله، یک نوسان‌ساز کنترل شده با ولتاژ کلاس-C با تکنیک بایاس جدید پیشنهاد شد که راه‌اندازی ایمنی در برابر تغییرات PVT ایجاد کرده و سوینگ نوسان بالاتر و نویز فاز پایین‌تر نسبت به نوسان‌ساز کنترل شده با ولتاژ کلاس-C متداول دارد. پس از توضیح مزایا و معایب VCO کلاس-C نسبت به VCO کلاس-B، تحلیلی روی پارامترهای تأثیرگذار بر راه‌اندازی و دامنه نوسان و نویز فاز در VCO کلاس-C انجام شد که بده-بستان بین سوینگ و راه‌اندازی ایمنی در این VCO را آشکار نمود. سپس مدار بایاس پیشنهادی معرفی شد که ولتاژ DC گیت ترانزیستورهای هسته را در فاز راه‌اندازی، به مقداری کمتر از ولتاژ آستانه و در فاز نوسان حالت پایدار، به مقداری بالاتر از ولتاژ آستانه تنظیم می‌کند. سپس نحوه عملکرد مدار پیشنهادی و طراحی بهینه آن توصیف شدند. سرانجام نتایج شبیه‌سازی، عملکرد مناسب و بهبود دهنده نوسان‌ساز کنترل شده با ولتاژ کلاس-C پیشنهادی را تایید کرد. بر طبق نتایج شبیه‌سازی پست لی‌اوت، مدار پیشنهادی فرکانس مرکزی برابر ۵GHz دارد و دارای نویز فاز در آفست ۱MHz و توان مصرفی و FOM، به ترتیب برابر با  $-121/3$  dBc/Hz و  $2/0$  mW و  $192/2$  dBc/Hz می‌باشد.

کلاس-C، شکل شبه-ضربه‌ای جریان منجر به هارمونیک اصلی بالاتر می‌گردد و قابل اثبات است که  $\alpha_1$  عددی نزدیک به یک است [۹]. در واقع نوسان‌ساز کلاس-C با تغییر شکل جریان تانک و از طرفی حذف سهم نویز فاز بزرگ ناشی از نویز فلیکر ترانزیستور دنباله با در اشباع نگه‌داشتن ترانزیستورهای هسته، آن‌چنان که در فصل دوم شرح داده شد، بهبود زیادی در نویز فاز نسبت به نوسان‌ساز کلاس-B، ایجاد می‌کند و مشکل اصلی این نوسان‌ساز، کاهش دامنه نوسان و قدرت راه‌اندازی نوسان نسبت به نوسان‌ساز کلاس-B است. در این مقاله سعی شده است که با طراحی مدار بایاس پیشنهادی، با حفظ نویز فاز پایین در نوسان‌ساز کلاس-C و حتی کاهش نسبی آن تا حدود ۲dB، مشکل راه‌اندازی ایمنی برای این نوسان‌ساز رفع گردیده و از طرفی دامنه نوسان این نوسان‌ساز تا نزدیکی حداکثر دامنه نوسان‌ساز کلاس-B یعنی  $0/7V_{DD}$  [۹،۵]، افزایش یابد. اما طبق رابطه (۱۷)، جهت افزایش دامنه نوسان در یک نوسان‌ساز دارای تانک LC، جریان بایاس و به تبع توان مصرفی باید افزایش یابد و به همین دلیل در جدول ۳، توان مصرفی نوسان‌ساز پیشنهادی از مقدار آن در نوسان‌ساز متداول بالاتر است. طبق رابطه (۱۵)، افزایش پارامتر  $P_{mw}$ ، در نوسان‌ساز پیشنهادی می‌تواند منجر به تخریب FOM نسبت به نوسان‌ساز متداول گردد. اما نویز فاز  $(L(\Delta\omega))$  در نوسان‌ساز پیشنهادی نسبت به نوسان‌ساز متداول، به قدری کاهش پیدا کرده است که اثر مخرب افزایش توان مصرفی را خنثی نموده است و حتی حدود ۰/۴dB بهبود در FOM نوسان‌ساز پیشنهادی ایجاد کرده است که می‌توان آن را از مزیت‌های نوسان‌ساز کلاس-C پیشنهادی دانست.

جدول ۴ نتایج شبیه‌سازی پست لی‌اوت را در گوشه‌های فرایند نشان می‌دهد تا عملکرد نوسان‌ساز پیشنهادی در طول تغییرات فرایند-ولتاژ-دما مورد ارزیابی قرار گیرد. مشاهده می‌شود که FOM مدار پیشنهادی در طول تغییرات PVT نسبتاً ثابت می‌ماند.

مقایسه عملکرد VCO کلاس-C پیشنهادی با چند کار اخیر در جدول ۵ انجام شده است. توجه شود که نتایج گزارش شده برای نوسان‌ساز پیشنهادی در این پژوهش و مقالاتی که نتایج آن‌ها بر اساس شبیه‌سازی پست لی‌اوت گزارش شده است، از مقالاتی که نتایج آنها حاصل از اندازه‌گیری هستند، مجزا شده‌اند.

گستره فرکانسی شبیه‌سازی شده برای VCO پیشنهادی در شکل ۱۴ نشان داده شده است. VCO پیشنهادی، هم‌زمان با تغییر ولتاژ تنظیم و رکتور از صفر تا  $1/2V$ ، گستره فرکانسی حدود ۴۰۰MHz ارائه می‌کند که طبق جدول ۵، منجر به  $FOM_T$  برابر با  $189/92$  dBc/Hz شده است. کوچک انتخاب شدن ابعاد و رکتور منجر به گستره فرکانسی کوچکی برای نوسان

جدول ۳: مقایسه عملکرد دو VCO کلاس C- متداول و پیشنهادی

پارامترها	VCO کلاس C- متداول	VCO کلاس C- پیشنهادی
دامنه نوسان (mV)	۶۸۸/۴	۸۳۰/۴
نویز فاز در آفست ۱ KHz (dBc/Hz)	-۳۷/۹	-۴۳/۴۹
نویز فاز در آفست ۱ MHz (dBc/Hz)	-۱۱۹/۴	-۱۲۱/۳
نویز فاز در آفست ۳ MHz (dBc/Hz)	-۱۲۹/۹	-۱۳۱/۷
جریان بایاس (mA)	۰/۵۲	۱/۳۳
توان (mW)	۱/۴۴	۲/۰۱
FOM در آفست ۱ MHz (dBc/Hz)	۱۹۱/۷۹	۱۹۲/۳۴
$g_{m,core}$ جفت هسته در زمان راهاندازی (mT)	۴	۷/۲

جدول ۴: عملکرد VCO پیشنهادی در گوشه‌های مهم تکنولوژی

پارامترها	TT @ ۲۵°C	SS @ ۷۰°C	FF @ -۴۰°C
فرکانس نوسان (MHz)	۵	۴/۶۸	۵/۴۴
دامنه نوسان (mV)	۸۳۰/۴	۸۰۲/۸	۸۵۰/۵
نویز فاز در آفست ۱ MHz (dBc/Hz)	-۱۲۱/۳	-۱۲۰/۵	-۱۲۱/۸
توان (mW)	۲/۰۱	۲/۲۶۳	۱/۵۱
FOM در آفست ۱ MHz (dBc/Hz)	۱۹۲/۲۴	۱۹۰/۳۵	۱۹۴/۷۲

جدول ۵: مقایسه عملکرد VCO کلاس C- پیشنهادی با کارهای دیگر

مرجع	Tech. (nm)	Cent. Freq. (GHz) -FTR	Supply Voltage (V)	Power (mW)	Phase Noise (dBc/Hz)	FOM (dBc/Hz)	FOM <sub>T</sub> (dBc/Hz)
[۶]*	۱۸۰ CMOS	۴ ۹٪	۱/۸	۱	-۱۱۶/۸@۱MHz	۱۸۸/۹	۱۸۷/۹۸
[۱۰]	۶۵ CMOS	۲/۴۶ ۷/۸٪	۱/۲	۶	-۱۳۲/۴۱@۱MHz	۱۹۲/۴۵	۱۹۰/۳
[۱۳]	۱۸۰ CMOS	۵ ۱۲/۳٪	۱/۵	۲/۷۸	-۱۲۳/۳@۱MHz	۱۹۲/۸	۱۹۴/۵۲
[۱۵]	۱۸۰ BiCMOS	۴/۱ ۱۸/۶٪	۲/۱۵	۸۳	-۱۴۶/۷@۲MHz	۱۸۹	۱۹۴/۳۹
[۱۶]	۶۵ CMOS	۲۴ ۱۷/۸٪	۱	۹/۲	-۱۰۵@۱MHz	۱۸۶/۲	۱۹۱/۱
[۱۷]*	۱۸۰ CMOS	۱۸/۴۹ ۷/۸٪	۱	۱۳/۴	-۱۱۴/۷@۱MHz	۱۸۸/۷۶	۱۸۶/۶
[۱۸]*	۱۸۰ CMOS	۳/۲ ۲۷/۵٪	۱	۷/۹۴	-۱۲۵/۸@۱MHz	۱۸۶/۹	۱۹۳/۸
کار پیشنهادی*	۱۸۰ CMOS	۵ ۷/۶۹٪	۱/۲	۲	-۱۲۱/۳@۱MHz	۱۹۲/۲	۱۸۹/۹۲

\*نتایج شبیه‌سازی پست لی‌اوت



## مراجع

- startup,” IEEE Microwave and Wireless Components Letters, vol. 26, no. 1, pp. 34–36, 2016.
- [11] S. L. Jang and J. J. Wang, “Low-phase noise Class-C VCO with dynamic body bias,” Electronics Letters, vol. 53, no. 9, pp. 847–849, 2017.
- [12] W. Den, K. Okada, and A. Matsuzawa, “Class-C VCO with amplitude feedback loop for robust start-up and enhanced oscillation swing,” IEEE J. Solid-State Circuits, vol. 48, no. 2, pp. 429–440, 2013.
- [13] Z. Zhu, L. Liang and Y. Yang, “A startup robust feedback Class-C VCO with constant amplitude control in 0.18 m CMOS,” IEEE Microwave and Wireless Components Letters, vol. 25, no. 8, pp. 541–543, 2015.
- [14] M. Tohidian, A. Fotowat-Ahmadi, M. Kamarei, and F. Ndagijimana, “High-swing class-C VCO,” in Proc. ESSCIRC, pp. 495–498, 2011.
- [15] A. R. AhmadiMehri, M. Tohidian and R. B. Staszewski, “Analysis and Design of a Multi-Core Oscillator for Ultra-Low Phase Noise,” IEEE Trans. Circuits Syst. I, vol. 53, no. 8, pp. 1-11, Jan. 2016.
- [16] J. Lee , G. Kim , G. Ko, K. Oh, J. Park and D. Baek, “Low phase noise and wide-range Class-C VCO using auto-adaptive bias technique,” MDPI Electronics, no. 8, 2020.
- [۱۷] عباس نصری و مصطفی یارقلی، «طراحی VCO کلاس C با استفاده از سه برابر کننده برای دستیابی به فرکانس ۱۷/۸GHz-۱۹/۱۹ GHz»، مجله مهندسی برق دانشگاه تبریز، جلد ۴۸، شماره ۴، صفحه ۱۸۴۲-۱۳۹۷، ۱۳۹۷.
- [۱۸] آرزو عطایی فرد، خلیل منفردی و شهرام حسینزاده، «طراحی و شبیه سازی نوسان ساز کنترل شده با ولتاژ کلاس C با تنظیم دیجیتالی با نویز فاز بهبود یافته»، جلد ۴۸، شماره ۲، صفحه ۸۱۶-۸۲۳، ۱۳۹۷.
- [1] B. Razavi, RF Microelectronics, Prentice Hall New Jersey, 2<sup>nd</sup> Edition, 2012.
- [2] A. Hajimiri and T. H. Lee, “A general theory of phase noise in electrical oscillators,” IEEE J. Solid-State Circuits, vol. 33, no. 2, pp. 179–194, 1998.
- [3] T. Wu, U. K. Moon and K. Mayaram, “Dependence of LC VCO oscillation frequency on bias current,” IEEE International Symposium on Circuits and Systems, vol. 20, no. 4, pp. 21–24, 2006.
- [4] B. Soltanian and P. R. Kinget, “Tail Current-Shaping to Improve Phase Noise in LC Voltage- Controlled Oscillators,” IEEE J. Solid-State Circuits, vol. 41, no. 8, 2006.
- [5] A. Mazzanti and P. Andreani, “Class-C harmonic CMOS VCOs, with a general result on phase noise,” IEEE J. Solid-State Circuits, vol. 43, no. 12, pp. 2716–2729, 2008.
- [6] B. Jafari and S. Sheikhaei, “Low phase noise LC VCO with sinusoidal tail current shaping using cascade current source,” AEU-International J. Electron. Commun, vol. 83, pp. 114–122, 2018.
- [7] R. Aghabagheri, H. Miar-Naimi and M. Javadi, “A Phase Noise Reduction Technique In Lc Cross-Coupled Oscillators With Adjusting Transistors Operating Regions,” International Journal of Engineering, vol. 33, no. 4, pp. 560–566, 2020.
- [8] M. Mansour, A. Zekry, M. K. Ali and b. Shawkey, “A comparative study between Class-C and Class-B quadrature voltage-controlled power oscillator for multi-standard applications,” Microelectronics Journal Elsevier, vol. 98, no. 14, pp. 1-6, 2020.
- [9] L. Fanori and P. Andreani, “Highly efficient class-C CMOS VCOs, including a comparison with class-B VCOs,” IEEE J. Solid-State-Circuits, vol. 48, no. 7, pp. 1730–1740, 2013.
- [10] J. Song, B. Kim and S. Nam, “An adaptively biased Class-C VCO with a self-turn-off auxiliary Class-B pair for fast and robust

## زیر نویسها

<sup>4</sup> Process voltage temperature

<sup>5</sup> Amplitude modulation to frequency modulation

<sup>6</sup> Over-drive voltage

<sup>1</sup> Voltage controlled oscillator

<sup>2</sup> Extreme

<sup>3</sup> Trade-off