

Design and Implementation of a High-Speed and Low-Energy Approximate Full Adder Cell with CNFET Technology Applicable in Image Processing

Fatemeh Danandeh¹, Yavar Safaei Mehrabani^{1,*}, Reza Faghieh Mirzaee²

¹ Department of Computer Engineering, North Tehran Branch, Islamic Azad University, Tehran, Iran

² Department of Computer Engineering, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran

E-mails: fdanandeh33@gmail.com; y.safaei@iau-tnb.ac.ir; r.f.mirzaee@qodsiau.ac.ir

*means corresponding author

Short Abstract

Approximate computing has emerged as a new method to overcome the delay, energy consumption and area consumption of digital circuits. In this paper, a new approximate full-adder cell, which is based on the combination of the standard CMOS and pass transistor logic styles, is presented. The critical path in the structure of a ripple adder equals only one transistor; Therefore, the adder circuit has high speed. Carbon nanotube field-effect transistor (CNFET) technology is used to simulate and implement the proposed cell. Comprehensive simulations are carried out using HSPICE tool against different power supply voltages, output loads, and ambient temperatures. Simulation results confirm that the proposed cell is more efficient than its counterparts in terms of delay, power-delay product (PDP) and energy-delay product (EDP). At the application level, using the MATLAB tool, the application of image blending is used to evaluate the efficiency of the proposed cell. Simulation results of image processing confirm that the proposed cell has a reasonable performance and produces output images with suitable quality for human inference.

Keywords

Full adder, Carbon nanotube, High-speed, Low-energy, Image processing.

1- Short Introduction

Full adder cell is one of the main components of digital systems. This cell is usually placed along the critical path of arithmetic circuits and plays a key role in determining delay and power consumption of the entire digital system. In this paper, by using the combination of the standard CMOS and pass transistor logic styles, a novel high-speed and low-energy approximate full adder cell is presented. To implement the proposed cell, carbon nanotube field-effect transistor (CNFET) is used.

2- Proposed Work and Methodology

The proposed design is based on the combination of standard CMOS and pass transistor logic styles. It consists of only 10 transistors. One remarkable advantage of the proposed design is that its critical path contains only one transistor when it is utilized inside a ripple carry adder. Hence, it operates very fast. Simulations are carried out by the HSPICE tool in various situations including different power supply voltages, loads, and temperatures. Simulation results confirm the superiority of the proposed cell compared to the state-of-the-art circuits. Also, the proposed cell is applied in image blending application to study its efficiency in image processing applications.

3- Conclusion

Approximate computing can effectively be used in error-tolerant applications such as image, audio, and video processing. Among the different types of arithmetic circuits, full adder plays a key role in determining the performance of a digital system. In this paper, an efficient approximate full adder cell was proposed. The proposed cell is based on the combination of the standard CMOS and pass transistor logic styles. Comprehensive simulations were performed at both transistor and application levels to evaluate the efficiency of the circuits. Simulation results confirmed that the proposed cell is more efficient than other circuits in terms of delay, PDP, and EDP. The results of image processing also showed that this cell can be effectively used in the application of image blending.

4- References

- [21] S. Salavati, M. H. Moaiyeri, K. Jafari, "Ultra-efficient nonvolatile approximate full-adder with spin-hall-assisted MTJ cells for in-memory computing applications", *IEEE Transactions on Magnetics*, vol. 57, no. 5, pp. 1-11, May 2021.
- [22] M. Mirzaei, S. Mohammadi, "Process variation-aware approximate full adders for imprecision-tolerant applications", *Computers & Electrical Engineering*, vol. 87, p. 106761, 2020.
- [23] Z. Zareei, M. Bagherizadeh, M. H. Shafiabadi, Y. Safaei Mehrabani, "Design of efficient approximate 1-bit full adder cells using CNFET technology applicable in motion detector systems", *Microelectronics Journal*, vol. 108, pp. 1-13, 2021.

طراحی و پیاده‌سازی یک سلول تمام جمع‌کننده تقریبی سرعت-بالا و انرژی-پایین با فناوری CNFET قابل به‌کارگیری در پردازش تصویر

فاطمه داننده

دانشجوی کارشناسی ارشد، گروه مهندسی کامپیوتر، واحد تهران شمال، دانشگاه آزاد اسلامی، تهران، ایران

یاور صفایی مهربانی

استادیار، گروه مهندسی کامپیوتر، واحد تهران شمال، دانشگاه آزاد اسلامی، تهران، ایران

رضا فقیه میرزایی

دانشیار، گروه مهندسی کامپیوتر، واحد شهرقدس، دانشگاه آزاد اسلامی، تهران، ایران

چکیده

محاسبات تقریبی به‌عنوان یک روش نوین برای غلبه بر مشکلات تأخیر، مصرف انرژی و مساحت اشغالی مدارهای دیجیتال در نظر گرفته می‌شود. در این مقاله، یک سلول تمام جمع‌کننده تقریبی نوین ارائه می‌شود که مبنای طراحی آن بر اساس ترکیب سبک‌های منطقی CMOS استاندارد و ترانزیستور عبور است. تأخیر هر سلول در ساختار جمع‌کننده موج تنها یک ترانزیستور است؛ از این‌رو مدار جمع‌کننده دارای سرعت بالایی است. از فناوری ترانزیستور اثر میدان نانولوله کربنی (CNFET) برای شبیه‌سازی و پیاده‌سازی سلول پیشنهادی استفاده می‌شود. شبیه‌سازی‌های جامعی با استفاده از ابزار HSPICE در برابر ولتاژهای منبع تغذیه، بارهای خروجی و دمای محیط متفاوت انجام شده است. نتایج شبیه‌سازی تأیید می‌کنند که سلول پیشنهادی از نظر تأخیر، حاصل‌ضرب توان-تأخیر (PDP) و حاصل‌ضرب انرژی-تأخیر (EDP) کارآمدتر از همتایان خود است. همچنین، در سطح کاربرد، با استفاده از ابزار MATLAB از ترکیب دو تصویر برای ارزیابی کارایی سلول پیشنهادی استفاده شده است. نتایج شبیه‌سازی سطح کاربرد تصدیق می‌کند که سلول پیشنهادی عملکرد قابل قبولی دارد و تصاویر خروجی را با کیفیت مناسب برای استنباط توسط انسان تولید می‌کند.

کلمات کلیدی

تمام جمع‌کننده، نانولوله کربنی، سرعت-بالا، انرژی-پایین، پردازش تصویر.

نام نویسنده مسئول: دکتر یاور صفایی مهربانی

ایمیل نویسنده مسئول: y.safaei@iau-tnb.ac.ir

تاریخ ارسال مقاله: ۱۴۰۱/۰۷/۱۸

تاریخ(های) اصلاح مقاله: ۱۴۰۱/۰۹/۲۳

تاریخ پذیرش مقاله: ۱۴۰۱/۱۱/۱۸

۱- مقدمه

امروزه تعداد زیادی از دستگاه‌های قابل حمل در حوزه اینترنت اشیا^۱، محاسبه‌های لبه، پردازش نزدیک به حسگر و غیره استفاده می‌شوند. از آنجایی که آن‌ها با باتری کار می‌کنند، مصرف انرژی مهم‌ترین محدودیتی است که باید در نظر گرفته شود. علاوه بر این، سرعت و مساحت اشغال شده توسط مدارهای دیجیتال نیز جزو معیارهای کلیدی هستند؛ زیرا پیچیدگی الگوریتم‌ها به شدت در حال افزایش است [۱، ۲]. با توجه به اینکه پیش‌بینی می‌شود قانون مور^۲ به پایان خود نزدیک شود، مقیاس‌بندی فناوری نیمه‌هادی نمی‌تواند مصرف انرژی را در آینده به طور محسوس کاهش دهد. اخیراً، محاسبه تقریبی^۳ به‌عنوان یک راهکار نوین برای انجام محاسبه‌ها با انرژی پایین مطرح شده است. در این روش، با استفاده از کاهش دقت خروجی‌ها در برنامه‌های مقاوم در برابر خطا^۴ مانند پردازش چندرسانه‌ای (تصویر، صدا و ویدیو) می‌توان مصرف انرژی مدار را کاهش داد. به دلیل توانایی ادراکی محدود انسان، کاهش کیفیت تصویر برای کاربر نهایی چندان قابل‌درک نیست [۳]. در میان مدارهای حسابی مختلف، از جمع‌کننده‌ها به طور گسترده‌ای در طراحی یک سیستم دیجیتال استفاده می‌شود. مدارهای دیگری مانند تفریق‌کننده‌ها، ضرب‌کننده‌ها و تقسیم‌کننده‌ها را می‌توان با استفاده از عمل جمع طراحی کرد. یک سلول تمام جمع‌کننده^۵ به‌عنوان بلوک پایه برای بسیاری از مدارهای حسابی شناخته می‌شود؛ بنابراین، کاهش مصرف انرژی، تأخیر و مساحت آن می‌تواند به طور مستقیم بر عملکرد کل یک سیستم دیجیتال تأثیر بگذارد [۴، ۵]. در همین راستا، یک طراحی جدید برای سلول تمام جمع‌کننده تقریبی با سرعت بالا و انرژی کم در این مقاله پیشنهاد شده است.

برخی چالش‌ها برای کوچک‌سازی ترانزیستورهای اثر میدان فلز-اکسید-نیمه‌هادی^۶ در مقیاس نانو وجود دارد. در مقیاس نانو، ترانزیستورهای MOSFET با مشکل‌های جدی از جمله کنترل‌پذیری کمتر پایه گیت، اثر کانال کوتاه و جریان نشتی بالا مواجه هستند [۲]. برای غلبه بر این مشکل‌ها، برخی فناوری‌های جدید مانند ترانزیستور اثر میدان نانولوله کربنی^۷، آتوماتای کوانتومی سلولی^۸ و همچنین ترانزیستور تک الکترونی^۹ در حال بررسی هستند [۶]. در میان این فناوری‌های نوظهور، CNFET به دلیل ویژگی‌های فیزیکی، الکتریکی و حرارتی فوق‌العاده‌اش احتمالاً جایگزین ترانزیستورهای MOSFET خواهد شد [۷]. ساختار و ویژگی‌های الکتریکی ذاتی CNFETها و MOSFETها مشابه هستند. در مقایسه با MOSFETها، CNFETها به دلیل ساختار شبکه‌ای یک‌بعدی و عملکرد نزدیک به بالستیک، کلیدزنی^{۱۰} سریع‌تر و مصرف انرژی کمتری دارند. CNFETهای نوع P و N (PCNFET و NCNFET) با ابعاد مساوی، دارای تحرک حامل یکسانی هستند. این ویژگی، تعیین اندازه ابعاد ترانزیستورهای موجود در مدارهای پیچیده را تسهیل می‌کند. علاوه بر این، ولتاژ آستانه^{۱۱} ترانزیستورهای CNFET را می‌توان با تغییر قطر نانولوله‌های کربنی^{۱۲} تنظیم کرد؛ بنابراین، فناوری CNFET برای طراحی مدارهای چند

آستانه‌ای مناسب است [۸]. شایان ذکر است که یک ریزپردازنده ۱۶ بیتی در دانشگاه MIT با استفاده از فناوری CNFET تولید شده است که یک پیشرفت قابل توجه در طراحی مدارهای دیجیتال مبتنی بر CNFET محسوب می‌شود [۹].

در این مقاله، یک سلول تمام جمع‌کننده تک‌بیتی با سرعت بالا، انرژی پایین و مساحت کم ارائه می‌شود. طرح پیشنهادی از ترکیب دو منطق CMOS^{۱۳} استاندارد و ترانزیستور عبور^{۱۴} بهره می‌برد. سلول تمام جمع‌کننده دو رقم دودویی و یک رقم نقلی ورودی (C_{in}) را دریافت کرده و رقم‌های حاصل جمع (Sum) و نقلی خروجی (C_{out}) را تولید می‌کند. سلول پیشنهادی سیگنال‌های Sum و C_{out} را به صورت موازی تولید می‌کند که منجر به عملکرد با سرعت بالا می‌شود. علاوه بر این، با کاهش فعالیت کلیدزنی گره‌های خروجی، مصرف توان نیز به طور قابل توجهی کاهش می‌یابد. لازم به ذکر است که خروجی‌های Sum و C_{out} سلول تمام جمع‌کننده نادقیق پیشنهادی در سه حالت از هشت حالت ممکن برای ورودی‌ها اشتباه است.

برای مقایسه کارایی سلول پیشنهادی با طرح‌های قبلی، شبیه‌سازی‌های جامعی در سطح‌های ترانزیستور و کاربرد انجام می‌شود. در سطح ترانزیستور، کارایی سلول پیشنهادی نسبت به تغییرات ولتاژ منبع تغذیه، بار خروجی و دمای محیط ارزیابی می‌شود. در این سطح، مصرف توان، تأخیر، حاصل ضرب توان-تأخیر^{۱۵} و حاصل ضرب انرژی-تأخیر^{۱۶} در نظر گرفته می‌شود. در سطح کاربرد نیز، سلول پیشنهادی در کاربرد ترکیب تصاویر^{۱۷} برای ارزیابی کیفیت تصاویر خروجی اعمال می‌شود. ساختار این مقاله به شرح زیر است. افزاره CNFET، مؤلفه‌های مصرف توان، معیارهای خطای محاسبات تقریبی و کارهای گذشته‌نگار به طور خلاصه در بخش دوم مورد مطالعه قرار می‌گیرند. در بخش سوم، ساختار سلول پیشنهادی معرفی می‌گردد. در بخش چهارم، نتایج شبیه‌سازی ارائه می‌شود. در نهایت در بخش پنجم نتیجه‌گیری ارائه می‌گردد.

۲- ادبیات تحقیق

در این بخش به طور خلاصه افزاره CNFET، مؤلفه‌های مصرف توان و معیارهای خطا در محاسبات تقریبی مورد بررسی قرار می‌گیرند.

۱-۲- افزاره CNFET

نانولوله کربنی^{۱۸} با چرخاندن ورقه گرافن^{۱۹} که به ضخامت یک اتم کربن است به شکل استوانه‌ای تولید می‌شود. به‌طور کلی دو نوع نانولوله کربنی وجود دارد. نانولوله‌های کربنی تک جداره^{۲۰} که با یک ورقه گرافن ساخته می‌شوند. در مقابل، نانولوله‌های کربنی چند جداره^{۲۱} از چندین ورقه متحدالمرکز ساخته می‌شوند. برخلاف MWCNTها که همیشه فلزی هستند، یک SWCNT ممکن است یک رسانا یا نیمه‌هادی باشد. این موضوع با در نظر گرفتن بردار کاپرالیته^{۲۲} که یک جفت عدد صحیح (n_1, n_2) است تعیین می‌شود. اگر $n_1 - n_2 = 3k$ ($k \in \mathbb{Z}$) باشد، آنگاه CNT فلزی است. در غیر این صورت، CNT نیمه‌هادی است؛ بنابراین، SWCNTها می‌توانند به‌عنوان کانال^{۲۳} در ترانزیستورهای CNFET

^{۱۳} Complementary Metal Oxide Semiconductor

^{۱۴} Pass-Transistor Logic (PTL)

^{۱۵} Power-Delay Product (PDP)

^{۱۶} Energy-Delay Product (EDP)

^{۱۷} Image blending

^{۱۸} Carbon Nanotube (CNT)

^{۱۹} Graphene

^{۲۰} Single-Walled Carbon Nanotube (SWCNT)

^{۲۱} Multi-Walled Carbon Nanotube (MWCNT)

^{۲۲} Chirality vector

^{۲۳} Channel

^۱ Internet of Things (IoT)

^۲ Moore's law

^۳ Approximate Computing (AC)

^۴ Error-resilient application

^۵ Full Adder (FA)

^۶ Metal-Oxide-Semiconductor Field Effect Transistor (MOSFET)

^۷ Carbon Nanotube Field Effect Transistor (CNFET)

^۸ Quantum-dot Cellular Automata (QCA)

^۹ Single-Electron Transistor (SET)

^{۱۰} Switching

^{۱۱} Threshold voltage (V_{th})

^{۱۲} Diameter of Carbon Nanotube (D_{CNT})

در مدار دیجیتال در طول انتقال سیگنال است. توان اتصال کوتاه زمانی ایجاد می‌شود که هر دو شبکه بالا بر^{۱۱} و پایین بر^{۱۲} به طور هم‌زمان فعال باشند که منجر به جریان مستقیم از منبع تغذیه (V_{DD}) به سمت زمین (V_{SS}) می‌شود. میانگین مصرف توان از طریق رابطه (۴) محاسبه می‌شود [۱۷] که در این رابطه، پارامترهای I_{SC}, I_L, C, a, f و n به ترتیب فرکانس ساعت، ضریب فعالیت کلیدزنی یک گره، ظرفیت بار، جریان نشتی، جریان اتصال کوتاه و تعداد گره‌ها را نشان می‌دهند. ضریب فعالیت کلیدزنی به‌عنوان میانگین تعداد انتقال گره در طول یک دوره ساعت تعریف می‌شود.

$$P_{Total} = P_{Switching} + P_{Short-circuit} + P_{Static} \quad (4)$$

$$= fV_{DD}^2 \sum_{i=1}^n \alpha_i C_i + V_{DD} \sum_{i=1}^n I_{SC,i} + V_{DD} \sum_{i=1}^n I_{L,i}$$

فعالیت کلیدزنی یک سلول تمام جمع‌کننده در یک گره خاص را می‌توان با استفاده از رابطه (۵) تخمین زد.

$$Switching\ activity\ (\alpha) = \frac{Number\ of\ '0s'}{8} \times \frac{Number\ of\ '1s'}{8} \quad (5)$$

گره‌های Sum و C_{out} در یک سلول تمام جمع‌کننده بارهای خازنی بزرگ را راه‌اندازی می‌کنند و باعث اتلاف توان پویا بالایی می‌شوند. برای کاهش فعالیت کلیدزنی، می‌توانیم فعالیت کلیدزنی در این گره‌ها را کاهش دهیم. بدین منظور، در سطح تابع منطقی، جدول درستی^{۱۳} تمام جمع‌کننده به‌گونه‌ای تغییر می‌کند که فعالیت کلیدزنی کاهش یابد؛ در حالی که کمترین خطا در خروجی‌ها ایجاد شود. نهایتاً، فعالیت کلیدزنی سلول (a_{Cout}) با اضافه کردن فعالیت کلیدزنی گره‌های Sum (a_{Sum}) و C_{out} (a_{Cout}) به دست می‌آید.

۲-۳- معیارهای خطا

محاسبات تقریبی را می‌توان در سطوح انتزاعی مختلف مانند الگوریتم، دروازه منطقی^{۱۴}، یا ترانزیستور پیاده‌سازی نمود. در محاسبات تقریبی دقت خروجی‌ها تا حد قابل قبولی کاهش داده می‌شود تا اینکه پارامترهای سخت‌افزاری از قبیل توان مصرفی، تأخیر و مساحت بهبود یابند. در نتیجه باید میان دقت و پارامترهای مدار مصالحه ایجاد شود. در این بخش، برخی از معیارهای کلیدی خطا را به اختصار بررسی می‌کنیم.

فاصله خطا^{۱۵} برای یک حالت از ورودی برابر تفاضل نتیجه دقیق و تقریبی است [۱۸]. حداکثر فاصله خطا^{۱۶} نیز برابر بزرگ‌ترین مقدار در بین مجموعه‌های EDها است. به مجموع قدرمطلق EDها فاصله خطای کل^{۱۷} می‌گویند. میانگین فاصله خطا^{۱۸} نیز برابر میانگین قدرمطلق EDها است. همچنین، برای حذف وابستگی معیار MED با عرض بیت یک مدار، مقدار نرمال شده آن محاسبه می‌شود؛ بنابراین، میانگین فاصله خطای نرمال شده^{۱۹} از تقسیم MED بر حداکثر مقداری که یک مدار می‌تواند تولید کند به دست می‌آید. لازم به ذکر است که حداکثر مقداری که یک جمع‌کننده n بیتی با در نظر گرفتن ارقام

استفاده شوند [۱۰]. علاوه بر این، بردار کایرال ساختار یک CNT را مشخص می‌کند. سه نوع CNT به نام‌های زیگزاگ^۱، صندلی راحتی^۲ و کایرال^۳ وجود دارد. CNTهای زیگزاگ زمانی تشکیل می‌شوند که یکی از اعداد n_1 یا n_2 برابر با صفر باشد. آن‌ها ممکن است فلزی یا نیمه‌هادی باشند. CNTهای صندلی راحتی زمانی تشکیل می‌شوند که n_1 برابر با n_2 باشد. آن‌ها همیشه رسانا هستند و برای استفاده به‌عنوان کانال ترانزیستور مناسب نیستند. CNT کایرال که یک رسانا یا نیمه‌هادی است، زمانی تشکیل می‌شود که n_1 برابر با n_2 نباشد [۱۱]. در این مقاله از نانولوله‌های کربنی با ساختار زیگزاگ به‌عنوان کانال CNFET استفاده شده است. قطر CNT از طریق رابطه (۱) به دست می‌آید [۱۳] که در این رابطه، $a_0 = 0.142\text{nm}$ برابر فاصله بین دو اتم کربن همسایه در کریستال گرافن است.

$$D_{CNT} = \frac{\sqrt{3}a_0\sqrt{n_1^2 + n_2^2 + n_1n_2}}{\pi} \cong 0.0783 \times \sqrt{n_1^2 + n_2^2 + n_1n_2} \quad (1)$$

ولتاژ آستانه یک افزاره CNFET با استفاده از رابطه (۲) به دست می‌آید [۱۳] که در این رابطه، پارامترهای $a' = 0.249\text{nm}$ ، $V_{\pi} = 3.033\text{eV}$ و e به ترتیب ثابت شبکه، انرژی پیوند π - π کربن در مدل اتصال محکم و مقدار بار یک الکترون را نشان می‌دهند.

$$V_{th} = \frac{\sqrt{3}\alpha_0 V_{\pi}}{\sqrt{3eD_{CNT}}} = \frac{\alpha' V_{\pi}}{\sqrt{3eD_{CNT}}} = \frac{0.43}{D_{CNT}} \quad (2)$$

با در نظر گرفتن رابطه (۲)، ولتاژ آستانه یک CNFET را می‌توان با تنظیم قطر CNTها تنظیم کرد؛ بنابراین، CNFETها برای طراحی مدارهای دیجیتال چند آستانه‌ای بیش از MOSFETها مقبول و مؤثر هستند. در میان انواع مختلف افزاره‌های CNFET، نوع مانع شاتکی^۴ و نوع مشابه MOSFET^۵ به طور گسترده استفاده می‌شوند. افزاره‌های مشابه MOSFET در مقایسه با افزاره‌های مانع شاتکی دارای جریان خاموش پایین‌تر و جریان روشن بالاتری هستند [۱۴]. بر این اساس، از مدل مشابه MOSFET برای طراحی و شبیه‌سازی مدارهای دیجیتال با کارایی بالا و انرژی پایین در این مقاله استفاده شده است.

۲-۲- مؤلفه‌های مصرف توان

همان‌طور که در رابطه (۳) نشان داده شده است، اتلاف توان مدارهای دیجیتال دارای دو منبع اصلی به نام‌های پویا^۶ و ایستا^۷ (نشتی^۸) است [۱۵]. توان پویا زمانی اتفاق می‌افتد که یک انتقال سیگنال در گره وجود داشته باشد. مصرف توان ایستا نیز زمانی است که گره‌های مدار در حالت پایدار هستند ولی جریان نشتی وجود دارد. توان پویا سهم غالب در مصرف توان مدارهای دیجیتال را دارد [۱۶].

$$P_{Total} = P_{Dynamic} + P_{Static} \quad (3)$$

اتلاف توان پویا شامل دو جزء به نام‌های توان کلیدزنی^۹ و اتصال کوتاه^{۱۰} است. توان کلیدزنی توان تلف‌شده به دلیل پدیده‌های شارژ و دشارژ خازن‌های موجود

^{۱۱} Pull-Up Network (PUN)

^{۱۲} Pull-Down Network (PDN)

^{۱۳} Truth table

^{۱۴} Gate

^{۱۵} Error Distance (ED)

^{۱۶} Maximum Error Distance (MED)

^{۱۷} Total Error Distance (TED)

^{۱۸} Mean Error Distance (MED)

^{۱۹} Normalized Error Distance (NED)

^۱ Zigzag

^۲ Armchair

^۳ Chiral

^۴ Schottky barrier CNFET

^۵ MOSFET-like CNFET

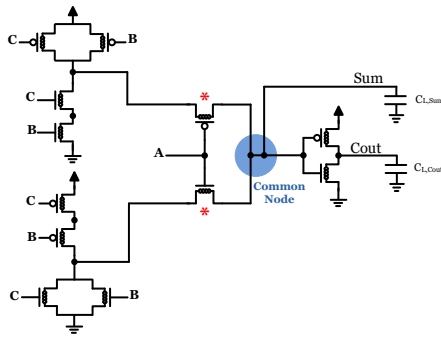
^۶ Dynamic power

^۷ Static power

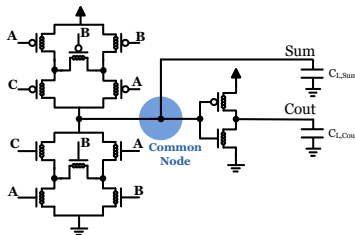
^۸ Leakage power

^۹ Switching power

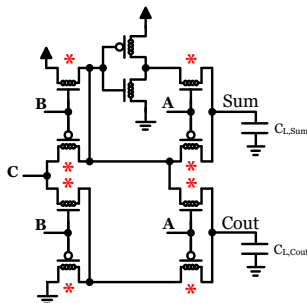
^{۱۰} Short-circuit power



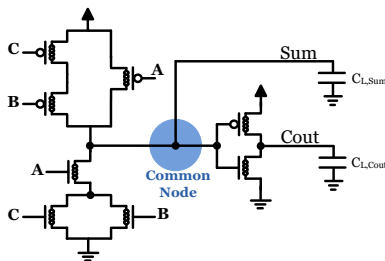
شکل ۱- طرح NNIFA [۱۹]



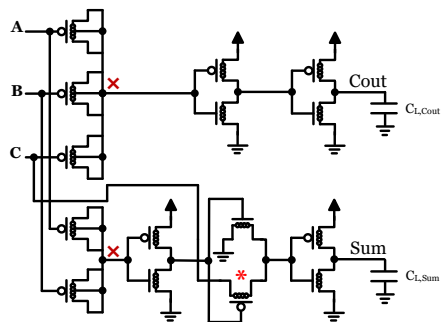
شکل ۲- طرح BBIFA [۲۰]



شکل ۳- طرح AOAFA [۲۱]



شکل ۴- طرح AFA [۲۲]



شکل ۵- طرح 15TIFA [۲۳]

نقلی ورودی و خروجی می‌تواند تولید کند برابر $2^{n+1}-1$ است. معیارهای ED, MAE, TED, MED و NED را می‌توان از طریق روابط (۶) تا (۱۰) به دست آورد [۱۸] که در آن‌ها پارامترهای ApR , ExR و M و N به ترتیب نشان‌دهنده نتیجه دقیق، نتیجه تقریبی، تعداد ترکیب‌های ورودی ممکن و حداکثر مقدار ممکن خروجی جمع‌کننده n بیتی هستند.

$$ED_i = ExR_i - ApR_i \quad (6)$$

$$MAE = \max\{|ED_i|\} \text{ for } i=1 \text{ to } M \quad (7)$$

$$TED = \sum_{i=1}^M |ED_i| \quad (8)$$

$$MED = \frac{TED}{M} \quad (9)$$

$$NED = \frac{MED}{N} \quad (10)$$

۴-۲- بررسی مدارهای قبلی

در این بخش، چندین سلول تمام جمع‌کننده تقریبی مربوط به سال‌های اخیر که با سبک‌های منطقی مختلف طراحی شده‌اند را مورد بررسی مختصر قرار می‌دهیم. تمام جمع‌کننده‌های تقریبی که در این بخش مرور می‌شوند شامل سلول‌های NNIFA [۱۹]، BBIFA [۲۰]، AOAFA [۲۱]، AFA [۲۲]، 15TIFA [۲۳]، APA [۲۴]، LAHAF [۲۵]، ANIFA [۲۶]، 9TIFA [۲۷]، PTAFA [۲۸] هستند. این جمع‌کننده‌ها به ترتیب در شکل‌های ۱ تا ۱۰ نشان داده شده‌اند. خصوصیات آن‌ها شامل تعداد ترانزیستور، طول مسیر بحرانی^۱ (برحسب تعداد ترانزیستور)، تعداد خطای سیگنال‌های Sum و Cout در جدول صحت، میزان فعالیت کلیدزنی این خروجی‌ها، پارامترهای MED و NED در جدول ۱ گزارش شده است. برخی از این سلول‌ها دارای گره مشترک^۲ برای به دست آوردن سیگنال‌های Sum و Cout هستند. گره مشترک به اندازه کافی قدرتمند نیست که بتواند بارهای بزرگ موجود در هر دو گره Sum و Cout را راه اندازی کند. در نتیجه، بر مصرف توان و تأخیر مدار تأثیر منفی می‌گذارد. همچنین، برخی از سلول‌ها دارای ترانزیستورهایی هستند که مدار را با مشکل کاهش ولتاژ آستانه مواجه می‌کنند. این ترانزیستورها که با علامت ستاره (*) در شکل‌های مربوطه نشان داده شده‌اند، یا باعث عدم نوسان کامل^۳ گره‌های خروجی هستند، یا در گره‌های میانی باعث افزایش مصرف توان اتصال کوتاه در معکوس‌کننده‌ها می‌شوند. وجود مشکلات گره مشترک و کاهش ولتاژ آستانه نیز در جدول ۱ برای تمامی جمع‌کننده‌ها گزارش شده است. در انتها، سلول 15TIFA از ترکیب فلز-اکسید-نیمه‌هادی (MOScap) برای ایجاد خازن استفاده می‌کند. در روش MOScap، یک صفحه از خازن پایه گیت^۴ ترانزیستور و صفحه دیگر اتصال پایه‌های درین^۵، سورس^۶ و بدنه^۷ است. شبکه خازنی برای تولید سطوح ولتاژ مقیاس‌شده خطی، در گره‌هایی که با علامت (X) در شکل ۵ نشان داده شده‌اند، به کار می‌روند.

^۱ Drain

^۲ Source

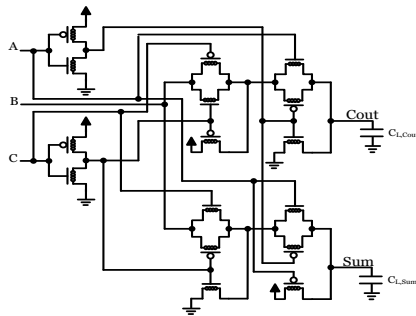
^۳ Body

^۱ Critical path

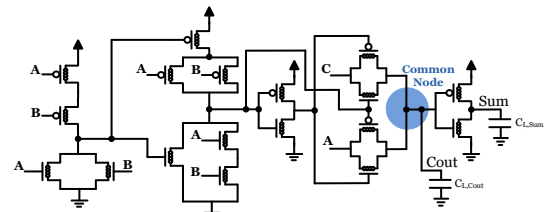
^۲ Common node

^۳ Non full swing

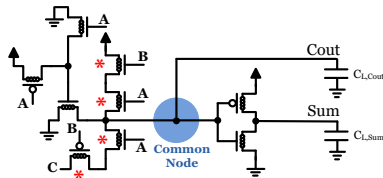
^۴ Gate



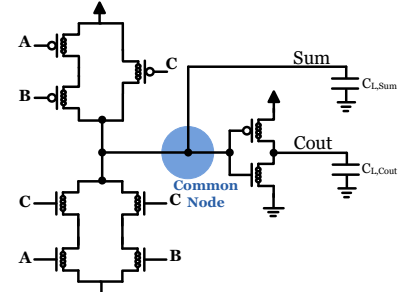
شکل ۱۰- طرح PTAFA [۲۸]



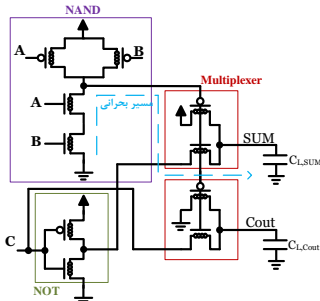
شکل ۶- طرح APA [۲۴]



شکل ۹- طرح 9TIFA [۲۷]



شکل ۷- طرح LAHAF [۲۵]



شکل ۸- طرح ANIFA [۲۶]

شکل ۱۱- ساختار سلول تمام جمع کننده پیشنهادی (10TIFA)

جدول ۱- خلاصه مشخصات تمام جمع کننده های تقریبی پیشین

نام طرح	تعداد ترانزیستور	تعداد خطای Sum	تعداد خطای Cout	گره مشترک	کاهش ولتاژ آستانه	α_{Sum}	α_{Cout}	α_{Cell}	طول مسیر بحرانی	MED	NED
NNIFA	۱۰	۲	۰	دارد	دارد	۰/۲۵	۰/۲۵	۰/۵	۴	۰/۲۵	۰/۰۸۳
BBIFA	۱۲	۲	۰	دارد	ندارد	۰/۲۵	۰/۲۵	۰/۵	۴	۰/۲۵	۰/۰۸۳
AOAFA	۱۰	۲	۰	ندارد	دارد	۰/۲۵	۰/۲۵	۰/۵	۳	۰/۲۵	۰/۰۸۳
AFA	۸	۳	۱	دارد	ندارد	۰/۲۳۴۳	۰/۲۳۴۳	۰/۴۶۸۶	۳	۰/۳۷۵	۰/۱۲۵
15TIFA	+ ۱۰ ۵ خازن	۳	۰	ندارد	دارد	۰/۲۳۴۳	۰/۲۳۴۳	۰/۴۸۴۳	۴	۰/۳۷۵	۰/۱۲۵
APA	۱۸	۲	۰	دارد	ندارد	۰/۲۵	۰/۲۵	۰/۵	۷	۰/۲۵	۰/۰۸۳
LAHAF	۹	۳	۱	دارد	ندارد	۰/۲۳۴۳	۰/۲۳۴۳	۰/۴۶۸۶	۳	۰/۳۷۵	۰/۱۲۵
ANIFA	۱۰	۳	۱	ندارد	دارد	۰/۲۳۴۳	۰/۲۳۴۳	۰/۴۶۸۶	۳	۰/۳۷۵	۰/۱۲۵
9TIFA	۹	۳	۱	دارد	دارد	۰/۲۳۴۳	۰/۲۳۴۳	۰/۴۶۸۶	۳	۰/۳۷۵	۰/۱۲۵
PTAFA	۱۶	۳	۱	ندارد	ندارد	۰/۲۳۴۳	۰/۲۳۴۳	۰/۴۶۸۶	۳	۰/۳۷۵	۰/۱۲۵

C_{out} تولید شوند. به منظور کاهش تعداد ترانزیستورها، از منطق ترانزیستور عبور برای ساخت مالتی پلکسر استفاده شده است. ضمناً، به منظور حذف معکوس کننده مورد نیاز برای تولید مکمل سیگنال انتخاب گر، از CNFET های نوع P استفاده می شود. در نتیجه، توان اتصال کوتاه به میزان قابل توجهی کاهش می یابد. برای اجتناب از به کارگیری گره مشترک در ساختار مدار پیشنهادی، از دو مسیر مستقل برای تولید خروجی های Sum و C_{out} استفاده شده است. از آنجایی که طرح پیشنهادی دارای ۱۰ ترانزیستور است، آن را 10TIFA می نامیم. همان طور که در شکل ۱۱ قابل مشاهده است، از ترکیب منطق های CMOS استاندارد و ترانزیستور عبور برای طراحی سلول پیشنهادی استفاده شده است. سلول پیشنهادی دارای ساختاری ساده است که منجر به کاهش

۳- طرح پیشنهادی

در این بخش، ساختار سلول تمام جمع کننده تقریبی پیشنهادی به تفصیل توضیح داده می شود. خروجی های Sum و C_{out} با استفاده از روابط (۱۱) و (۱۲) محاسبه می شوند.

$$Sum = \overline{(A.B).1} + \overline{(A.B).C} \quad (11)$$

$$C_{out} = \overline{(A.B).0} + \overline{(A.B).C} \quad (12)$$

شکل ۱۱ ساختار طرح پیشنهادی را در سطح ترانزیستور نشان می دهد. طرح پیشنهادی مبتنی بر تابع منطقی NAND است. از خروجی این تابع به عنوان پایه انتخاب گر^{۵۰} مالتی پلکسر^{۵۱} استفاده می شود تا اینکه خروجی های Sum و

^{۵۱} Multiplexer

^{۵۰} Selector

جدول ۳- مشخصات تمام جمع کننده تقریبی پیشنهادی

جدول درستی تمام جمع کننده تقریبی پیشنهادی در جدول ۲ نمایش داده شده است. مقدار فاصله خطا برای هر حالت ورودی نیز در همین جدول قابل مشاهده است. سایر مشخصات نیز در جدول ۳ آمده است. جدول درستی سلول پیشنهادی به گونه‌ای تغییر یافته است که فعالیت کلیدزنی پایین در گره‌های خروجی که معمولاً بارهای خازنی بزرگی را راه اندازی می‌کنند، به دست آید؛ بنابراین، فعالیت کلیدزنی طرح پیشنهادی از مدارهای NNIFA، BBIFA، AOAFA، 15TIFA و APA کمتر و با سایر طرح‌ها برابر است. اگرچه سیگنال‌های خروجی Sum و Cout دارای نوسان کامل نیستند، اما این ضعف تا حد زیادی با افزایش قطر نانولوله‌های کربنی برای ترانزیستورهای که منجر به کاهش ولتاژ آستانه می‌شوند، برطرف می‌شود. برای این منظور، با در نظر گرفتن رابطه (۱)، پارامتر n_1 را برابر با عدد ۷۳ در نظر می‌گیریم که منجر می‌شود تا قطر نانولوله‌ها برابر با $5/7159$ نانومتر باشد. حال، با توجه به رابطه (۲)، ولتاژ آستانه این ترانزیستورها $0/0752$ ولت خواهد بود که تا حد زیادی مشکل کاهش ولتاژ آستانه را تعدیل می‌کند.

۴- نتایج شبیه‌سازی

در این بخش نتایج شبیه‌سازی در دو سطح ترانزیستور و کاربرد ارائه می‌شوند. در سطح ترانزیستور، طرح‌های مختلف در برابر تغییرات ولتاژ منبع تغذیه، بار خروجی و درجه دمای محیط مورد بررسی قرار می‌گیرند. در سطح کاربرد نیز از ترکیب دو تصویر که از طریق عملیات جمع انجام می‌شود جهت ارزیابی طرح پیشنهادی استفاده می‌شود.

۴-۱- شبیه‌سازی سطح ترانزیستور

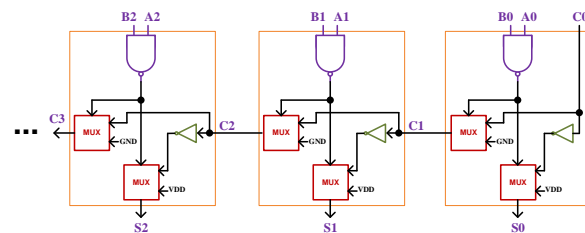
در این بخش، پارامترهای سطح ترانزیستور سلول‌های تمام جمع کننده تقریبی بررسی می‌شوند. برای ایجاد چینش سلول‌ها از ابزار Electric [۲۹] با کتابخانه mocmos-cn استفاده شده است [۳۱، ۳۰]. این کتابخانه مستقل از فناوری است و قوانین آن مبتنی بر λ است. نمای چیدمان سلول پیشنهادی در شکل ۱۳ نشان داده شده است. همان‌طور که در این شکل قابل مشاهده است، از دولایه فلز برای ایجاد چینش طرح استفاده شده است. جدول ۴، طول، عرض و مساحت سلول‌های تمام جمع کننده تقریبی را نشان می‌دهد. لازم به ذکر است که در همه مدارها از دولایه فلز برای ایجاد چینش استفاده شده است. با در نظر گرفتن این جدول، سلول‌های 15TIFA و AFA به ترتیب دارای بیشترین و کمترین سطح اشغالی هستند. مساحت طرح پیشنهادی نیز از بسیاری طرح‌ها کمتر است.

به منظور انجام شبیه‌سازی مدارهای تمام جمع کننده تقریبی مبتنی بر فناوری CNFET، از شبیه‌ساز Synopsys HSPICE به همراه مدل SPICE برای این ترانزیستورها از دانشگاه Stanford که دارای اندازه ۳۲ نانومتر است، استفاده شده است [۳۲، ۳۳]. این مدل مشابه MOSFET برای CNFET‌ها با یک یا چند نانولوله کربنی استفاده می‌شود. این مدل شامل موارد غیر ایده‌آل مانند مقاومت‌ها و خازن‌های پارازیتی است. تعداد نانولوله و قطر CNT در هر CNFET به ترتیب ۳ و $1/4877$ نانومتر است؛ به جز مواردی که منجر به مشکل کاهش ولتاژ آستانه می‌شوند. در این حالت، برای رفع این ضعف، قطر CNT برابر با $5/7159$ نانومتر تنظیم می‌شود. ولتاژ آستانه یک CNFET با قطرهای $1/4877$ و $5/7159$ نانومتر به ترتیب $0/289$ و $0/0752$ ولت است. بستر شبیه‌سازی مورد استفاده شامل بافرهای ورودی^{۵۴} و بار خروجی^{۵۵} چهار معکوس کننده (FO4) برای گره‌های خروجی است [۳۴]. بافرها در گره‌های ورودی تضمین می‌کنند

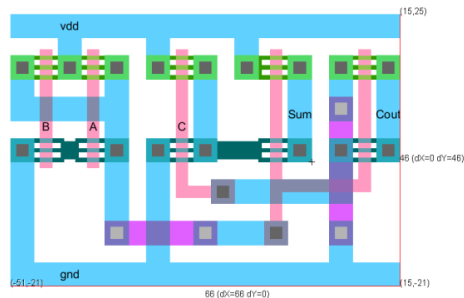
مقدار	مشخصه
۱۰	تعداد ترانزیستور
۳	تعداد خطای Sum
۳	تعداد خطای Cout
۰/۲۳۴۳	α_{Sum}
۰/۲۳۴۳	α_{Cout}
۰/۴۶۸۶	α_{Cell}
۳	طول مسیر بحرانی
۰/۶۲۵	MED
۰/۲۰۸۳	NED
۲	MAE
۵	TED

مساحت اشغالی بر روی تراشه نیز می‌شود.

مسیر بحرانی سلول متشکل از سه عدد ترانزیستور است. همچنین، زمانی که از این سلول در ساختار جمع کننده موج^{۵۲} استفاده شود، مسیر بحرانی به تنها یک ترانزیستور کاهش می‌یابد. در یک بازه زمانی مشخص، خروجی تمام NANDها تعیین می‌شود. سپس، رقم نقلی در هر سلول از یک مالتی پلکسر که دارای تأخیر یک ترانزیستور است عبور می‌کند. این موضوع در شکل ۱۲ نشان داده شده است. در نتیجه، این مدار جمع کننده موج دارای عملکردی با سرعت بسیار بالا خواهد بود.



شکل ۱۲- ساختار سلول پیشنهادی در مدار جمع کننده موج



شکل ۱۳- چینش سلول تمام جمع کننده پیشنهادی

جدول ۲- جدول درستی تمام جمع کننده تقریبی پیشنهادی

ورودی‌ها	خروجی میانی	خروجی‌های دقیق		خروجی‌های نادقیق		ED		
		C _{out}	Sum	C _{out}	Sum			
A	B	C	(AB) ^{۵۴}	C _{out}	Sum	C _{out}	Sum	
0	0	0	1	0	0	0	1×	-1
0	0	1	1	0	1	1×	0×	-1
0	1	0	1	0	1	0	1	0
0	1	1	1	1	0	1	0	0
1	0	0	1	0	1	0	1	0
1	0	1	1	1	0	1	0	0
1	1	0	0	1	0	0×	1×	1
1	1	1	0	1	1	0×	1	2

^{۵۴} Buffer

^{۵۵} Fan-out

^{۵۲} Ripple carry adder

^{۵۳} Layout

دمای ۲۵ درجه سانتی‌گراد (دمای اتاق) و منابع تغذیه ۰/۹ و ۰/۸ ولت شبیه سازی شده‌اند. از آنجایی که توان و تأخیر با یکدیگر رابطه معکوس دارند، معیارهای PDP و EDP نیز مورد توجه قرار می‌گیرند. به علاوه، حاصل ضرب توان-تأخیر-مساحت^{۵۷} و انرژی-تأخیر-مساحت^{۵۸} که معیارهای ارزیابی تعادلی بین پارامترهای مختلف هستند، نیز در جدول ۵ گزارش شده‌اند. نتایج بیانگر برتری طرح پیشنهادی در اکثر معیارهای ارزیابی تعادلی است.

که سیگنال‌های ورودی واقعی‌تری به مدار اعمال شوند. از سوی دیگر، وجود FO4 در گره‌های خروجی همانند بارهای خازنی عمل می‌کند. برای اندازه‌گیری معیارهای سطح مدار، الگوی کامل ورودی شامل ۵۶ ترکیب ممکن از ورودی‌ها در نظر گرفته شده است.

نتایج شبیه‌سازی شامل تأخیر و توان مصرفی در جدول ۵ آمده است. همه مدارها، علاوه بر مواردی که قبلاً ذکر شد، در فرکانس ساعت^{۵۶} ۱ گیگاهرتز،

جدول ۴- سطح مصرفی سلول‌های تمام جمع‌کننده تقریبی

10TIFA	PTAFA	9TIFA	ANIFA	LAHAF	APA	15TIFA	AFA	AOAFA	BBIFA	NNIFA	طرح مرجع
	[۲۸]	[۲۷]	[۲۶]	[۲۵]	[۲۴]	[۲۳]	[۲۲]	[۲۱]	[۲۰]	[۱۹]	
۶۶	۱۳۷	۷۶	۷۷	۵۳	۱۰۶	۲۲۲	۵۲	۸۱	۷۲	۷۵	طول (λ)
۴۶	۴۷	۴۸	۴۷	۵۱	۵۷	۸۳	۵۰	۵۵	۵۰	۴۲	عرض (λ)
۳۰۳۶	۶۴۳۹	۳۶۴۸	۳۶۱۹	۲۷۰۳	۶۰۴۲	۱۸۴۲۶	۲۶۰۰	۴۴۵۵	۳۶۰۰	۳۱۵۰	مساحت (λ ²)

جدول ۵- نتایج شبیه‌سازی

EDAP (10 ⁻²⁹ J.S.λ ²)	PDAP (10 ⁻¹⁷ J.λ ²)	EDP (10 ⁻²⁹ J.S)	PDP (10 ⁻¹⁷ J)	Power (10 ⁻⁶ W)	Delay (10 ⁻¹² S)	مرجع	طرح
منبع تغذیه = ۰/۹ ولت							
۱۴۴۵۶۷/۰۴	۷۳۵۳/۳۶	۴۵/۸۹۴۳	۲/۳۳۴۴	۱/۱۸۷۴	۱۹/۶۶۰	[۱۹]	NNIFA
۲۱۹۴۱۰/۲۸	۹۲۵۷/۰۴	۶۰/۹۴۷۳	۲/۵۷۱۴	۱/۰۸۴۹	۲۳/۷۰۲	[۲۰]	BBIFA
۱۷۹۰۴۱/۵۴	۱۱۰۴۰/۳۸	۴۰/۱۸۸۹	۲/۴۷۸۲	۱/۵۲۸۲	۱۶/۲۱۷	[۲۱]	AOAFA
۶۹۶۴۷/۷۶	۴۰۴۰/۱۴	۲۶/۷۸۷۶	۱/۵۵۳۹	۰/۹۰۱۳۷	۱۷/۲۳۹	[۲۲]	AFA
۱۳۵۴۷۲۷/۴۲	۹۳۱۰۸/۴۲	۷۳/۵۲۲۶	۵/۰۵۳۱	۳/۴۷۳۰	۱۴/۵۵۰	[۲۳]	15TIFA
۲۲۲۰۲۸/۹۹	۱۲۸۴۸/۹۱	۳۶/۷۴۷۶	۲/۱۲۶۶	۱/۲۳۰۷	۱۷/۲۸	[۲۴]	APA
۹۸۲۵۴/۳۲	۵۰۶۵/۹۶	۳۶/۳۵۰۱	۱/۸۷۴۲	۰/۹۶۶۳۲	۱۹/۳۹۵	[۲۵]	LAHAF
۵۶۴۳۶/۱۳	۴۹۵۶/۲۲	۱۵/۵۹۴۴	۱/۳۶۹۵	۱/۲۰۲۶	۱۱/۳۸۷	[۲۶]	ANIFA
۹۶۱۱۲/۳۹	۶۲۶۵/۰۷	۲۶/۳۴۶۶	۱/۷۱۷۴	۱/۱۱۹۵	۱۵/۳۴۱	[۲۷]	9TIFA
۸۷۹۵۹/۳۱	۷۸۱۳/۰۸	۱۳/۶۶۰۴	۱/۲۱۳۴	۱/۰۷۷۹	۱۱/۲۵۸	[۲۸]	PTAFA
۳۷۳۵۰/۹۹	۳۴۹۵/۳۴	۱۲/۳۰۲۷	۱/۱۵۱۳	۱/۰۷۷۴	۱۰/۶۸۶	پیشنهادی	10TIFA
منبع تغذیه = ۰/۸ ولت							
۱۰۵۲۰۴/۹۶	۵۰۶۱/۱۰	۳۳/۳۹۸۴	۱/۶۰۶۷	۰/۷۷۲۹	۲۰/۷۸۷	[۱۹]	NNIFA
۱۶۶۲۷۸/۶۰	۶۵۷۰/۷۲	۴۶/۱۸۸۵	۱/۸۲۵۲	۰/۷۲۱۲	۲۵/۳۰۶	[۲۰]	BBIFA
۱۴۷۴۶۱/۳۹	۷۹۷۱/۳۳	۳۳/۱۰۰۲	۱/۷۸۹۳	۰/۹۶۷۲	۱۸/۴۹۹	[۲۱]	AOAFA
۵۲۸۷۳/۸۶	۲۹۲۳/۹۶	۲۰/۳۳۶۱	۱/۱۲۴۶	۰/۶۲۱۸	۱۸/۰۸۳	[۲۲]	AFA
۸۹۶۴۹۸/۶۰	۵۷۰۸۰/۰۶	۴۸/۶۵۴۰	۳/۰۹۷۸	۱/۹۷۲۴	۱۵/۷۰۶	[۲۳]	15TIFA
۱۸۳۹۵۲/۳۱	۹۴۱۷/۰۶	۳۰/۴۴۵۶	۱/۵۵۸۶	۰/۷۹۷۹	۱۹/۵۳۴	[۲۴]	APA
۷۴۹۲۲/۵۶	۳۵۷۹/۸۵	۲۷/۷۱۸۳	۱/۳۲۴۴	۰/۶۳۲۸	۲۰/۹۲۹	[۲۵]	LAHAF
۴۴۴۰۲/۵۹	۳۵۳۳/۹۵	۱۲/۲۶۹۳	۰/۹۷۶۵	۰/۷۷۷۲	۱۲/۵۶۴	[۲۶]	ANIFA
۸۱۶۳۲/۷۵	۴۷۷۴/۱۳	۲۲/۳۷۷۴	۱/۳۰۸۷	۰/۷۶۵۳	۱۷/۰۹۹	[۲۷]	9TIFA
۶۲۰۴۲/۹۸	۵۱۹۸/۸۴	۹/۶۳۵۵	۰/۸۰۷۴	۰/۶۷۶۵	۱۱/۹۳۴	[۲۸]	PTAFA
۳۰۸۹۴/۰۳	۲۵۹۳/۰۴	۱۰/۱۷۵۹	۰/۸۵۴۱	۰/۷۱۶۸	۱۱/۹۱۴	پیشنهادی	10TIFA

نتایج شبیه‌سازی شامل تأخیر و توان مصرفی در جدول ۵ آمده است. همه مدارها، علاوه بر مواردی که قبلاً ذکر شد، در فرکانس ساعت^{۵۹} ۱ گیگاهرتز، دمای ۲۵ درجه سانتی‌گراد (دمای اتاق) و منابع تغذیه ۰/۹ و ۰/۸ ولت شبیه

سازی شده‌اند. از آنجایی که توان و تأخیر با یکدیگر رابطه معکوس دارند، معیارهای PDP و EDP نیز مورد توجه قرار می‌گیرند. به علاوه، حاصل ضرب توان-تأخیر-مساحت^{۶۰} و انرژی-تأخیر-مساحت^{۶۱} که معیارهای ارزیابی تعادلی بین

⁵⁹ Clock

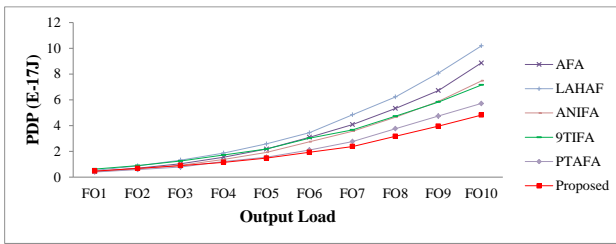
^{۶۰} Power-Delay-Area Product (PDAP)

^{۶۱} Energy-Delay-Area Product (EDAP)

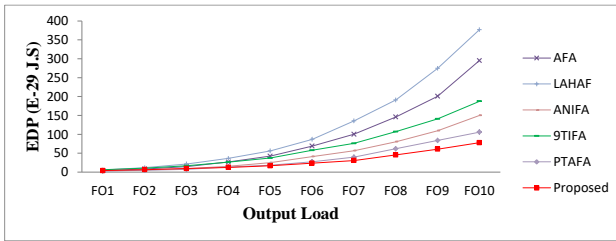
⁵⁶ Clock

^{۵۷} Power-Delay-Area Product (PDAP)

^{۵۸} Energy-Delay-Area Product (EDAP)



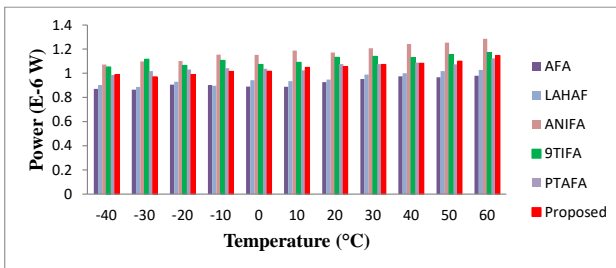
(ج)



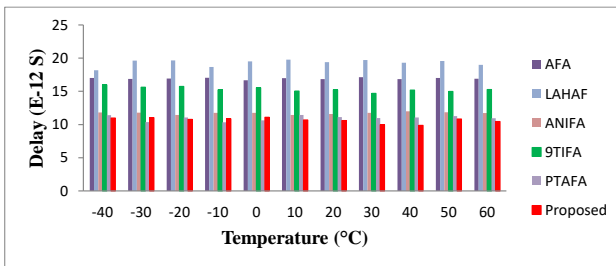
(د)

شکل ۱۴- تغییرات بار خروجی، (الف) مصرف توان، (ب) تأخیر، (ج)

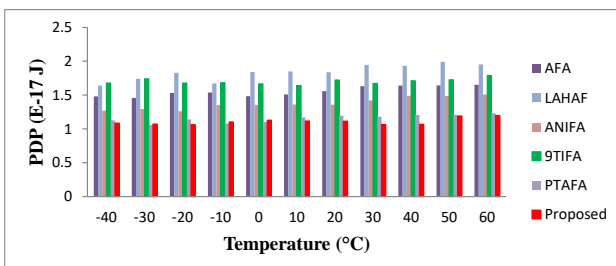
EDP (د)، PDP



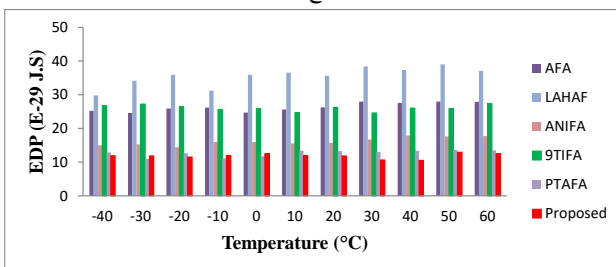
(الف)



(ب)



(ج)



(د)

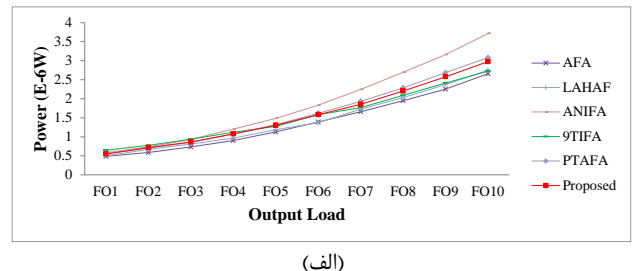
شکل ۱۵- تغییرات دما، (الف) مصرف توان، (ب) تأخیر، (ج) PDP، (د)

EDP

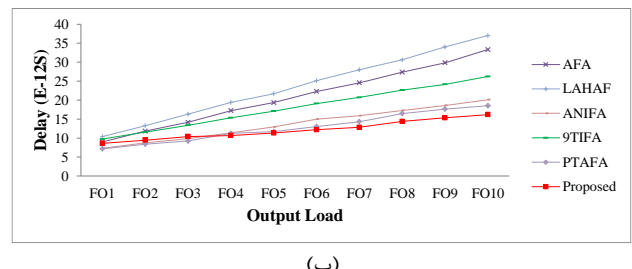
پارامترهای مختلف هستند، نیز در جدول ۵ گزارش شده‌اند. نتایج بیانگر برتری طرح پیشنهادی در اکثر معیارهای ارزیابی تعادلی است.

شکل ۱۴ نتایج شبیه‌سازی را در برابر تغییرات بار خروجی نشان می‌دهد. شبیه‌سازی‌ها در فرکانس ساعت ۱ گیگاهرتز، دمای ۲۵ درجه سانتی‌گراد، منبع تغذیه ۰/۹ ولت و بارهای خروجی مختلف از FO1 تا FO10 انجام شده است. به‌منظور افزایش وضوح نتایج و نمودارها، از آنجایی‌که سلول‌های 15TIFA، NNIFA، BBIFA، AOFA و APA دارای نتایج بدتری نسبت به سایر طرح‌ها هستند، در شکل شماره ۱۴ نمایش داده نشده‌اند. با توجه به نتایج موجود در شکل ۱۴(الف)، طرح پیشنهادی دارای مصرف توان پایینی است و مقدار آن قابل‌رقابت با سایر طرح‌ها است. از نقطه‌نظر تأخیر، با توجه به شکل ۱۴(ب)، سلول پیشنهادی دارای کمترین تأخیر است. همان‌طور که در شکل‌های ۱۴(ج) و ۱۴(د) نشان داده شده است، سلول پیشنهادی کمترین PDP و EDP را در مقایسه با سایر مدارها دارد. به‌عنوان مثال، در بار FO10، سلول پیشنهادی PDP را حدود ۰/۴۵٪، ۰/۵۲٪، ۰/۳۵٪، ۰/۳۲٪ و ۱۵٪ و EDP را در حدود ۰/۷۳٪، ۰/۷۹٪، ۰/۴۸٪، ۰/۵۸٪ و ۲۶٪ به ترتیب در مقایسه با طرح‌های AFA، LAHAF، ANIFA، 9TIFA و PTAFA کاهش می‌دهد؛ بنابراین، سلول پیشنهادی می‌تواند به طور مؤثر در مدارهای حساسی بزرگ‌تر مورد استفاده قرار گیرد.

مقاومت در برابر تغییرات دمای محیط یکی از دغدغه‌های مهم در طراحی مدارهای آنالوگ و دیجیتال است. یک مدار مناسب باید بتواند در یک محدوده دمای معین به‌درستی کار کند. برای بررسی عملکرد و قابلیت اطمینان سلول‌های تمام جمع‌کننده تقریبی در برابر تغییرات دمای محیط، شبیه‌سازی‌های جامعی در منبع تغذیه ۰/۹ ولت، فرکانس کاری ۱ گیگاهرتز، بار استاندارد FO4 و دماهای مختلف از -۴۰ تا +۶۰ درجه سانتی‌گراد انجام شده است. نتایج شبیه‌سازی در شکل ۱۵ نشان داده شده است. مجدداً، به‌منظور وضوح بیشتر نتایج، از آنجایی‌که سلول‌های 15TIFA، NNIFA، BBIFA، AOFA و APA دارای نتایج بدتری نسبت به سایر طرح‌ها هستند، در شکل ۱۵ نمایش داده نشده‌اند. از نقطه‌نظر مصرف انرژی، سلول پیشنهادی در مقایسه با سایر سلول‌ها انرژی کمتری مصرف می‌کند. با توجه به شکل ۱۵، بدیهی است که سلول پیشنهادی نه تنها در برابر تغییرات دما مقاوم است، بلکه کمترین تأخیر، PDP و EDP را در مقایسه با هم‌تایان خود دارد.



(الف)



(ب)

با استفاده از مدار جمع‌کننده پیشنهادی به‌درستی انجام می‌شود. به‌منظور بررسی دقیق‌تر، از معیار کمی نسبت اوج سیگنال به نویز^{۶۲} استفاده می‌شود. این نسبت بین قدرت سیگنال اصلی به سیگنال نویز را تعیین می‌کند. معیار PSNR از طریق رابطه (۱۳) محاسبه می‌شود [۲۸] که در این رابطه، MAX_i حداکثر مقدار یک پیکسل در یک تصویر است. پارامتر MSE نیز بیانگر میانگین مربع خطا^{۶۳} است.



شکل ۱۶- نتایج حاصل از ترکیب تصاویر برای مدار پیشنهادی، (الف) تصاویر اول، (ب) تصاویر دوم، (پ) تصاویر سوم، (ت) تصاویر چهارم، (ث) تصاویر پنجم

۳۱/۹۳	۳۱/۷۱	۳۲/۰۱	۳۱/۸۸	۳۱/۸۹	۳۲/۱۸	PTAFA
۳۰/۹۲	۳۰/۴۷	۳۱/۲۵	۳۰/۸۴	۳۰/۷۹	۳۱/۲۴	10TIFA

۵- نتیجه‌گیری

محاسبات تقریبی می‌تواند به طور مؤثر در برنامه‌های کاربردی مقاوم در برابر خطا مانند پردازش تصویر، صدا و ویدئو استفاده شود. در میان انواع مختلف از مدارهای محاسباتی، سلول تمام جمع‌کننده نقش کلیدی در تعیین عملکرد کل سیستم دیجیتال ایفا می‌کند. در این مقاله، یک سلول تمام جمع‌کننده تقریبی مؤثر پیشنهاد شد. سلول پیشنهادی مبتنی بر ترکیبی از سبک‌های منطقی CMOS استاندارد و ترانزیستور عبور است. شبیه‌سازی‌های جامعی در هر دو سطح ترانزیستور و کاربرد برای ارزیابی کارایی مدارها صورت پذیرفت. نتایج شبیه‌سازی تأیید می‌کنند که سلول پیشنهادی از نظر معیارهای تأخیر، PDP و EDP نسبت به سایر مدارها کارآمدتر است. نتایج حاصل از پردازش تصویر نیز نشان دادند که از این سلول می‌توان به نحو مؤثر در کاربرد ترکیب تصاویر استفاده نمود.

مراجع

- [1] M. Masadeh, O. Hasan, S. Tahar, "Using machine learning for quality configurable approximate computing", Design, Automation & Test in Europe Conference & Exhibition, pp. 1575-1578, 2019.
- [2] Y. Safaei Mehrabani, M. Eshghi, "Noise and process variation tolerant, low-power, high-speed, and low-energy full adders in CNFET technology", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 24, no. 11, pp. 3268-3281, 2016.
- [3] Q. Xu, T. Mytkowicz, N. S. Kim, "Approximate computing: a survey", IEEE Design & Test, vol. 33, no. 1, pp. 8-22, 2016.
- [4] K. S. Jitendra, A. Srinivasulu, B. P. Singh, "A new low-power full-adder cell for low voltage using CNTFETs", 9th International

۴-۲- شبیه‌سازی سطح کاربرد

ترکیب تصویر یکی از کاربردهای مهم پردازش تصویر است که نیاز به عملیات جمع دارد. از سلول تمام جمع‌کننده پیشنهادی در چهار طبقه کم‌ارزش از یک جمع‌کننده هشت بیتی استفاده می‌شود تا عملیات جمع را انجام دهد. شکل ۱۶ تصاویر ترکیبی حاصل از این شبیه‌سازی‌ها را به ازای پنج سری تصاویر مختلف نشان می‌دهد. نتایج شبیه‌سازی تصدیق می‌نماید که ترکیب دو تصویر

پارامتر MSE از طریق رابطه (۱۴) محاسبه می‌شود [۲۸]. در این رابطه، پارامترهای m و n به ترتیب تعداد سطرها و ستون‌های تصویر و پارامترهای $K(i, j)$ و $I(i, j)$ به ترتیب مقادیر پیکسل‌ها در تصاویر دقیق و نادقیق هستند. عموماً تصاویر با PSNR بالای ۳۰ دسی‌بل کیفیت قابل قبولی دارند [۳۵]. نتایج مربوط به PSNR حاصل شده برای هر سری از تصاویر و PSNR میانگین در جدول ۶ نمایش داده شده است. با توجه به نتایج مشاهده می‌شود که در مدار پیشنهادی مقدار پارامتر PSNR به ازای همه تصاویر بزرگ‌تر از ۳۰ دسی‌بل است که قابل قبول است [۳۵]؛ بنابراین، مدار پیشنهادی را می‌توان در کاربرد ترکیب تصاویر به کار گرفت.

$$PSNR = 10 \log_{10} \left(\frac{MAX_I^2}{MSE} \right) \quad (13)$$

$$MSE = \frac{1}{mn} \sum_{i=0}^{m-1} \sum_{j=0}^{n-1} [I(i, j) - K(i, j)]^2 \quad (14)$$

جدول ۶- مقدار PSNR حاصل از ترکیب تصاویر مختلف

طرح	اول	دوم	سوم	چهارم	پنجم	میانگین
NNIFA	۳۲/۹۶	۳۲/۷۲	۳۲/۶۷	۳۲/۶۵	۳۲/۶۱	۳۲/۷۲
BBIFA	۳۲/۹۶	۳۲/۷۲	۳۲/۶۷	۳۲/۶۵	۳۲/۶۱	۳۲/۷۲
AOAFA	۳۵/۹۲	۳۵/۴۸	۳۵/۵۲	۳۶/۰۹	۳۵/۰۱	۳۵/۶۰
AFA	۳۲/۱۸	۳۱/۸۹	۳۱/۸۸	۳۲/۰۱	۳۱/۷۱	۳۱/۹۳
15TIFA	۳۲/۸۸	۳۲/۶۵	۳۲/۵۳	۳۲/۱۸	۳۲/۶۲	۳۲/۵۷
APA	۳۲/۹۶	۳۲/۷۲	۳۲/۶۷	۳۲/۶۵	۳۲/۶۱	۳۲/۷۲
LAHAF	۳۲/۱۳	۳۲/۸۵	۳۲/۷۶	۳۲/۵۶	۳۲/۹۵	۳۲/۸۵
ANIFA	۳۲/۳۵	۳۲/۳۸	۳۲/۳۵	۳۲/۱۵	۳۲/۵۴	۳۲/۳۶
9TIFA	۳۲/۱۸	۳۱/۸۹	۳۱/۸۸	۳۲/۰۱	۳۱/۷۱	۳۱/۹۳

^{۶۲} Mean Squared Error (MSE)

^{۶۳} Peak Signal-to-Noise Ratio (PSNR)

- [21] S. Salavati, M. H. Moaiyeri, K. Jafari, "Ultra-efficient nonvolatile approximate full-adder with spin-hall-assisted MTJ cells for in-memory computing applications", *IEEE Transactions on Magnetics*, vol. 57, no. 5, pp. 1-11, May 2021.
- [22] M. Mirzaei, S. Mohammadi, "Process variation-aware approximate full adders for imprecision-tolerant applications", *Computers & Electrical Engineering*, vol. 87, p. 106761, 2020.
- [23] Z. Zareei, M. Bagherizadeh, M. H. Shafiabadi, Y. Safaei Mehrabani, "Design of efficient approximate 1-bit full adder cells using CNFET technology applicable in motion detector systems", *Microelectronics Journal*, vol. 108, pp. 1-13, 2021.
- [24] Z. Yang, R. Lv, X. Li, J. Wang, J. Yang, "Approximate computing based low power image processing architecture for intelligent satellites", 11th EAI International Conference in Wireless and Satellite Systems, pp. 351-363, 2021.
- [25] S. E. Fatemeh, S. S. Farahani, M. R. Reshadinezhad, "LAHAF: low-power, area-efficient, and high-performance approximate full adder based on static CMOS", *Sustainable Computing: Informatics and Systems*, vol. 30, p. 100529, 2021.
- [26] A. Mohammadi, M. M. Ghanatghestani, A. S. Molahosseini, Y. Safaei Mehrabani, "High-performance and energy-area efficient approximate full adder for error tolerant applications", *ECS Journal of Solid State Science and Technology*, vol. 11, no. 8, p. 081010, 2022.
- [۲۷] محمدرضا رشادی‌نژاد، سید عرفان فاطمیه، زهرا داوری شلمزاری، «طراحی و بهینه‌سازی یک تمام جمع‌کننده تقریبی مبتنی بر ترانزیستورهای نانولوله کربنی و بررسی کاربرد آن در پردازش تصویر دیجیتال»، *هوش محاسباتی در مهندسی برق*، جلد ۱۱، شماره ۳، صفحات ۳۶-۲۵، ۱۳۹۹.
- [28] A. Mohammadi, M. M. Ghanatghestani, A. S. Molahosseini, Y. Safaei Mehrabani, "Image processing with high-speed and low-energy approximate arithmetic circuit", *Sustainable Computing: Informatics and Systems*, vol. 36, pp. 1-15, 2022.
- [29] Home of the electric VLSI design system website, Available online at: <http://www.staticfreesoft.com/index.html>
- [30] J. Huang, M. Zhu, P. Gupta, S. Yang, S. M. Rubin, G. Garret, J. He, "A CAD tool for design and analysis of CNFET circuits", *IEEE International Conference on Electron Devices and Solid-State Circuits*, pp. 1-4, 2010.
- [31] J. Huang, M. Zhu, S. Yang, P. Gupta, W. Zhang, S. M. Rubin, G. Garret, J. He, "A physical design tool for carbon nanotube field-effect transistor circuits", *ACM Journal on Emerging Technologies in Computing Systems*, vol. 8, no. 3, pp. 1-20, 2012.
- [32] J. Deng, H.-S. P. Wong, "A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part I: Model of the intrinsic channel region", *IEEE Transactions on Electron Devices*, vol. 54, no. 12, pp. 3186-3194, 2007.
- [33] J. Deng, H.-S. P. Wong, "A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part II: Full device model and circuit performance benchmarking", *IEEE Transactions on Electron Devices*, vol. 54, no. 12, pp. 3195-3205, 2007.
- [34] S. Goel, A. Kumar, M. A. Bayoumi, "Design of robust, energy-efficient full adders for deep-submicrometer design using hybrid-CMOS logic style", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 14, no. 12, pp. 1309-1321, 2006.
- [35] T. Y. Hsieh, Y. H. Peng, K. C. Cheng, T. A. Cheng, "Error-tolerability enhancement via bit inversion and median filtering for single-bit errors in image processing circuits", *Microsystem Technologies*, vol. 24, no. 1, pp. 59-69, 2018.
- Conference on Electronics, Computers and Artificial Intelligence, pp. 1-5, 2017.
- [5] M. Moradi, M. R. F. Mirzaee, K. Navi, "New current-mode multipliers by CNFET-based n-valued binary converters", *IEICE Transactions on Electronics*, vol. 99, no. 1, pp. 100-107, 2016.
- [۶] محسن شاطر مفیدی، رضا فقیه میرزایی، «طراحی و بررسی یک جمع کننده با مسیر فرعی رقم نقلی در فناوری اتوماتای کوانتومی سلولی»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۵۰، شماره ۴، صفحات ۱۶۷۳-۱۳۹۹، ۱۳۹۹.
- [7] J. Appenzeller, "Carbon nanotubes for high-performance electronics—progress and prospect", *Proceedings of the IEEE*, vol. 96, no. 2, pp. 201-211, 2008.
- [8] Y. Safaei Mehrabani, M. Eshghi, "High-speed, high-frequency and low-PDP, CNFET full adder cells", *Journal of Circuits, Systems and Computers (JCSC)*, vol. 24, no. 09, p.1550130, 2015.
- [9] G. Hills, C. Lau, A. Wright, S. Fuller, M. D. Bishop, T. Srimani, P. Kanhaiya, R. Ho, A. Amer, Y. Stein, D. Murphy, "Modern microprocessor built from complementary carbon nanotube transistors", *Nature*, vol. 572, no. 7771, pp. 595-602, 2019.
- [10] S. Lin, Y.-B. Kim, F. Lombardi, "CNFET-based design of ternary logic gates and arithmetic circuits", *IEEE Transactions on Nanotechnology*, vol. 10, no. 2, pp. 217-225, 2009.
- [۱۱] الهام نیک بخت بیدگلی، داریوش دیدبان، «بررسی عملکرد مالتی‌پلکسر سه ارزشی مبتنی بر ترانزیستورهای اثر میدان نانولوله کربنی»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۵۰، شماره ۲، صفحات ۹۴۳-۹۵۳، ۱۳۹۹.
- [12] S. Yamacli, M. Avci, "Accurate SPICE compatible CNT interconnect and CNFET models for circuit design and simulation", *Mathematical and Computer Modelling*, vol. 58, no. 1-2, pp. 368-378, 2013.
- [13] S. Vidhyadharan, S. S. Dan, "An efficient ultra-low-power and superior performance design of ternary half adder using CNFET and gate-overlap TFET devices", *IEEE Transactions on Nanotechnology*, vol. 20, pp. 365-376, 2021.
- [14] A. Raychowdhury, K. Roy, "Carbon-nanotube-based voltage-mode multiple-valued logic design", *IEEE Transactions on Nanotechnology*, vol. 4, no. 2, pp. 168-179, 2005.
- [15] S. A. Pon, V. Jeyalakshmi, "Analysis of switching activity in various implementation of combinational circuit," 6th International Conference on Advanced Computing and Communication Systems, pp. 115-121, 2020.
- [16] R. Mehrotra, E. Popovici, K. L. Man, M. Schellekens, "Power reduction and technology mapping of digital circuits using AND-Inverter Graphs", 27th International Conference on Microelectronics Proceedings, pp. 295-298, 2010.
- [17] A. P. Chandrakasan, R. W. Brodersen, "Minimizing power consumption in digital CMOS circuits", *Proceedings of the IEEE*, vol. 83, no. 4, pp. 498-523, 1995.
- [18] P. J. Edavoor, S. Raveendran, A. D. Rahulkar, "Approximate multiplier design using novel dual-stage 4: 2 compressors", *IEEE Access*, vol. 8, pp. 48337-48351, 2020.
- [19] Y. Safaei Mehrabani, R. F. Mirzaee, Z. Zareei, S. M. Daryabari, "A novel high-speed, low-power CNFET-based inexact full adder cell for image processing application of motion detector", *Journal of Circuits, Systems, and Computers*, vol. 26, no. 5, pp. 1750082-1-1750082-15, 2017.
- [20] C. Goyal, J. S. Ubhi, B. Raj, "A low leakage TG-CNFET-based inexact full adder for low power image processing applications", *International Journal of Circuit Theory and Applications*, vol. 47, no. 9, pp. 1446-1458, 2019.