Archive of SID.ir

Tabriz Journal of Electrical Engineering (TJEE), vol. 53, no. 2, Summer 2023 Serial no. 104
DOI: 10.22034/tjee.2023.16002

Low Power Rail-to-Rail Class AB CMOS Operational Amplifier Using Translinear Loop

Rasoul Dehghani *

Department of Electrical and Computer Engineering, Isfahan University of Technology, Isfahan, Iran.
E-mail: dehghani@iut.ac.ir

Abstract
In this paper the analysis and design of an operational amplifier is presented. This amplifier can follow the input signal from ground to supply voltage at its input and output. Based on the level of the input common mode voltage, one of two pMOS and nMOS differential pairs are selected to amplify the input signal. This causes the amplifier performance is independent of the drain current relationship of the input differential pairs transistors. Both static and dynamic currents of the class AB output stage are provided by two translinear loops with minimum sensitivity to process, temperature and supply voltage variations. The simulation results, in a 0.18 μm CMOS technology, show that the amplifier in nominal condition, has about 80 dB dc voltage gain, 51 MHz unity gain bandwidth and 63° phase margin while its static power consumption is almost 1 mW. For input common mode voltage changes between ground to the supply voltage, the maximum relative variations of the input differential pairs transconductances, amplifier's dc voltage gain, phase margin and unity gain bandwidth are 0.63%, 0.80%, 1.48% and 0.33%, respectively. This amplifier as a buffer can drive a load consisting of parallel connection of a resistor 400Ω and a capacitor 20 pF.

Keywords
Constant-gm, input rail-to-rail opamp, class AB, translinear loop.

1- Introduction

Operational amplifier with the capability of having input rail to rail swing is a necessity in recent sub-micron analog CMOS circuits. The usual method to meet this requirement is using two parallel nMOS and pMOS diffrential pairs to cover the whole input common mode voltage range [1-2]. Rather large variation of transconductanes (gm) of the input pairs with common mode voltage and its dependency on the drain current relationships are two main drawbacks of this method. Since variation of gm can affect the opamp frequency response parameters, different ideas have been inroduced to achieve a constant gm for the input differential pairs in such a way that it is independent of operating region or current relationship of the input differential pairs devices [3].

2- Proposed Work and Methodology

In the proposed rail to rail opamp instead of employing two parallel differential pairs as used in conventional methods, based on the input common mode voltage level one of pMOS or nMOS differential pair is selected to amplify the input signal. The switching action between two differntial pairs induces a spike with certain small amplitude on the output voltage that can lead to severe degradation of total harmonic distortion for low level output voltage. Therefore, a schmitt trigger circuit with wide enough hysteresis loop has been used to mitigate this problem. A comprehensive analysis is also presented to achieve some analytical relationships which are useful to reach a near optimum design in terms of proper phase margin and bandwidth with low power consumption. Because of using two individual differential pairs the total input transconductace of the opamp is independent of the devices drain currents reationships. Variations of the input differntial pairs transconuctances, dc voltage gain and unity gain bandwidth of the designed opamp all are less than one percent while the total static power consumption is about 1 mW.

3- Conclusion

In this paper the design and analysis of an operational amplifier with the capability of rail to rail voltage changes at its input and output was presented. The drain current relationship of the input transistors corresponding to subthreshold or saturation regions and short channel effects have no influence on determing the total input stage transconductance. A class-AB CMOS amplifier was used as the output stage in which the bias and load currents have been provided by two translinear loops. By writing and solving the related equations for the ac equivalent circuit, the analytical relations for dc voltage gain and poles and zeros locations were obtained. These relations can be used to design an amplifier with proper phase margin and bandwidth and low power consumption.

4- References

[1] C. Veselu, C. Stănescu and G. Brezeanu, "Low current constant-gm technique for rail-to-rail operational amplifiers," 2020 International Semiconductor Conference (CAS), pp. 253-256, 2020.

[2] N. Baxevanakis, I. Georgakopoulos and P. P. Sotiriadis, "Rail-to-rail operational amplifier with stabilized frequency response and constant-gm input stage," 2017 Panhellenic Conference on Electronics and Telecommunications (PACET), pp. 1-4, 2017.

[3] M. M. Ahmadi, R. Lotfi and M. Sharif-Bakhtiar, "A new architecture for rail-to-rail input constant-g/sub m/ CMOS operational transconductance amplifiers," Proceedings of the 2003 International Symposium on Low Power Electronics and Design, ISLPED '03., pp. 353-358, 2003.

Archive of SID.ir

Archive of SID.ir

تقویت‌کننده عملیاتی سی ماوس طبقه AB کم توان از نوع نوسان کامل با استفاده از حلقه ترا خطی

رسول دهقانی
دانشیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی اصفهان، اصفهان ، ایران

چکیده

در این مقاله تحلیل و طراحی یک تقویت‌کننده عملیاتی ارائه می‌شود. این تقویت‌کننده قادر به دنبال کردن سیگنال ورودی از زمین تا ولتاژ تغذیه در هر دو ورودی و خروجی آن می‌باشد. براساس سطح ولتاژ حالت مشترک ورودی، یکی از دو زوج دیفرانسیل nMOS و pMOS برای تقویت سیگنال ورودی انتخاب می‌شوند. لذا عملکرد مدار مستقل از رابطه جریان درین در ترانزیستورهای طبقه ورودی خواهد بود. جریان‌های بایاس وac طبقه خروجی توسط دو حلقه تراخطی با کمترین حساسیت به تغییرات فرآیند ساخت، دما و تغذیه، تامین می‌شوند. نتایج شبیه‌سازی مدار در فن‌آوری سی ماوس ۱۸۰نانومتر نشان می‌دهد تقویت‌کننده در حالت نامی دارای بهره ولتاژ dc درحدود ۸۰ دسی‌بل، پهنای باندبهره واحد ۵۱ مگاهرتز، حاشیه فاز۶۳º است درحالی که توان مصرفی ایستای آن تقریبایک میلی‌وات است. به‌ازای تغییرات ولتاژ حالت مشترک ورودی بین زمین تا تغذیه، حداکثر تغییرات نسبی هدایت انتقالی طبقه دیفرانسیل ورودی، بهره ولتاژdc، حاشیه فاز وپهنای باند بهره واحد به ترتیب ٪۰/۶۳، ٪۰/۸۰، ٪۱/۴۸و٪۰/۳۳ می‌باشد. این تقویت‌کننده به عنوان بافر قادر به راه اندازی ترکیب موازی یک مقاومت بار۴۰۰ اهم و خازن ۲۰پیکوفاراد می‌باشد.

کلمات کلیدی

ضریب هدایت انتقالی ثابت، تقویت‌کننده عملیاتی با دامنه نوسان کامل در ورودی، طبقه AB، حلقه تراخطی.

نام نویسنده مسئول: دکتر رسول دهقانی
ایمیل نویسنده مسئول: dehghani@iut.ac.ir

تاریخ ارسال مقاله: ۱۴۰۱/۰۹/۰۶
تاریخ(های) اصلاح مقاله: ۱۴۰۱/۱۱/۰۷
تاریخ پذیرش مقاله: ۱۴۰۱/۱۲/۰۹

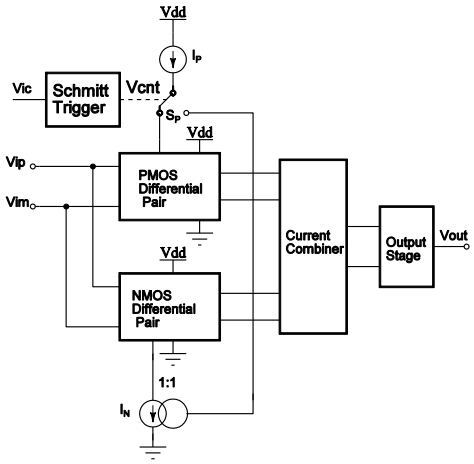
۱- مقدمه

در تقویت کننده‌های دیفرانسیل کامل با توجه به استفاده از مدار بازخورد حالت مشترک، ولتاژحالت مشترک در ورودی و خروجی تقویت کننده روی یک مقدار مناسب که معمولا نصف ولتاژ تغذیه مدار است، تثبیت می‌شود و لذا محدودیتی در ارتباط با دامنه نوسان سیگنال در ورودی و خروجی تا نزدیکی تغذیه از بالا و سطح زمین از پائین وجودندارد[۱، ۲]. در مقابل برای تقویت-کننده های عملیاتی با خروجی تک سر هنگامی که به عنوان بافر به کارمی روند محدود بودن دامنه نوسان سیگنال در طبقه دیفرانسیل در ورودی تقویت‌کننده یک چالش مهم محسوب می‌شود. این نقصان به ویژه برای کاربردهای ولتاژ پائین با سطح تغذیه کم بیشتر حائز اهمیت است. برای کاهش این محدودیت روشهای مختلفی ارائه شده است. یک راهکار متداول استفاده همزمان از دو زوج دیفرانسیل مکمل nMOS و pMOS به صورت موازی است که هر کدام در شرایط حدی بالا و پائین دامنه سیگنال ورودی، وظیفه تقویت سیگنال را به عهده دارند. اشکال اصلی این روش بیشتربودن ضریب هدایت انتقالی طبقه ورودی درمحدوده میانی دامنه ورودی است که منجر به تغییرات زیاد در حاشیه فاز، بهره ولتاژ dc و پهنای باند بهره واحد تقویت‌کننده می‌شود. برای کاهش این خطا با فرض برقراری رابطه درجه دو برای جریان درین ترانزیستورهای زوج های دیفرانسیل ورودی، جریان بایاس این زوج ها در مقادیر حدی دامنه ورودی به گونه ای افزایش می یابد که ضریب هدایت انتقالی طبقه ورودی تا حدامکان ثابت نگه داشته شود[۳-۵]. اشکال اصلی این روش در فرض اولیه برقراری رابطه درجه دو برای جریان درین است، به‌طوری‌که چنانچه به دلیل اثرات کانال کوتاه این رابطه برقرار نباشد و یا ترانزیستورهای ورودی در ناحیه زیر آستانه کار کنند خطای مدار در ثابت نگه داشتن ضریب هدایت انتقالی طبقه ورودی زیاد خواهد بود. این چالش در فن‌آوری‌های جدید با طول کانال خیلی کوتاه بیشتر خود را نشان می‌دهد. در مرجع[۶] برای اینکه عملکرد مدار مستقل از رابطه جریان درین باشد با استفاده از یک جفت زوج دیفرانسیل pMOS و یک جفت زوج دیفرانسیل nMOS در مقادیر حدی بالا و پائین دامنه ورودی به ترتیب از اتصال موازی زوج‌های nMOS و pMOS استفاده می‌شود و در ناحیه میانی از اتصال موازی همزمان یک زوجpMOS و یک زوجnMOS استفاده می‌شود. البته دراین روش در مرزهای انتقال هدایت از یک زوج به زوج دیگر شاهد تغییراتی در ضریب هدایت انتقالی طبقه ورودی هستیم. در مرجع[۷] با جابجایی مشخصه های دو زوج دیفرانسیل مکمل ورودی میزان تغییرات ضریب هدایت در محدوده میانی کاهش داده شده است.

درکار ارائه شده در این مقاله، تقویت سیگنال ورودی توسط دو زوج دیفرانسیل nMOS و pMOS با مشخصات یکسان صورت می گیرد که برای ولتاژهای حالت مشترک پائین تا یک آستانه خاص عمل تقویت توسط زوج pMOS و سپس با افزایش سطح سیگنال ورودی از یک سطح مشخص عمل تقویت به زوج nMOS انتقال می‌یابد. در ادامه در بخش دوم ساختار کلی تقویت-کننده معرفی و جزئیات روش به‌کار رفته برای رسیدن به یک ضریب هدایت انتقالی ثابت با حساسیت کم نسبت به تغییرات ولتاژ حالت مشترک ورودی توضیح داده می‌شود. در بخش سوم روابط تحلیلی مورد استفاده در طراحی تقویت‌کننده به‌دست‌آورده می‌شود و عملکرد حلقه تراخطی در تامین جریان بایاس طبقه خروجی AB تحلیل می‌شود. این حلقه علاوه برفراهم کردن جریان بایاس طبقه خروجی، براساس تحلیل ارائه شده دربخش ۳، جریان مورد نیاز بار متشکل از ترکیب موازی خازن و مقاومت راتامین می کند که البته میزان حداقل بار مجاز مطابق با روابط به‌دست آمده در این بخش، توسط ابعاد ترانزیستورهای طبقه خروجی تعیین می‌شود. نتایج به‌دست‌آمده از شبیه سازی مدار در فن

Archive of SID.ir

Archive of SID.ir



شکل ۱- شمای کلی تقویت‌کننده عملیاتی پیشنهادی

آوری سی ماوس ۱۸۰ نانومتر در بخش چهارم آورده می‌شود و سرانجام بخش پنجم به عنوان بخش نتیجه‌گیری ارائه خواهد شد.

۲- ساختار کلی تقویت‌کننده عملیاتی پیشنهادی

در شکل ۱ شمای کلی و مفهومی تقویت‌کننده عملیاتی طراحی شده با قابلیت پوشش کامل دامنه نوسان سیگنال ورودی از زمین تا تغذیه، نشان داده شده است.

مطابق شکل ۱ سیگنال ورودی به طور همزمان به هر دو زوج دیفرانسیل nMOS و pMOS اعمال می‌شود. برای ولتاژهای حالت مشترک پائین در ورودی، سیگنال کنترلی تولید شده توسط مدار اشمیت تریگر، جریان بایاس را به سمت زوج دیفرانسیل pMOS هدایت می کند و در این زمان زوج nMOS خاموش است. با افزایش سطح سیگنال ورودی سیگنال کنترل هدایت جریان بایاس را از زوج pMOS به سمت زوج nMOS هدایت می‌کند. مدار اشمیت تریگر به کار رفته از نوع غیر معکوس کننده و دارای حلقه هیسترزیس با مقدار حدودی ۰/۴ ولت می‌باشد. در این روش به دلیل انتقال هدایت از یک زوج دیفرانسیل به زوج دیگر در زمان تغییر وضعیت هدایت دو زوج، یک پرش کوچک با دامنه مشخص در شکل موج زمانی خروجی ایجاد می‌شود. حال چنانچه به جای مدار اشمیت تریگر از یک مقایسه کننده معمولی استفاده شود، این پرش برای سیگنال‌های ورودی با دامنه کم و قابل مقایسه با دامنه این پرش به شدت باعث افزایش اعوجاج هارمونیکی کل[1] در سیگنال خروجی می‌شود. در حالی که با وجود مدار اشمیت تریگر، برای دامنه کل ورودی از صفر تا نزدیکی عرض حلقه هیسترزیس این مدار، هیچ پرشی در شکل موج خروجی نخواهیم داشت و همانطور که در نتایج شبیه سازی خواهد آمد، مقدار THD مقدار مطلوب خود را در دامنه‌های کم ورودی حفظ می‌کند. سطوح ولتاژهای آستانه بالایی مدار اشمیت تریگر به ترتیب توسط حداکثر و حداقل مقدار مجاز ولتاژ حالت مشترک ورودی زوج های pMOS و nMOS طبقه ورودی تعیین می‌شوند.

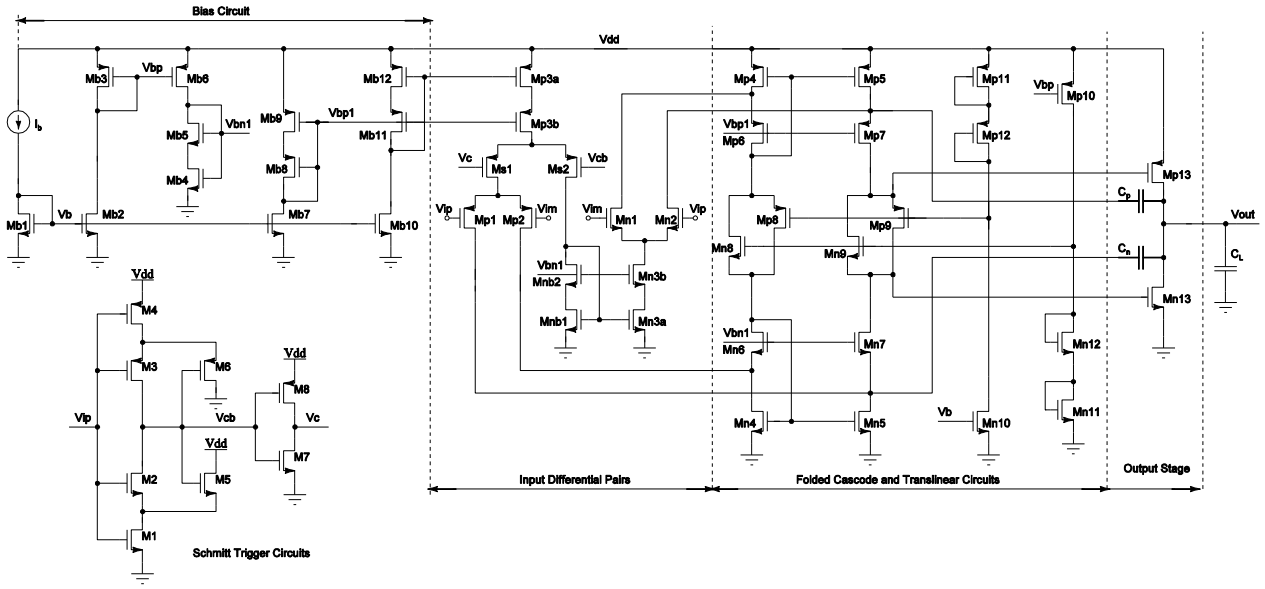
در ادامه با استفاده از شکل ۲ که شمای کامل تقویت‌کننده عملیاتی را نشان می‌دهد به بررسی جزئیات کار تقویت‌کننده عملیاتی پرداخته می‌شود. در این شکل جفت ترانزیستورهای Mp1,2 و Mn1,2، به ترتیب زوج دیفرانسیل pMOS و nMOS طبقه ورودی را تشکیل می‌دهند که به منظور افزایش CMRR تقویت‌کننده منابع جریان دنباله (tail) در آنها از نوع آبشاری(Cascode) می-باشد. ترانزیستورهای Ms1,2 با سیگنال های کنترل کننده Vc و Vcb وظیفه انتقال هدایت از یک زوج دیفرانسیل به زوج دیگر را متناسب با مقدار ولتاژ ورودی به عهده دارند. این سیگنال های کنترلی توسط مدار اشمیت تریگر نشان داده شده درشکل۲ تولید می‌شوند. مقدار ولتاژ آستانه پائینی مدار اشمیت تریگر توسط نسبت عرض ترانزیستور M4 به عرض ترانزیستور M6 تعیین می‌شود به‌طوری‌که با کاهش این نسبت این ولتاژ کاهش یافته و باعث افزایش عرض حلقه هیسترزیس مدار می‌شود. از طرف دیگر سطح ولتاژ آستانه بالایی توسط نسبت عرض ترانزیستور M1 به عرض ترانزیستور M5 تعیین می‌شود به‌طوری‌که با کاهش این نسبت، این ولتاژ افزایش یافته و باعث افزایش عرض حلقه هیسترزیس مدار می‌شود. نسبت ابعاد این ترانزیستورها به نحوی انتخاب شده اند که عرض حلقه هیسترزیس در حدود ۰/۴ولت حول ولتاژ وسط تغذیه تقویت‌کننده باشد.

ترانزیستورهای Mb1 تا Mb12 ولتاژهای بایاس dc مورد نیاز منابع جریان دنباله دو زوج دیفرانسیل و همینطور بایاس طبقه آبشاری تا شده[2] و حلقه ترا خطی (Translinear) را فراهم می کنند. در شرایطی که زوج دیفرانسیل pMOS هدایت می‌کند ولتاژ دیفرانسیل ورودی پس از تبدیل به جریان معادل، توسط ترانزیستورهای Mn4 تا Mn7 به صورت جریان تک‌سر به خروجی طبقه اول تزریق شده و ولتاژ ac طبقه اول را ایجاد می‌کنند. در این شرایط ترانزیستورهایMp4 تا Mp7 به‌عنوان بار فعال از نوع آبشاری عمل می کنند. در زمان هدایت زوج دیفرانسیل nMOS، با جابجا شدن نقش ترانزیستورهای Mp4-Mp7 با ترانزیستورهایMn4-Mn7 درست همین عمل انجام می‌شود و ولتاژ ac در خروجی طبقه اول تولید می‌شود. در این مدار جریان بایاس اتصال های دیودی با دامنه نوسان وسیع[3] Mn4-Mn6 و Mp4-Mp6 توسط یک منبع جریان شناور که بر اساس تئوری حلقه تراخطی عمل می کند[۸]، فراهم می-شود. مدار حلقه تراخطی متشکل از ترانزیستورهای Mn8 تا Mn12 و Mp8 تا Mp12 می‌باشد. البته از آنجا که جریان بایاس dc طبقه خروجی متشکل از Mn13 و Mp13 هم توسط همین حلقه تراخطی تامین می‌شود ترانزیستورهای طبقه خروجی هم شامل مدار این حلقه می‌شوند. در ادامه به نحوه عملکردمدار منبع جریان شناور پرداخته می‌شود. ولتاژهای گیت-سورس ترانزیستورهای Mp4، Mp8، Mp11 و Mp12 تشکیل یک حلقه بسته را می‌دهند که در آن ترانزیستورهای یکسانMp11 و Mp12 با یک جریان مشخص I_0 که توسط Mn10 تامین می‌شود، بایاس شده‌اند. با فرض برقراری رابطه درجه دو برای جریان ترانزیستورها و برابر بودن نسبت جریان درین به ابعاد $(I_D/(W/L))$(جریان بهنجارشده[4] درین) در ترانزیستورهای Mp11(12) با Mp4، داریم: $V_{SG4}=V_{SG11}$ ولذا خواهیم داشت: $V_{SG8}=V_{SG12}$. ازتساوی آخر این نتیجه حاصل می‌شود که جریان بهنجار شده درین Mp8 با جریان متناظر در Mp12 برابر است. لذا براساس نسبت ابعاد Mp8 به Mp12 می توان جریان مورد نظر Mp8 را به صورت ضریبی از جریان I_0 تعیین کرد. دقیقا با همین استدلال جریان dc درین Mn8 توسط یک حلقه تراخطی متشکل از ترانزیستورهایMn4،Mn8،Mn11 و Mn12 به‌دست می‌آید. در این مدار جریان-های dc درین های Mp8 و Mn8 با یکدیگر مساوی هستند و لذا جریان Mp4 dc و Mn4 دو برابر خواهد شد که به راحتی بر اساس نسبت ابعاد ترانزیستورها مشخص می‌شود. همانطور که قبلا ذکر شد جریان بایاس ترانزیستورهای طبقه خروجی یعنی Mp13 و Mn13 هم توسط یک حلقه تراخطی تعیین می‌شود. حلقه تراخطی متشکل از ترانزیستورهای Mp9, Mp11, Mp12, Mp13 جریان ایستا[5] Mp13 را تولید می‌کنند که براساس نسبت ابعاد Mp13 به Mp11 (یاMp12) ضریبی از جریان ثابت و مشخص I_0 می‌باشد. مستقل بودن از دما،

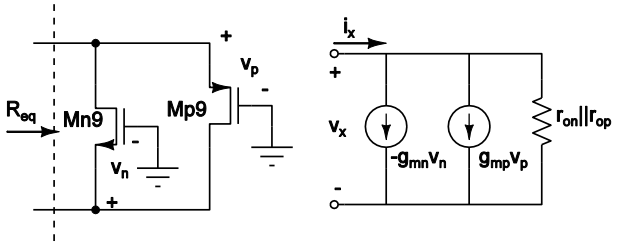
[1] Total Harmonic Distortion (THD)
[2] Folded-Cascode
[3] Wide Swing Diode Connected
[4] Normalized Drain Current
[5] Quiecent Current

Archive of SID.ir

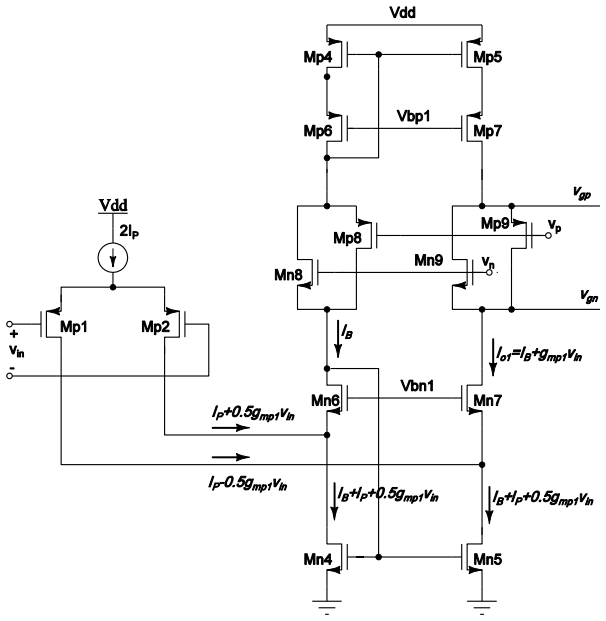
Archive of SID.ir



شکل۲- مدار کامل تقویت‌کننده عملیاتی



شکل۴- مقاومت معادل ac



شکل۳- طبقه اول تقویت‌کننده با هدایت زوج pMOS درورودی

تغییرات فرایند ساخت و تغییرات تغذیه برای جریان ایستایی طبقه خروجی که از نوع AB هست، ویژگی مهمی است که استفاده از حلقه تراخطی این امکان را فراهم می‌کند.

۳- تحلیل ac تقویت‌کننده عملیاتی

چون عملکرد مدار در هردو حالت هدایت زوج دیفرانسیل ورودی pMOS و nMOS به‌ترتیب برای سطوح پائین و بالای ولتاژحالت مشترک، یکسان است عملکرد ac مدار برای حالتی که به‌عنوان مثال به‌دلیل پایین بودن سطح ولتاژ ورودی زوج دیفرانسیلpMOS هدایت می‌کند، بررسی می‌شود. شکل ۳ طبقه اول تقویت‌کننده در شرایط مذکور را نشان می‌دهد. در این شکل $v_{in} = v_{ip} - v_{im}$ و g_{mp1} ضریب هدایت انتقالی زوج دیفرانسیل ورودی pMOS است. با فرض اینکه جریان بایاس Mp1 و Mp2، I_P می‌باشد، برای جریان درین Mn7 داریم:

$$I_{o1} = I_B + g_{mp1} v_{in} \qquad (۱)$$

I_B جریان بایاس اتصال دیودی Mp4-Mp6 است که توسط منبع جریان شناور متشکل از Mn8 و Mp8 ایجاد می‌شود.

چون مقاومت معادل ac دیده شده دو سر درین-سورس اتصال موازی ترانزیستورهای Mn9 و Mp9 درمقایسه با مقاومت‌های معادل ترانزیستورهای آبشاریMn5 و Mn7 و همچنین Mp5 و Mp7 خیلی کوچکتر است ولتاژهای v_{gn} و v_{gp} درحالت ac تقریبا برابر هستند. علت این امر با به‌دست آوردن مقاومت معادل دیده شده از دو سر درین - سورس Mn9 و Mp9 روشن می‌شود. درشکل ۴ با فرض مساوی بودن ضریب هدایت انتقالی Mn9 و Mp9 و بزرگ بودن مقاومت موازی $r_{on}||r_{op}$، داریم:

$$i_x = g_m(v_p - v_n) = g_m v_x \qquad (۲)$$

بنابراین مقاومت معادل بین سورسهایMn9 و Mp8 $1/g_m$ می‌شود که نسبت به مقاومت‌های دیده شده از درین های Mn7 و Mp7 بسیار کوچکتر است. بهره ولتاژ طبقه اول به راحتی با استفاده از شکل ۳ به‌دست می‌آید:

$$A_{v1} = \frac{v_{gp}(v_{gn})}{v_{in}} = -g_{mp1}R_1 \qquad (۳)$$

که در آن R_1 مقاومت معادل ac دیده شده در گره خروجی طبقه اول است و برابر است با:

$$R_1 = [r_{on7} + (1 + g_{mn7}r_{on7})r_{on5}]||[r_{op7} + (1 + g_{mp7}r_{op7})r_{op5}] \qquad (۴)$$

طبقه دوم که متشکل از Mp13 و Mn13 درشکل۲است یک تقویت‌کننده CMOS از نوع طبقه AB است که جریان بار در خروجی آن از طریق یک حلقه تراخطی با سطح سیگنال ac کنترل می‌شود. ترانزیستورMp13 با ترانزیستورهای

Archive of SID.ir

Archive of SID.ir

Mp9, Mp11, Mp12 تشکیل یک حلقه تراخطی می‌دهند که رابطه زیر را بین ولتاژهای گیت-سورس آن‌ها برقرار می‌کند:

$$v_{SG11} + v_{SG12} = v_{SG9} + v_{SG13} \quad (۵)$$

در حضور سیگنال ac به دلیل بزرگ بودن مقاومت R_1 اندکی افزایش در v_{in} باعث کاهش شدید در ولتاژهای v_{gp} و v_{gn} می‌شود به‌طوری‌که ولتاژ گیت-سورس Mp9 کمتر از ولتاژ آستانه آن شده و این ترانزیستور وارد ناحیه زیر آستانه می‌شود. با فرض برقراری رابطه درجه دو برای جریان‌های درین ترانزیستورهای Mp11, Mp12, Mp13، در این شرایط با جایگذاری رابطه متناظر برای v_{SG} ترانزیستورها در (۵) داریم:

$$2|V_{Tp}| + 2\sqrt{\frac{2I_0}{\beta_0}} = 2|V_{Tp}| + \xi V_{th} ln\left(\frac{i_{Dp9}}{I_{S9}}\right) + \sqrt{\frac{2i_{Dp13}}{\beta_{p13}}} \quad (۶)$$

که در آن، V_{Tp} ولتاژهای آستانه ترانزیستورهای داخل حلقه تراخطی است که برای همه ترانزیستورها یکسان فرض شده است. β ضریب هدایت متناظر با هر ترانزیستور می‌باشد. $\xi = 1 + C_d/C_{ox}$ ضریب غیرایده آل ترانزیستور در ناحیه زیرآستانه است که به ظرفیت خازن اکسید گیت (C_{ox}) وظرفیت خازن ناحیه تخلیه زیر گیت (C_d) بستگی دارد و I_{S9} جریان نشتی درین Mp9 به‌ازای $v_{SG9} = |V_{Tp}|$ می‌باشد. از(۶) رابطه جریان درین Mp13 در حضور سیگنال ac به‌دست می‌آید:

$$i_{Dp13} = \frac{\beta_{p13}}{2}\left[2\sqrt{\frac{2I_0}{\beta_0}} - \xi V_{th} ln\left(\frac{i_{Dp9}}{I_{S9}}\right)\right]^2 \quad (۷)$$

با افزایش v_{in} به دلیل کاهش شدید هدایت Mp9 که به واسطه کاهش ولتاژ گیت-سورس آن اتفاق می‌افتد، i_{Dp9} کاهش یافته و لذا با افزایش جمله دوم در (۷) جریان ac تزریقی به بار توسط Mp13 افزایش می‌یابد. از نظر تئوری با نزدیک شدن جریان i_{Dp9} به صفر جریان Mp13 به بی نهایت می‌رسد اما در عمل با افزایش i_{Dp13} ولتاژ خروجی زیاد شده و در نهایت ترانزیستور Mp13 وارد ناحیه اهمی شده وجریان خروجی روی مقدار $(Vdd - v_{SDp13,sat})/R_L$ محدود می‌شود که در آن $v_{SDp13,sat}$ ولتاژ اشباع Mp13 در جریان بار R_L می‌باشد. در این شرایط جریان Mn13 مقدار ثابت و کمی خواهد داشت که رابطه این جریان را از طریق حلقه تراخطی متشکل از این ترانزیستور با ترانزیستورهای Mn9, Mn11, Mn12 در شکل۲می‌توان به‌دست‌آورد. با توجه به اینکه جریان درین Mp9تقریبا صفر است، جریان Mn9 تقریبا برابربا کل جریان بایاس I_B خواهد بود که با نوشتن KVL برای این حلقه تراخطی، جریان I_{Dn13} به‌دست می‌آید:

$$I_{Dn13} = \frac{\beta_{n13}}{2}\left(2\sqrt{\frac{2I_0}{\beta_0}} - \sqrt{\frac{2I_B}{\beta_{n9}}}\right)^2 \quad (۸)$$

برای تغییرات سیگنال ورودی v_{in} در جهت منفی با استدلال مشابه می‌توان نشان داد این بار جریان کم و ثابت با رابطه‌ای مشابه (۸) از Mp13 عبور می‌کند و ترانزیستور Mn13 از طریق حلقه متشکل از این ترانزیستور با ترانزیستورهای Mn9, Mn11, Mn12 با کشیدن جریان از بار به سمت زمین دامنه نوسان‌های منفی خروجی را به‌وجود می‌آورد. همانطور که قبلا ذکر شد ترانزیستورهای Mn13 و Mp13 در قالب یک تقویت‌کننده CMOS، طبقه دوم تقویت‌کننده را تشکیل می‌دهند که بهره ولتاژ dc آن در شرایط سیگنال کوچک توسط رابطه زیر مشخص می‌شود:

$$A_{v2} = \frac{v_{out}}{v_{gn}} = -g_{m2}R_2 \quad (۹)$$

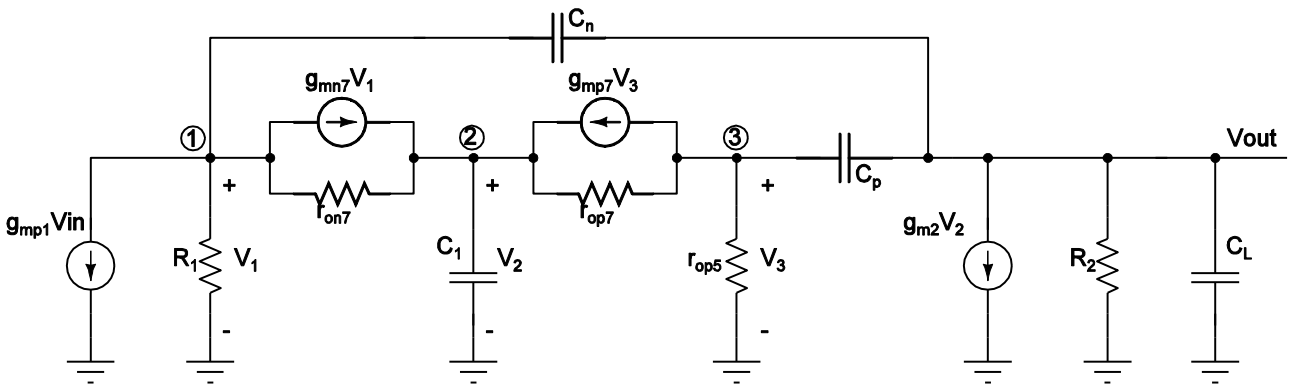
که در آن: $g_{m2} = g_{mn13} + g_{mp13}$ و $R_2 = r_{op13} \parallel r_{on13}$ تعریف می‌شوند. بدیهی است که بهره ولتاژ dc کل تقویت‌کننده حاصل ضرب رابطه (۳) در (۹) خواهد بود:

$$A_{v0} = g_{mp1}g_{m2}R_1R_2 \quad (۱۰)$$

در ادامه به بررسی پاسخ فرکانسی تقویت‌کننده شکل ۲ پرداخته می‌شود. برای این منظور ابتدا مدل سیگنال کوچک تقویت‌کننده با در نظر گرفتن اثر خازن‌های مهم و تاثیرگذار در پاسخ فرکانسی که شامل خازن‌های جبرا ن ساز C_p و C_n، خازن بار C_L و خازن معادل دیده شده در خروجی طبقه اول است پرداخته می‌شود. قسمت عمده خازن دیده شده در خروجی طبقه اول مربوط به خازن های گیت سورس Mn9, Mp9, Mp13, Mn13 می‌باشد و البته خازن‌های کوچک درین-بدنه Mn7 و Mp7 و خازن‌های درین-بدنه و سورس-بدنه مربوط به Mn9 و Mp9 هم به آن اضافه می‌شود که قابل ملاحظه نیستند. شکل ۵ مدار معادل ac کامل تقویت‌کننده را نشان می‌دهد. چون در هر زمان فقط یکی از دو زوج دیفرانسیل ورودی فعال هستند درمدار معادل ac فرض بر فعال بودن زوج دیفرانسیلpMOS است هرچند در شرایطی که زوج دیفرانسیل nMOS هم فعال باشد در نتیجه تحلیل، تفاوتی ایجاد نمی‌کند.

با نوشتن معادلات KCL در گره های 1,2,3 و گره خروجی Vout داریم:

$$(G_1 + g_{on7} + g_{mn7} + sC_n)V_1 - g_{on7}V_2 - sC_nVout = -g_{mp1}Vin \quad (۱۱)$$



شکل۵- مدار معادل ac کل تقویت‌کننده عملیاتی

Archive of SID.ir

Archive of SID.ir

$$-(g_{mn7}+g_{on7})V_1+(g_{on7}+g_{op7}+sC_1)V_2-(g_{mp7}+g_{op7})V_3=0 \quad (۱۲)$$

$$-g_{op7}V_2+(g_{op7}+g_{op5}+g_{mp7}+sC_p)V_3-sC_pVout=0 \quad (۱۳)$$

$$-sC_nV_1+g_{m2}V_2-sC_pV_3+[G_2+s(C_L+C_n+C_p)]Vout=0 \quad (۱۴)$$

دراین دسته معادلات $G_{1,2}=1/R_{1,2}$، $g_{oi}=1/r_{oi}$ می‌باشند. بدیهی است حل مستقیم این دستگاه معادلات با درنظرگرفتن همه پارامترهای مدار منجر به یک تابع انتقال مرتبه چهارم با ضرائب پیچیده می‌شود که از آن اطلاعات مفیدی راجع به رفتار فرکانسی مدار به‌دست نمی‌آید. لذا برای سادگی، مدار در دوحالت جداگانه و با تقریب معقول تحلیل خواهد شد. در حالت اول در فرکانسهای پائین حول و حوش قطب اصلی که خیلی پائین تر از صفرها و قطب‌های مرتبه بالای مدار قرار دارد، مدار تحلیل می‌شود. در این حالت پارامترهای اصلی تعیین کننده محل قطب اول (قطب اصلی) مقاومت‌های خروجی طبقه اول و طبقه دوم یعنی R_1 و R_2 وخازن های جبران ساز C_n و C_p هستند. رابطه بهره ولتاژ dc تقویت‌کننده در (۱۰) داده شده است. در فرکانس-های نزدیک قطب اول به‌دلیل خازن نسبتا بزرگ دیده شده در گره خروجی طبقه اول که ناشی از اثر میلر برای خازن‌های جبران ساز C_n و C_p می‌باشد امپدانس معادل دیده شده در ورودی‌های ترانزیستورهای گیت مشترک Mn7 و Mp7 مقدار نسبتا کم و جریان خازن‌های C_n و C_p عمدتا از طریق این دو طبقه گیت مشترک که به‌صورت بافر جریان عمل می‌کنند به گره خروجی طبقه اول تزریق می‌شوند. شکل ۶ عملکرد مدار را به‌صورت ساده شده در این شرایط نشان می‌دهد.

ولتاژهای v_p وv_n در شکل ۶ نسبت به ولتاژ خروجی $Vout$ خیلی کوچکتر هستند زیرا مقادیر آنها تقسیم شده $Vout$ بر حاصل ضرب بهره ولتاژ طبقه گیت مشترک در بهره ولتاژ طبقه دوم یعنی A_{v2} می‌باشد. بنا براین ولتاژ خروجی طبقه اول تقویت‌کننده‌عملیاتی می‌شود:

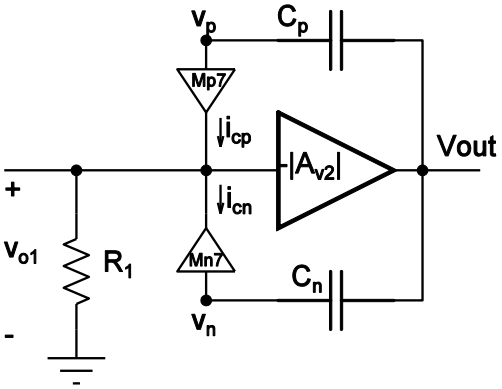
$$v_{o1}=R_1(i_{cp}-i_{cn})=R_1(C_p+C_n)\frac{dVout}{dt} \quad (۱۵)$$

با توجه به اینکه $Vout=-|A_{v2}|v_{o1}$، معادله دیفرانسیل توصیف کننده تغییرات ولتاژ خروجی طبقه اول به صورت زیر قابل حصول است:

$$R_1|A_{v2}|(C_n+C_p)\frac{dv_{o1}}{dt}+v_{o1}=0 \quad (۱۶)$$

از (۱۶) قطب اصلی تقویت‌کننده به راحتی به صورت $\omega_{p1}=1/(R_1|A_{v2}|(C_p+C_n))$ به‌دست می‌آید.

برای تعیین صفرها و قطب‌های مرتبه بالاتربا صرف نظر از جملات g_{oi} و



شکل ۶- مدارساده شده تقویت‌کننده در خروجی طبقه اول

$G_{1,2}$ در برابر ضرائب انتقالی ترانزیستورها و سوسپتانس خازن ها در معادلات (۱۱) تا (۱۴) دسته معادلات زیر حاصل می‌شود:

$$(g_{mc}+sC_n)V_1-sC_nVout=-g_{mp1}Vin \quad (۱۷)$$

$$-g_{mc}V_1+sC_1V_2-g_{mc}V_3=0 \quad (۱۸)$$

$$(g_{mc}+sC_p)V_3-sC_pVout=0 \quad (۱۹)$$

$$-sC_nV_1+g_{m2}V_2-sC_pV_3+s(C_L+C_n+C_p)Vout=0 \quad (۲۰)$$

در معادلات فوق فرض شده است $g_{mn7}=g_{mp7}=g_{mc}$. از حل دستگاه معادلات (۱۷) تا (۲۰) تابع انتقال تقویت‌کننده به‌دست می‌آید:

$$A_V(s)=\frac{Vout}{Vin}=\frac{g_{mp1}}{s(C_p+C_n)}\frac{\left(1+\frac{C_p}{g_{mc}}s\right)\left(1-\frac{C_1C_n}{g_{m2}g_{mc}}s^2\right)}{1+b_1s+b_2s^2+b_3s^3} \quad (۲۱)$$

که در آن با تعریف $C_s=C_nC_p/(C_n+C_p)$ داریم:

$$b_1=\frac{2C_s}{g_{mc}}+\frac{C_1}{g_{m2}}\left(1+\frac{C_L}{C_n+C_p}\right) \quad (۲۲)$$

$$b_2=\frac{C_1}{g_{m2}}\frac{2C_s+C_L}{g_{mc}} \quad (۲۳)$$

$$b_3=\frac{C_1C_sC_L}{g_{m2}g_{mc}^2} \quad (۲۴)$$

تابع انتقال تقویت‌کننده دو صفر سمت چپ محور موهومی در صفحه s و یک صفر سمت راست این صفحه به صورت زیر دارد.

$$z_1=-\frac{g_{mp}}{C_p} \quad (۲۵)$$

$$z_{2,3}=\pm\sqrt{\frac{g_{m2}}{C_1}\frac{g_{mc}}{C_n}} \quad (۲۶)$$

لازم به ذکر است چون از ابتدا تقویت‌کننده با فرض هدایت زوج دیفرانسیل pMOS درورودی تحلیل شد دو صفر قرینه $z_{2,3}$ در (۲۶) به خازن جبران ساز C_n بستگی دارند. بدیهی است در زمان هدایت زوج nMOS با خازن C_p جایگزین می‌شود. تابع انتقال همچنین دارای چهارقطب است که اولین قطب به‌دلیل صرف نظر از جملات g_{oi} و $G_{1,2}$ در مبدا واقع شده است ولی موقعیت دقیق این قطب در تحلیل قبلی به‌دست‌آمد وسه قطب مرتبه بالای دیگر از محاسبه ریشه‌های کثیرالجمله مخرج تابع انتقال قابل حصول می‌باشد.

با نمایش کثیرالجمله مخرج تابع انتقال به‌صورت نشان‌داده شده در (۲۷)و با متحد قرار دادن ضرائب متناظر دو طرف تساوی در این معادله، ضمن انجام برخی عملیات ریاضی روابط مربوط به قطب دوم ω_{p2}، فرکانس طبیعی ω_0 و ضریب کیفیت Q تقویت‌کننده برحسب پارامترهای مداربه‌دست می‌آید.

$$1+b_1s+b_2s^2+b_3s^3=\left(1+\frac{s}{\omega_{p2}}\right)\left(1+\frac{s}{Q\omega_0}+\frac{s^2}{\omega_0^2}\right) \quad (۲۷)$$

$$\omega_{p2}=\frac{1}{\frac{2C_s}{g_{mc}}+\frac{C_1}{g_{m2}}\left(1+\frac{C_L}{C_n+C_p}\right)} \quad (۲۸)$$

$$\omega_0=\left[\frac{2g_{m2}g_{mc}}{C_1C_L}+\frac{g_{mc}^2}{C_sC_L}\left(1+\frac{C_L}{C_n+C_p}\right)\right]^{\frac{1}{2}} \quad (۲۹)$$

$$Q=\frac{1}{\omega_0}\left[\frac{g_{m2}}{C_1}\frac{2C_s}{2C_s+C_L}+\frac{g_{mc}}{2C_s+C_L}\left(1+\frac{C_L}{C_n+C_p}\right)\right] \quad (۳۰)$$

از آنجا که مجموع ظرفیت خازنهای جبران ساز C_n و C_p برای یک پهنای باند بهره واحد معین، دارای یک مقدار مشخصی می‌باشد، مساوی گرفتن ظرفیت

Archive of SID.ir

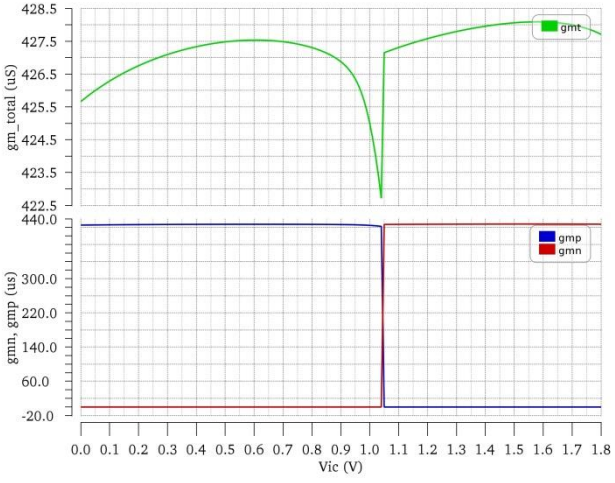
Archive of SID.ir

این دو خازن با فرض مجموع ثابت آن‌ها، به‌گونه‌ای که در [۹] صورت گرفته، منجر به داشتن بیشترین مقدار برای خازن معادل C_s خواهد شد که این امر مطابق با (۲۸) با کاهش قطب دوم که اولین قطب مهم و تاثیر گذار در حاشیه فاز بعد از قطب اصلی است، باعث کاهش حاشیه فاز می‌شود از طرفی به‌دلیل تفاوت جزئی در مسیر تقویت سیگنال در شرایط هدایت دو زوج دیفرانسیل مختلف nMOS و pMOS در ورودی، حاشیه فاز درزمان هدایت زوج nMOS با مقدار آن در زمان هدایت زوج دیفرانسیل pMOS متفاوت است. لذا در طراحی بهینه از نقطه نظر حاشیه فاز مناسب این اختیار برای طراح فراهم می‌شود که با متفاوت گرفتن ظرفیت‌های دو خازن جبران ساز هم با دور کردن قطب دوم حاشیه فاز افزایش یابد و هم با ستفاده از روابط مربوطه حاشیه فاز را برای هدایت های دوزوج برابر کرد. در این مدار چون حاشیه فاز در زمان هدایت زوج nMOs کمتر از مقدار مورد نظر ودر زمان هدایت زوج pMOS بیش از حد مورد نیاز است، طبق (۲۶) با افزایش C_n صفر سمت راست به محور موهومی نزدیک‌تر شده که این امر موجب کاهش حاشیه فاز می‌شود ولی چون در این شرایط یعنی هدایت زوج دیفرانسیل pMOS حاشیه فاز بالا می‌باشد، امکان این افزایش وجود دارد. از طرفی همانطور که قبلا ذکر شد در زمان هدایت زوج دیفرانسیل nMOS در رابطه صفر سمت راست به جای C_n خازنC_pجایگزین می‌شود که چون در این حالت نیاز به افزایش حاشیه فاز است با ثابت نگه داشتن مجموع ظرفیت‌ها با کاهش C_p می‌توان صفر سمت راست را افزایش داد که منجر به افزایش حاشیه فاز در زمان هدایت زوج دیفرانسیلnMOS می‌شود. در این طراحی به‌ازای $C_n \cong 3.4C_p$ حاشیه فاز مطلوب با پهنای باند مورد نظر حاصل می‌شود.

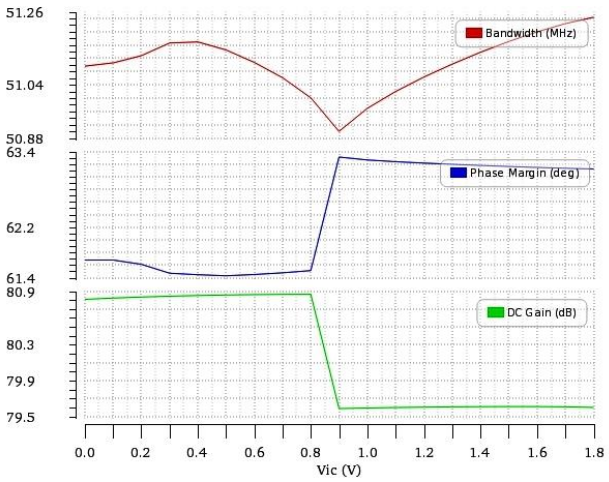
۴- نتایج شبیه سازی

در این بخش نتایج به‌دست‌آمده از شبیه سازی مداردر فن‌آوری سی ماوس ۱۸۰ نانومترTSMC برای برخی از پارامترهای تقویت‌کننده‌عملیاتی ارائه می‌شود. تمامی افزاره‌های به کار رفته در این طرح از کتابخانه TSMC می‌باشد. خازن‌های به کاررفته برای جبران سازی پاسخ فرکانسی از نوع خازن های فلز-عایق-فلز[6]با چگالی ظرفیت یک فمتوفاراد برمیکرومترمربع هستند. شکل ۷ نمودار تغییرات ضریب هدایت انتقالی دو زوج دیفرانسیل ورودی به همراه ضریب هدایت انتقالی کل تقویت‌کننده عملیاتی را به‌ازای تغییرات ولتاژ حالت مشترک ورودی از صفر تا ولتاژ تغذیه۱/۸ ولت نشان می‌دهد.

مطابق این شکل حداکثر تغییرات ضریب هدایت انتقالی تقویت‌کننده در



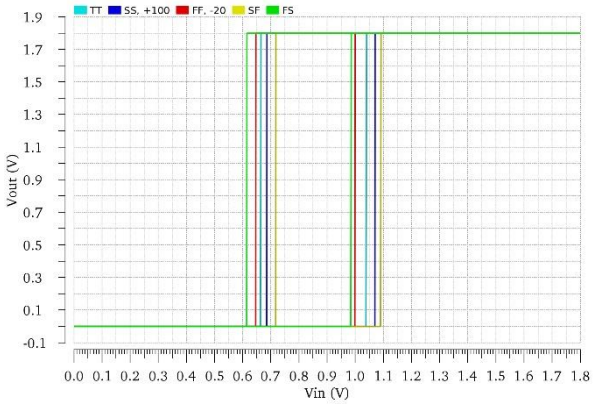
شکل ۷- ضریب هدایت انتقالی زوج های دیفرانسیل ورودی و ضریب هدایت انتقالی کل تقویت‌کننده



شکل ۸- تغییرات پهنای باند بهره واحد، حاشیه فازو بهره dc برحسب ولتاژ حالت مشترک ورودی

ورودی در محدوده ولتاژ زمین تا ولتاژ تغذیه برای ولتاژ حالت مشترک ورودی در حدود ۰/۶۳٪ است. با توجه به اینکه نمودار ضریب هدایت انتقالی از دو قسمت مستقل مربوط به دو زوج دیفرانسیلی تشکیل شده برای داشتن ضریب هدایت انتقالی تقریبا ثابت تنها لازم است ضریب هدایت دو زوج به هم نزدیک باشند و ناحیه کاری ترانزیستورهای دو زوج (ناحیه اشباع یا زیر آستانه) و یا اثرات کانال کوتاه که رابطه درجه دو جریان درین را زیر سوال می برد در عملکرد مدار تاثیری ندارد. این ویژگی مدار به طور خاص برای فن‌آوری‌های جدید که رابطه جریان درین ترانزیستورها کاملا با رابطه ساده درجه دو متفاوت است حائز اهمیت می‌باشد. تغییرات ناچیز ضریب هدایت انتقالی طبقه ورودی باعث می‌شود تغییرات پارامترهای پهنای باند بهره واحد و حاشیه فاز تقویت‌کننده عملیاتی نیز به‌ازای تغییرات ولتاژ حالت مشترک ورودی از صفر تا ولتاژ تغذیه کم و قابل قبول باشند. مطابق شکل ۸ این تغییرات به ترتیب برابر ۰/۳۳٪و۱/۴۸٪ نسبت به مقادیر متناظر با ولتاژ حالت مشترک نصف تغذیه (۰/۹ ولت) می‌باشد.

چون جریان‌های بایاس کلیه قسمت‌های مدار شکل۲ از منبع جریان اصلیIb تامین می‌شود، چنانچه مدار مولد این منبع به‌صورت کاملا مجتمع روی تراشه پیاده‌سازی شود، به‌دلیل عدم تطابق پارامترهای مدار منبع جریان تغییرات نسبی در مقدار این جریان با تغییرات فرآیند اجتناب ناپذیر خواهد بود. در این طرح با فرض ۵٪± تغییر در جریان بایاس Ib، تغییرات نسبی در پارامترهای اصلی تقویت کننده شامل پهنای باند بهره واحد، بهره ولتاژ dc، حاشیه فاز وضریب حذف سیگنال مشترک تقویت‌کننده برای ولتاژ حالت مشترک۰/۹ولت به‌ترتیب برابر ۸/۷٪±، ۰/۲۱٪±، ۱/۶٪± و ۲/۸٪± می‌شود.

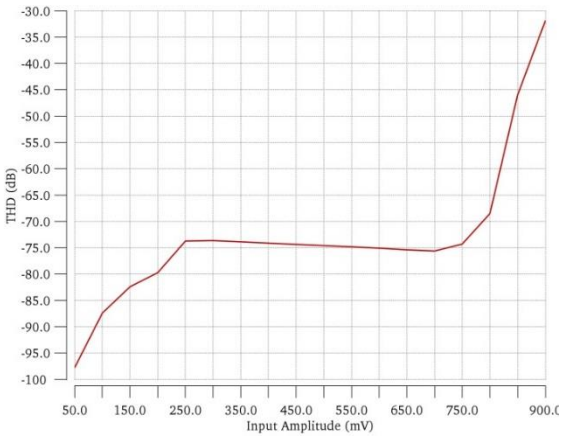


شکل ۹- مشخصه انتقالی مدار اشمیت تریگر

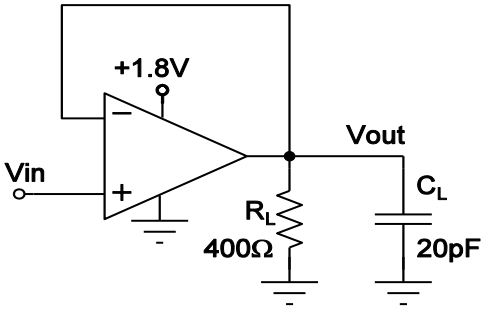
[6] Metal-Insulator-Metal

Archive of SID.ir

Archive of SID.ir



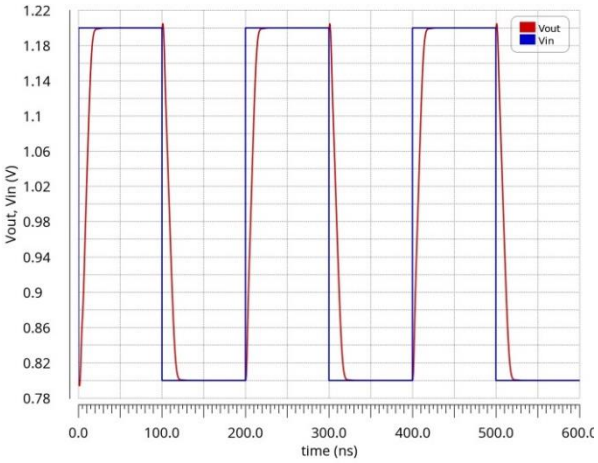
شکل ۱۰- تغییرات THD برحسب ولتاژ حالت مشترک ورودی



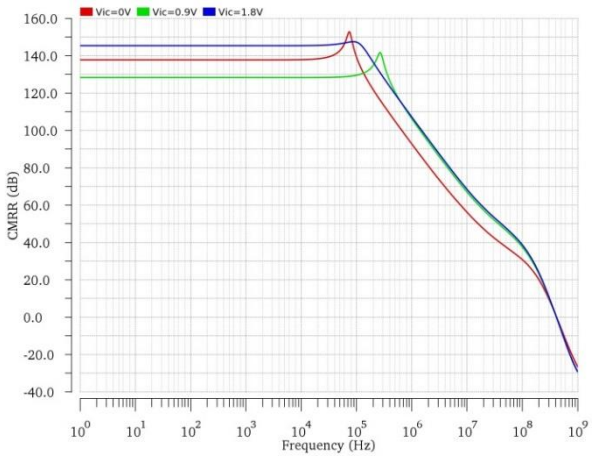
شکل ۱۱- مدار به کاررفته برای بدست آودن اعوجاج هارمونیکی کل

مقادیر ولتاژهای آستانه پائین و بالای مداراشمیت تریگر به‌گونه‌ای انتخاب می‌شوند که به ترتیب از حداقل و حداکثر مقادیر مجاز ولتاژ حالت مشترک زوج‌های دیفرانسیلnMOS و pMOS ورودی، بیشتر و کمتر باشند. در این طراحی مطابق مشخصه انتقالی مدار اشمیت تریگر که در شکل ۹ نشان داده شده است، سطوح آستانه پائینی و بالایی درحالت نامی به ترتیب ۰/۶۶و ۱/۰۴ولت می‌باشند. حداقل و حداکثر سطوح آستانه پائین و بالا در گوشه‌های مختلف فرآیند ودردماهای حدی در بدترین شرایط به ترتیب۰/۶۴و ۱/۰۹ولت می‌باشد که نشان می‌دهد این مدار سیگنال های کنترلVcوVcb برای کنترل هدایت دوزوج دیفرانسیل ورودی به‌درستی تولید می‌کند. به‌ازای ورودی ac با مقدار متوسط نصف تغذیه (۰/۹ولت) و تا حداکثر دامنه ۲۰۰ میلی ولت به دلیل عدم تغییر هدایت بین دو زوج دیفرانسیل ورودی، هیچ پرش زمانی در شکل موج خروجی تقویت‌کننده مشاهده نمی‌شود. برای دامنه‌های بزرگتراز ۲۰۰ میلی ولت یک پرش کوچک به دلیل تغییر وضعیت خروجی مدار اشمیت تریگروتغییر انتقال هدایت دو زوج ورودی اتفاق می‌افتد اما به دلیل کوچکی دامنه پرش نسبت به دامنه سیگنال اصلی تاثیر قابل ملاحظه ای روی اعوجاج هارمونیکی کل تقویت‌کننده ندارد. این موضوع ازمنحنی تغییرات THD برحسب ولتاژ حالت مشترک ورودی در شکل ۱۰ قابل مشاهده است. این نمودارحاصل شبیه سازی تقویت‌کننده بافر شکل ۱۱ می‌باشد. در دامنه‌های ورودی کم در بدترین حالت مقدار THD ۰/۰۲٪ (۷۴- دسی بل) است. افزایش THD برای دامنه های بزرگتر از ۰/۷۵ولت مربوط به محدود شدن دامنه نوسان توسط طبقه خروجی است.

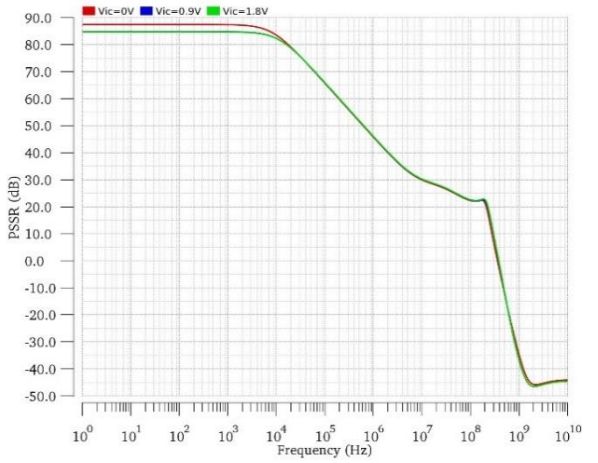
پاسخ پله مدارشکل۱۱به‌ازای مقاومت بار ۱۰مگا اهم وخازن موازی ۲۰ پیکوفاراد در شکل ۱۲ نشان داده شده است. برای ورودی پله با دامنه ۰/۴ ولت،



شکل ۱۲- پاسخ پله مدار بافر



شکل ۱۳- نمودار تغییرات CMRR برحسب ولتاژ حالت مشترک



شکل ۱۴- منحنی تغییرات PSRR برحسب ولتاژ حالت مشترک

نرخ چرخش(Slew Rate) پاسخ زمانی سیگنال بزرگ برابر۳۱ولت بر میکروثانیه و زمان استقرار[7] برای رسیدن خروجی از ۱/۱۶۰ولت به ۰،۰۱٪ مقدار نهایی در شرایط سیگنال کوچک برابربا ۱۳/۸نانوثانیه می‌باشد.

نمودار ضریب حذف سیگنال حالت مشترک[8] به‌ازای سه مقدار ولتاژزمین، ولتاژ میانی و ولتاژ تغذیه برای ولتاژ حالت مشترک ورودی، در شکل ۱۳ نشان داده شده است. مقاومت معادل ac در دنباله زوج‌های nMOS و pMOS به همراه خازن‌های معادل دیده شده در گره سورس مشترک این زوج‌ها که متشکل از

[7] Settling Time

[8] Common Mode Rejection Ratio (CMRR)

Archive of SID.ir

Archive of SID.ir

جدول ۱- نتایج حاصل از شبیه سازی پارامترهای تقویت‌کننده در گوشه های مختلف فرایند

گوشه / پارامتر	ولتاژ حالت مشترک (ولت)	TT +۲۷ °C	SS +۱۰۰ °C	FF -۲۰ °C	SF +۲۷ °C	FS +۲۷ °C
پهنای باند (MHz)	۰	۵۱/۱	۳۹/۷	۶۴/۶	۵۳/۱	۴۹/۲
	۰/۹	۵۰/۹	۳۹/۴	۶۴/۰	۴۹/۰	۵۲/۶
	۱/۸	۵۱/۲	۳۹/۸	۶۴/۷	۴۹/۴	۵۳/۰
حاشیه فاز (درجه)	۰	۶۱/۷	۶۵/۶	۵۶/۸	۶۱/۳	۶۲/۴
	۰/۹	۶۳/۳	۶۹/۲	۵۷/۲	۶۵/۰	۶۲/۱
	۱/۸	۶۳/۱	۶۸/۸	۵۶/۹	۶۴/۷	۶۱/۹
بهره ولتاژ (دسی بل)	۰	۸۰/۸	۷۸/۸	۷۵/۲	۷۸/۲	۷۶/۸
	۰/۹	۷۹/۶	۷۷/۶	۷۳/۹	۷۳/۲	۷۹/
	۱/۸	۷۹/۶	۷۷/۶	۷۴/۰	۷۳/۲	۷۹/۷

خازن‌های سورس-بدنه ترانزیستورهای زوج دیفرانسیل و خازن درین-گیت ترانزیستور دنباله است، تشکیل یک صفر در تابع انتقال بهره حالت مشترک می‌دهند که چون این صفربزرگتر از قطب اصلی تقویت‌کننده است افت CMRR از فرکانس این صفر که حول و حوش ۱۰۰کیلوهرتز است، شروع می‌شود.

منحنی تغییرات ضریب حذف منبع تغذیه[9] به‌ازای سه مقدار ولتاژزمین، ولتاژمیانی و ولتاژ تغذیه برای ولتاژ حالت مشترک ورودی، در شکل ۱۴ نشان داده شده است.

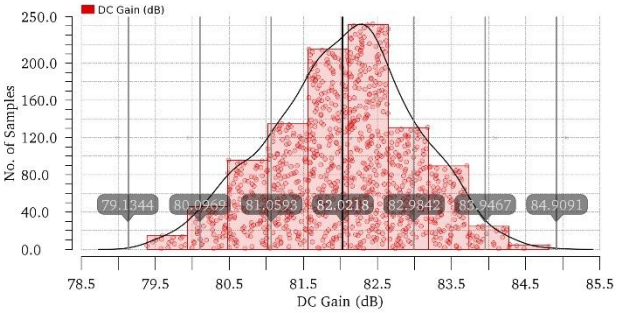
ولتاژ آفست ورودی درزمان هدایت دو زوج دیفرانسیل pMOS و nMOS در حدود۱۰میلی ولت می‌باشد که سهم عمده در این ولتاژ مربوط به ترانزیستورهایMn4-Mn5 و Mp4-Mp5 است و لذا راهکار کاهش ولتاژ آفست افزایش سطح گیت این ترانزیستورها با افزایش یکسان طول و عرض این ترانزیستورها می‌باشد. البته انجام اینکار باعث افزایش خازن‌های این قسمت مدار شده که باعث کاهش اندازه قطب‌های مدار مربوط به این قسمت می‌شود که برای جبران آن لازم است ضریب هدایت انتقالی این ترانزیستورها ازطریق افزایش جریان بایاس زیاد شود که این امر افزایش توان مصرفی تقویت‌کننده را به‌همراه دارد.

مقادیر پارامترهای مهم تقویت کننده شامل پهنای باند، حاشیه فازو بهره dc درگوشه‌های مختلف فرایند در جدول ۱ نشان داده شده است.

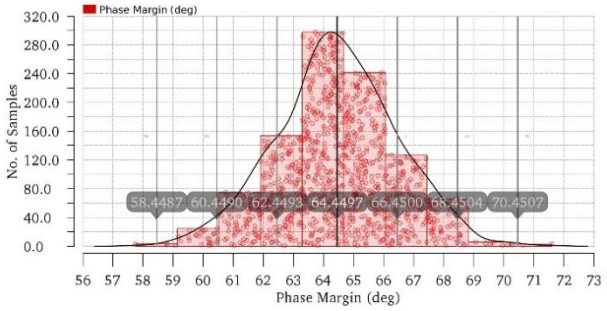
درگوشه SS با بالاترین دما و حداکثر ظرفیت برای خازن‌های جبران ساز کمترین پهنای باند به‌دست می‌آید که چون زوج های دیفرانسیل ورودی در ناحیه زیر آستانه کارمی‌کنند، عمده کاهش این پارامتر به دلیل افت ضریب هدایت انتقالی زوج دیفرانسیل ورودی در دمای بالا با افزایش ولتاژ حرارتی در رابطه این ضریب و همچنین افزایش ظرفیت خازن‌های جبران ساز در گوشه SS مربوط به خازن‌های فرایند می‌باشد.

نتایج حاصل ازشبیه سازی مونته کارلو برای بهره ولتاژdc، حاشیه فاز و پهنای باند بهره واحد در شکل ۱۵ نشان داده شده است. براساس این نتایج مشخص است که با تعداد اجرای ۱۰۰۰بار آنالیز مونته کارلو، تمامی پارامترها مقادیر معقول خود حول مقدار نامی را حفظ کرده‌اند.

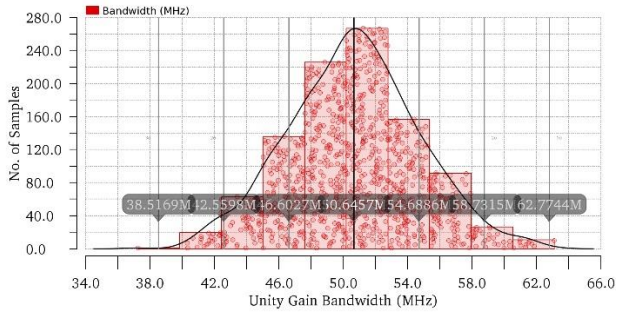
شکل ۱۶ مقدار چگالی ولتاژ نویز ارجاع داده شده به ورودی تقویت کننده را نشان می‌دهد. در فرکانس‌های پائین به‌دلیل نویزسوسوئی[10] چگالی نویز بالا می‌باشد. از آنجا که نویز ترانزیستورهای زوج دیفرانسیل ورودی مستقیما در این



(الف)

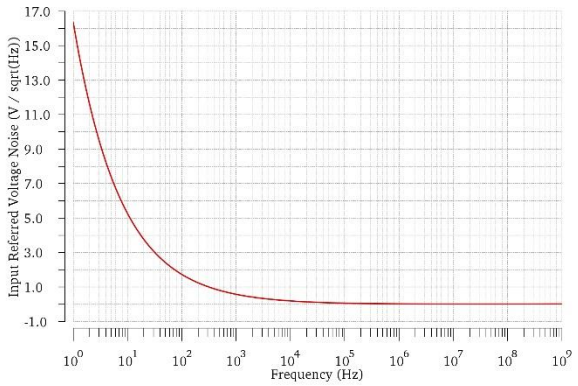


(ب)



(ج)

شکل ۱۵- نتایج شبیه سازی مونته کارلو (الف) بهره dc (ب) حاشیه فاز (ج) پهنای باند بهره واحد



شکل ۱۶- ولتاژ نویز ارجاعی به ورودی

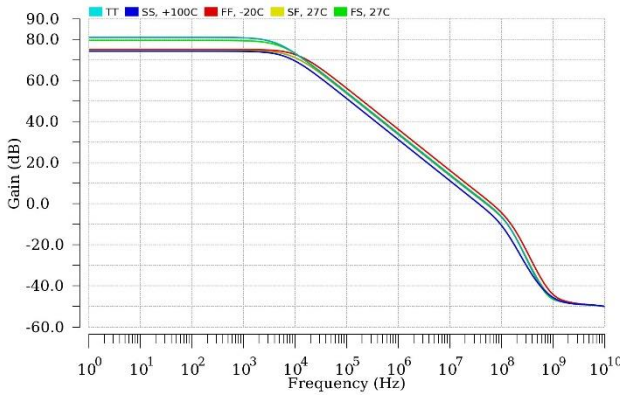
ولتاژ نویز ظاهر می‌شوند و بیشترین سهم را در نویزولتاژ دارند، افزایش سطح گیت ترانزیستورهای طبقه دیفرانسیل با ثابت نگه داشتن نسبت عرض ترانزیستور به طول آن‌ها می‌تواند به کاهش نویزسوسوئی کمک کند.

9 Power Supply Rejection Ratio (PSRR)

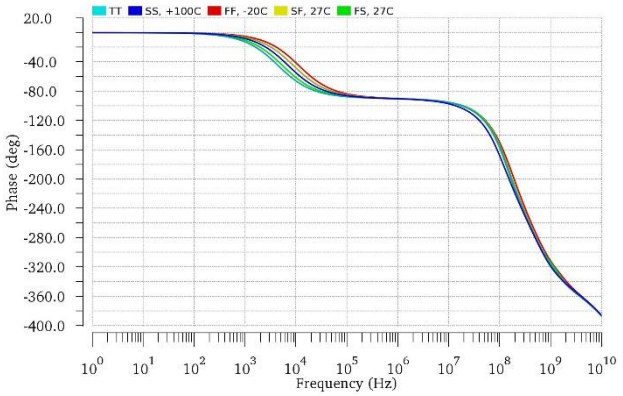
10 Flicker's Noise

Archive of SID.ir

Archive of SID.ir



(الف)

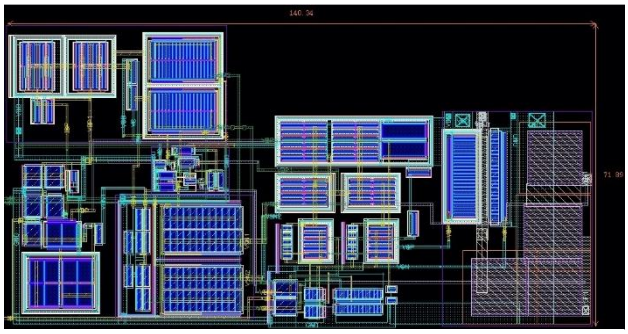


(ب)

شکل ۱۷- نتایج شبیه سازی بعد از لی آوت پاسخ فرکانسی تقویت کننده (الف) دامنه (ب) فاز

با استخراج تمامی مقاومت‌ها وخازن‌های پارازیت مربوط به لایه‌های فلزی و لایه پلی سیلیکن گیت ترانزیستورها در طرح جانمایی شده تقویت کننده، نتایج شبیه سازی بعد از لی آوت مدار مربوط به دامنه و فاز پاسخ فرکانسی در شکل۱۷ و جانمایی طرح در شکل ۱۸ نشان داده شده‌اند. کل ابعاد طول و عرض طرح به ترتیب درحدود ۱۴۰در۷۲ میکرومتر می‌باشد.

برخی از مشخصات مهم تقویت‌کننده عملیاتی طراحی شده با مشخصات



شکل۱۷- جانمایی تقویت کننده

متناظر چند کارمشابه قبلی در جدول ۲ مقایسه شده است. به منظور ارائه یک شاخص کمّی برای مقایسه عملکرد کار موجود با کارهای مشابه دیگر از ضریب شایستگی تعریف شده در [۱۰] که به صورت زیر تعریف می‌شود، استفاده شده است:

$$FoM = \frac{GBW}{P_{sup}} \frac{C_L}{C_{ref}} \qquad (۳۱)$$

که در آن GBW پهنای باند بهره واحد برحسبMHz، P_{sup} توان مصرفی منبع تغذیه در شرایط ایستا بدون حضور سیگنال ac برحسب mW، C_{ref} خازن مرجع که در[۱۰]، ۱۰ پیکوفاراد درنظرگرفته شده است و C_L خازن بار برحسب pF در خروجی تقویت‌کننده است. FoM برحسبMHz/mW بیان می‌شود.

۵- نتیجه گیری

در این مقاله طراحی و تحلیل یک تقویت‌کننده عملیاتی با قابلیت تغییر ولتاژ بین زمین تا تغذیه در ورودی و خروجی آن ارائه شد. رابطه جریان درین ترانزیستورهای ورودی متناظر با نواحی زیر آستانه یا اشباع و اثرات کانال کوتاه تاثیری در تعیین ضریب هدایت انتقالی کل طبقه ورودی ندارد. یک تقویت‌کننده طبقه CMOS AB به عنوان طبقه خروجی استفاده شد که جریان های بایاس

جدول ۲- مقایسه مشخصات مهم تقویت‌کننده عملیاتی طراحی شده با مشخصات متناظر چند کارمشابه

پارامترها	[۶]	[۱۱]	[۱۲]*	[۱۳]*	[۴]	کارموجود
فن آوری سی ماوس (μm)	۰/۸	۰/۱۳	۰/۱۸	۰/۳۵	۰/۶	**./۱۸**
ولتاژ تغذیه (ولت)	۳	۱/۸	۵	۰/۹	۳	**۱/۸**
خازن بار (pF)	۵	۵	۱۰۰	۱۰	۱	**۲۰**
بهره ولتاژ dc (dB)	۱۰۲	۷۰	۱۲۲	۶۵	۹۶/۷۶	**۷۹/۶**
پهنای باند بهره واحد (MHz)	۱۰۰	۹۰/۶	۱	۱	۵۹/۵۱	**۵۰/۹**
حاشیه فاز (درجه)	۶۰	۷۸/۳	N/A	۶۰	۸۳/۶۶	**۶۳/۳**
ضریب حذف سیگنال مشترک(dB)	۱۲۱	۱۱۵	N/A	۸۰	۹۰	**۱۲۸/۴**
نرخ چرخش ($V/\mu s$)	۱۵۰	۱۹	۲/۱	۰/۲۵	۳۱/۵	**۳۱**
تغییرات هدایت انتقالی ورودی(%)	۵	۲/۳	N/A	N/A	۱۳/۳	**./۶۳**
توان مصرفی(mW)	۱۰	۶/۱	۰/۲۲۶	۰/۰۲۴۳	۳/۷	**۱/۰۹**
ضریب شایستگی (FoM)	۵	۷/۴	۴۴/۲	۴۱/۲	۱/۶	**۹۳/۴**

*نتایج اندازه گیری

Archive of SID.ir

Archive of SID.ir

و بار در آن توسط دو حلقه تراخطی فراهم شده است. با نوشتن و حل معادلات مربوطه برای مدار معادل ac، روابط تحلیلی برای بهره ولتاژ dc و موقعیت صفرها و قطب‌ها به‌دست آمد. این روابط می‌تواند برای طراحی یک تقویت‌کننده با حاشیه فاز و پهنای باند مناسب و توان مصرفی کم استفاده شود.

مراجع

[۱] خلیل منفردی، یوسف بلقیس آذر، «تقویت‌کننده کسکود تمام تفاضلی بازیابی تاشده بهبودیافته ولتاژ و توان پایین»، مجله مهندسی برق دانشگاه تبریز، جلد ۸۴ ، شماره ۱، صفحات ۳۲۷-۳۳۴، بهار ۱۳۹۷.

[۲] سعید بناگذار، مصطفی یارقلی، «تقویت‌کننده هدایت عملیاتی با شاخه‌های بازیابی جریانی برای کاربردهای فوق کم توان»، مجله مهندسی برق دانشگاه تبریز، جلد ۵۰ ، شماره ۱، صفحات ۳۱-۴۰، بهار ۱۳۹۹.

[3] C. Veselu, C. Stănescu and G. Brezeanu, "Low current constant-gm technique for rail-to-rail operational amplifiers," 2020 International Semiconductor Conference (CAS), pp. 253-256, 2020.

[4] N. Baxevanakis, I. Georgakopoulos and P. P. Sotiriadis, "Rail-to-rail operational amplifier with stabilized frequency response and constant-gm input stage," 2017 Panhellenic Conference on Electronics and Telecommunications (PACET), pp. 1-4, 2017.

[5] L. L. Malavolta, R. L. Moreno and T. C. Pimenta, "A self-biased operational amplifier of constant gm for 1.5 V rail-to-rail operation in 130nm CMOS," *2016 28th International Conference on Microelectronics (ICM)*, pp. 45-48, 2016.

[6] M. M. Ahmadi, R. Lotfi and M. Sharif-Bakhtiar, "A new architecture for rail-to-rail input constant-g/sub m/ CMOS operational transconductance amplifiers," Proceedings of the 2003 International Symposium on Low Power Electronics and Design, ISLPED '03., pp. 353-358, 2003.

[7] Minsheng Wang, T. L. Mayhugh, S. H. K. Embabi and E. Sanchez-Sinencio, "Constant-g/sub m/ rail-to-rail CMOS op-amp input stage with overlapped transition regions," IEEE Journal of Solid-State Circuits, vol. 34, no. 2, pp. 148-156, Feb. 1999.

[8] R. Hogervorst, J. P. Tero and J. H. Hoijising, "Compact CMOS constant-g/sub m/ rail-to-rail input stage with g/sub m/-control by an electronic zener diode," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 7, pp. 1035-1040, July 1996.

[9] M. Yavari, O. Shoaei and F. Svelto, "Hybrid cascode compensation for two-stage CMOS operational amplifiers," *2005 IEEE International Symposium on Circuits and Systems*, Vol. 2, pp. 1565-1568, 2005.

[10] K. J. De Langen and J. H. Huijsing, "Compact low-voltage power-efficient operational amplifier cells for VLSI," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 10, pp. 1482-1496, Oct. 1998.

[11] A. K. Dubey, R. K. Nagaria, P. K. Pal and R. K. Singh, "Enhanced slew rate, constant-gm rail-to-rail OpAmp using 1:2 current mirror biasing technique," *2016 International Conference on Computing, Communication and Automation (ICCCA)*, pp. 1612-1618, 2016.

[12] L. Liu, M. Chen, W. Huang, X. Liao and J. Xu, "A High Current-Efficiency Rail-to-Rail Class-AB Op-Amp With Dual-Loop Control," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 69, no. 11, pp. 4218-4222, Nov. 2022.

[13] A. D. Grasso, S. Pennisi, G. Scotti and A. Trifiletti, "0.9-V Class-AB Miller OTA in 0.35- µm CMOS With Threshold-Lowered Non-Tailed Differential Pair," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, no. 7, pp. 1740-1747, July 2017.

Archive of SID.ir