

طراحی تمام جمع کننده تکبیتی برگشت پذیر جدید برای کاربردهای کوانتومی در تکنولوژی QCA

مریم شایسی^{۱*}، ملیحه نوروزی^۲

۱- کارشناس ارشد الکترونیک (افزازه‌های میکرو و نانو الکترونیک)، دانشگاه صنعتی کرمانشاه

۲- کارشناس ارشد الکترونیک (مدار مجتمع)، دانشگاه صنعتی کرمانشاه

*Maryam.shavisi.91@gmail.com

ارسال: دی ماه ۹۷ پذیرش: فروردین ماه ۹۸

چکیده

در حال حاضر منطق برگشت پذیر به یک زمینه تحقیقاتی بسیار بااهمیت تبدیل شده است، هدف از طراحی مدارهای دیجیتال با استفاده از منطق برگشت پذیر کاهش پیچیدگی ساختار و دستیابی به مداری کارآمدتر می‌باشد. در این مقاله، ابتدا یک گیت برگشت پذیر ۴×۴ جدید (MMG1) پیشنهاد می‌شود که قابلیت پیاده‌سازی توابع اصلی منطقی را دارد، همچنین گیت MMG1 می‌تواند به عنوان تمام جمع کننده تکبیتی عمل کند. با توجه به اینکه تکنولوژی اتوماتای سلولی کوانتومی (QCA) امکان طراحی مدارهایی با ساعت و تراکم بالا را فراهم می‌کند، ساختار پیشنهادی در تکنولوژی QCA به صورت تک لایه پیاده‌سازی شده است. جهت بهبود پارامترهای اساسی طراحی QCA، تمام جمع کننده مورد نظر به صورتی بهینه سازی شده است که در نتیجه آن ۳۸/۹۶٪ تعداد سلول، ۴۰٪ تأخیر و ۵۲/۳۸٪ مساحت سطح اشغالی کاهش یابد. تحلیل و شبیه‌سازی تمامی ساختارهای پیشنهادی با استفاده از نرم‌افزار QCADesigner Ver 2. 0. 3 انجام گرفته است.

کلمات کلیدی: گیت برگشت پذیر، تمام جمع کننده، اتوماتای سلولی کوانتومی (QCA)

۱- مقدمه

استفاده از روش طراحی مدارهای برگشت پذیر راهی برای طراحی مدارهای دیجیتال امروزی است. لانداور در سال ۱۹۶۱، نشان داد که مدارهای متعارف که برگشت ناپذیر هستند، به علت از دست دادن اطلاعات در طول عملیات پردازش مقدار کمی انرژی مصرف می‌کنند. مقدار اتلاف انرژی برای هر بیت تقریباً $KTLn2$ است که K ثابت بولتزمن و T دمای محیط پردازش برحسب درجه کلون است. بنابراین، بر اساس قانون آقای گردون مور، تعداد ترانزیستورهای روی تراشه‌ها هر ۱۸ ماه تقریباً دو برابر می‌شود و با ادامه این روند اتلاف انرژی بیشتر خواهد بود [۱]. پس از آن در سال ۱۹۷۳، بنت نشان داد که اگر این مدارها با استفاده از دروازه‌های برگشت پذیر طراحی شوند، از دست دادن انرژی می‌تواند به حداقل برسد و یا حتی حذف شود [۲]. در محاسبات برگشت پذیر، بیت اطلاعات از بین نمی‌رود و در انرژی اتلافی صرفه جویی می‌شود. به منظور استفاده از مدارهای

برگشت پذیر باید از گیت های منطقی برگشت پذیر استفاده کرد، گیت های برگشت پذیر گیت هایی هستند که بین ورودی و خروجی های آن رابطه یک به یک وجود داشته باشد.

با توجه به مشکلات پیش روی تکنولوژی CMOS معمولی، راه حل های متفاوتی برای جایگزین کردن این تکنولوژی ارائه شده است. تکنولوژی اتوماتای سلولی کوانتومی (QCA) یکی از کارآمدترین جایگزین های معرفی برای طراحی مدارهای دیجیتال در ابعاد نانو است. این تکنولوژی قادر به طراحی مدارهایی با ابعاد بسیار پایین، سرعت بالا و توان مصرفی کم است. در هر سلول QCA چهار دات کوانتومی و دو الکترون که می توانند آزادانه حرکت کنند، وجود دارد [۳]. در این مقاله ابتدا یک گیت برگشت پذیر ۴×۴ طراحی کرده ایم که می تواند به عنوان تمام جمع کننده تک بیتی نیز عمل کند، سپس ساختار پیشنهاد شده با استفاده از تکنولوژی QCA مورد بررسی قرار گرفته است، برای تحلیل ساختار پیشنهادی از نرم افزار QCADesigner 2.0.3 استفاده شده است.

در [۴] گیت برگشت پذیر HNG ارائه شده است که می تواند هفت عملیات منطقی و هشت عمل محاسباتی را انجام دهد. در این طراحی بر بهبود پارامترهای طراحی از جمله هزینه کوانتومی، تعداد ورودی های ثابت، تعداد خروجی های اضافی، تعداد گیت های برگشت پذیر مورد استفاده و تأخیر تمرکز شده است. در [۵] تمام جمع کننده تک بیتی با استفاده از گیت های برگشت پذیر مختلف پیاده سازی شده است. در این مقاله نشان داده شده است که گیت های TSG و PG به ترتیب کمترین خروجی اضافی و تأخیر انتشار را دارند. در [۶] یک تمام جمع کننده تک بیتی برگشت پذیر برای کاربردهای کوانتومی ارائه شده است. این تمام جمع کننده به یک کلاک نیاز دارد و به عنوان یک گیت همه منظوره عمل می کند. در [۷] یک تمام جمع کننده در تکنولوژی QCA معرفی شده است. در این مقاله ابتدا یک گیت اکثریت جدید طراحی شده است که برای طراحی مدارهای مبتنی بر QCA مناسب است، از طرف دیگر پیچیدگی مدار نیاز کاهش داده شده است. در [۸] مبانی تکنولوژی QCA مورد بحث قرار گرفته است، تمرکز این مقاله در طراحی مدارهای تمام جمع کننده کارآمدی با استفاده از حداقل تعداد سلول ها در منطق های برگشت پذیر و برگشت ناپذیر بوده است. همچنین، نشان داده شده است که طراحی برگشت پذیر پیچیده تر است و از این روش می توان برای طراحی مدارهای چند بیتی استفاده کرد. در [۹] طراحی تمام جمع کننده تک بیتی برگشت پذیر در تکنولوژی QCA ارائه شده است، برای طراحی این مدار از گیت های برگشت پذیر Fredkin و Toffoli استفاده شده است. تمام جمع کننده پیشنهادی در این مقاله دارای کمترین تعداد سلول و کلاک نسبت به کارهای پیش از خود بوده است. در [۱۰] یک تمام جمع کننده جدید با قابلیت تحمل پذیر خطا در تکنولوژی QCA معرفی شده است، در تمام جمع کننده پیشنهادی می توان با بررسی آرایه های دوبعدی از سلول های QCA خاصیت تحمل پذیری خطا را با حذف و یا جابجایی سلول ها تجزیه و تحلیل کرد. نتایج شبیه سازی و روابط فیزیکی مفید بودن تمام جمع کننده پیشنهادی را در طراحی مدارهای دیجیتال مقاوم در برابر خطا اثبات کرده اند. در [۱۱] یک تمام جمع کننده بهبود یافته در تکنولوژی QCA پیشنهاد شده است، در این مقاله نشان داده شده است که گیت های اکثریت ۵ ورودی موجود کارآمد نیستند و ساختارها به خوبی بهینه نشده اند. برای غلبه بر این موضوع، یک گیت جدید با کمترین پیچیدگی پیشنهاد شده است که در مقایسه با طرح های قبلی، مساحت کمتری را مصرف می کند. برای ارزیابی کارآمدی گیت پیشنهادی، یک ساختار تمام جمع کننده تک بیتی برگشت پذیر ارائه شده است، ساختار پیشنهادی در یک لایه طراحی شده است و برای تغییرات در قابل توجهی در دما مقاوم هستند. نتایج نشان داده است که ساختار ارائه شده از تمام طرح های پیشین بهتر بوده و بهبود قابل ملاحظه ای در زمینه مصرف توان، پیچیدگی مدار، اشغال سطح و تأخیر خروجی نشان داده است. ادامه مطالب ارائه شده در این مقاله به شرح زیر است:

در بخش ۲ به معرفی گیت های برگشت پذیر و در بخش ۳ به معرفی تکنولوژی QCA پرداخته می شود. سپس در بخش ۴ گیت برگشت پذیر پیشنهادی در تکنولوژی QCA پیاده سازی شده است. در بخش ۵ عملکرد گیت پیشنهادی مورد ارزیابی قرار گرفته است و در پایان در بخش ۶ نتیجه کار انجام گرفته ارائه شده است.

۲- منطق برگشت پذیر





در منطق برگشت پذیر برخلاف منطق برگشت ناپذیر که می توانند n سیگنال ورودی داشته باشند و تنها یک خروجی تولید کنند، به ازای n سیگنال ورودی، n سیگنال خروجی تولید می شود، یعنی در منطق برگشت پذیر تعداد ورودی ها و خروجی ها یکسان است [۱۲]. چنین گیتی یک گیت برگشت پذیر $n \times n$ نامیده می شود. گیت برگشت پذیر Feynman، گیت برگشت پذیر Fredkin، گیت برگشت پذیر Toffoli و گیت برگشت پذیر Peres از اصلی ترین گیت های برگشت پذیر شناخته شده هستند که برای ایجاد مدارهای برگشت پذیر مورد استفاده قرار می گیرند، ویژگی های این گیت ها در جدول ۱ نشان داده شده است. معیارهای اساسی در ارزیابی عملکرد مدارهای برگشت پذیر به صورت زیر تعریف می شوند. هزینه کوانتومی (Quantum Cost): هزینه کوانتومی در یک مدار برگشت پذیر به صورت تعداد گیت های برگشت پذیر پایه 1×1 و 2×2 تعریف می شود. ورودی ثابت (Constant Input): تعداد ورودی های ۱ یا صفری که به گیت مورد نظر اضافه می شود تا آن گیت به عنوان یک گیت برگشت پذیر معرفی شود، ورودی های ثابت آن گیت نامیده می شود. خروجی اضافی (Garbage Output): خروجی هایی که در یک گیت برگشت پذیر بلا استفاده هستند و به عنوان ورودی در بخش های دیگر مدار استفاده نمی شوند، خروجی های اضافی هستند. تعداد گیت (Gate Count): تعداد کل گیت های برگشت پذیری که برای پیاده سازی ساختار مورد نظر استفاده می شوند، در طراحی باید دقت شود که بتوان با تعداد گیت کمتری توابع منطقی را اجرا کرد. پیچیدگی مدار (Complexity Circuit): رابطه ای ایجاد شده بر اساس تعداد گیت های AND، EX-OR و NOT برای پیچیدگی سخت افزاری مدار ارائه شده است [۱۳]. پیچیدگی کل مدار از مجموع تعداد گیت های ذکر شده محاسبه می شود.

α : تعداد گیت های EX-OR

β : تعداد گیت های AND

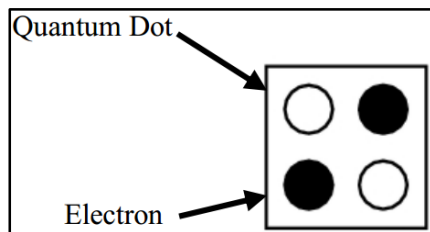
δ : تعداد گیت های NOT

جدول ۱- معرفی گیت های برگشت پذیر متداول [۱۴]

شما تیک	کاربرد	هزینه کوانتومی	اندازه گیت	گیت برگشت پذیر
	XOR - Buffer	۱	2×2	Feynman(1985)
	Controlled gate	۵	3×3	Fredkin(1982)
	Controlled Controlled gate - Buffer	۵	3×3	Toffoli(1980)
	Controlled Controlled NOT - Copying gate	۴	3×3	Peres(1985)

۳- تکنولوژی اتوماتای سلولی کوانتومی (QCA)

مطابق شکل ۱، هر سلول QCA با استفاده از چهار نقطه کوانتومی که در گوشه‌های یک مربع قرار گرفته‌اند، ساخته می‌شود. الکترون‌ها به دلیل دافعه متقابل الکترواستاتیکی تمایل دارند که در دورترین نقاط ممکن نسبت به هم قرار گیرند، به همین دلیل گوشه‌های سلول را اشغال می‌کنند. بنابراین، تنها دو حالت پایدار می‌تواند به وجود آید. از حالات ایجاد شده می‌توان یکی را صفر منطقی و دیگری را یک منطقی نامید، یکی دیگر از حالات QCA قرارگیری سلول در حالتی است که هیچ قطبشی ندارد و این حالت NAULL نامیده می‌شود [۱۵].



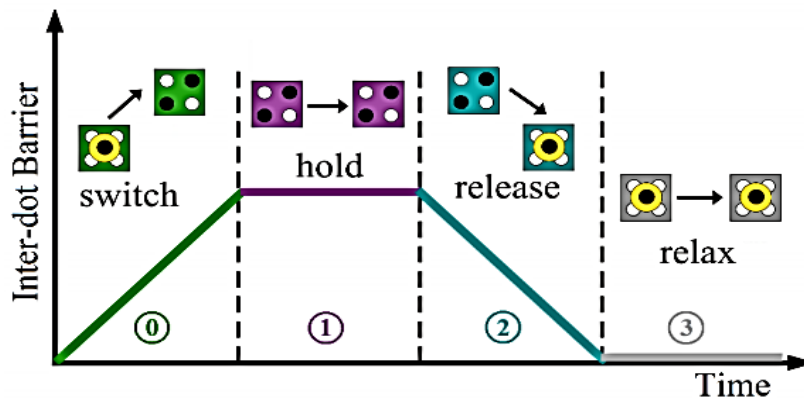
شکل ۱- سلول پایه QCA [۱۶]



شکل ۲- دو حالت پایدار قرارگیری الکترون‌ها در سلول QCA [۱۶]

۳-۱- کلاکینگ در QCA

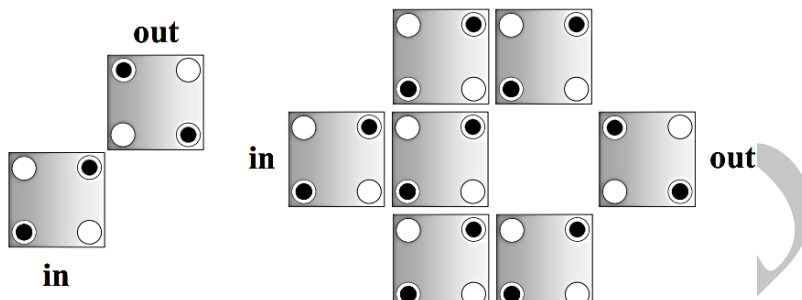
در مدارهای مبتنی بر QCA برای افزایش قابلیت کنترل پذیری از کلاک‌بندی استفاده می‌شود. در حالت پایه عمل‌های محاسباتی در QCA توسط کلاک یک‌بعدی و در چهار فاز صورت می‌گیرد. همان‌طور که در شکل ۳ نشان داده شده است، در هر مدار QCA چهار منطقه کلاکینگ وجود دارد که به صورت چهار فاز Switch و Hold و Release و Relax تعریف شده‌اند، هر کدام از این چهار فاز نسبت به هم ۹۰ درجه اختلاف دارند، در فاز Switch، مرزهای انرژی داخل نقطه به تدریج افزایش می‌یابند و الکترون‌های موجود در نقطه‌ها می‌توانند از سلول‌های مجاور که در فاز مشابه Switch و یا Hold قرار دارند، اثر بگیرند. در فاز Hold چون مرزهای انرژی زیاد شده‌اند، الکترون‌ها نمی‌توانند از الکترون‌های سلول‌های مجاور تأثیر بپذیرند، در فاز Release نیروی مانع شونده بین نقاط کاهش می‌یابد و الکترون‌ها به تدریج آزاد می‌شوند، در فاز Relax سلول هیچ قطبشی ندارد و الکترون‌ها می‌توانند کاملاً آزادانه در داخل سلول حرکت کنند [۱۵].



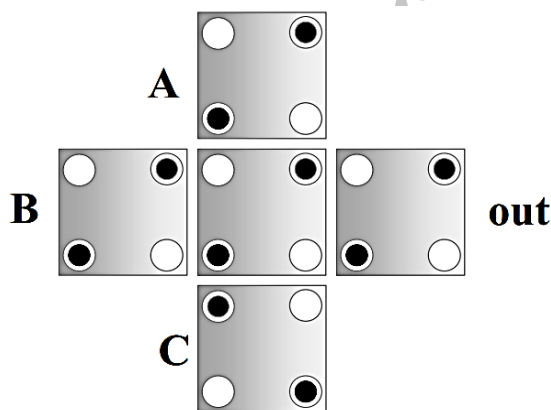
شکل ۳- نواحی مختلف کلاکینگ در QCA [۱۷]

۳-۲- گیت‌های منطقی اصلی در QCA

با توجه به اینکه توابع مختلف در منطق دیجیتال با استفاده از گیت‌های پایه قابل پیاده‌سازی هستند، در این بخش نیز به بررسی چگونگی پیاده‌سازی گیت NOT، گیت اکثریت، گیت AND و گیت OR به‌عنوان عناصر پایه در تکنولوژی QCA پرداخته می‌شود. در QCA برای ایجاد گیت معکوس کننده طراحی‌های متفاوتی پیشنهاد شده است، بر اساس شکل ۴ باید دو سلول به‌صورت اریب در مجاورت یکدیگر قرار گیرند، در این حالت سلول دوم می‌تواند مقدار معکوس شده سلول اول را داشته باشد. در ساختار دوم اگر سیگنال ورودی از سمت چپ روی سیم باینری بیاید و در دو سمت موازی منشعب شود، چون سیم ورودی به‌اندازه یک سلول آن‌طرف‌تر از ابتدای سیم‌های آفست منشعب شده است. به دلیل تسلط تراکنش‌های عمودی و افقی و برهم‌کنش قطری سیگنال ورودی معکوس می‌گردد [۱۷].



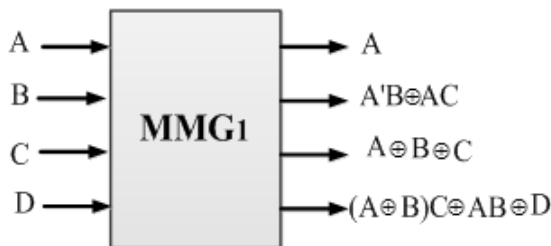
شکل ۴ - گیت معکوس کننده در QCA



شکل ۵ - گیت اکثریت در QCA

۴- پیاده‌سازی تمام جمع کننده برگشت‌پذیر

طراحی تمام جمع کننده با استفاده از منطق برگشت‌پذیر در مقالات مختلفی مورد مطالعه قرار گرفته است [۱۸-۲۰]. در حالت کلی برای ایجاد یک تمام جمع کننده تک‌بیتی می‌توان از یک گیت برگشت‌پذیر با حداقل یک ورودی ثابت و دو خروجی اضافی استفاده کرد. در این مقاله گیت برگشت‌پذیر پیشنهاد شده به‌صورت شکل ۶ دارای ۴ ورودی و ۴ خروجی می‌باشد، رابطه‌ی بین ورودی‌ها و خروجی‌های این گیت در روابط ۱-۴ ارائه شده است.



شکل ۶ - بلوک دیاگرام گیت برگشت‌پذیر پیشنهادی

جدول ۲ - جدول درستی گیت برگشت پذیر پیشنهادی

A	B	C	D	P	Q	R	S
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	0	1	0
1	0	0	1	1	0	1	1
1	0	1	0	1	1	0	1
1	0	1	1	1	1	0	0
1	1	0	0	1	0	0	1
1	1	0	1	1	0	0	0
1	1	1	0	1	1	1	1
1	1	1	1	1	1	1	0

$$P = A \tag{۱}$$

$$Q = A' B \oplus AC \tag{۲}$$

$$R = A \oplus B \oplus C \tag{۳}$$

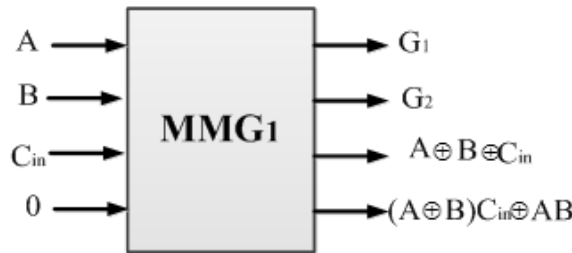
$$S = (A \oplus B)C \oplus AB \oplus D \tag{۴}$$

بر اساس جدول ۳، اگر ورودی‌ها به صورت نشان داده شده اعمال گردند، آنگاه این گیت قادر خواهد بود که هفت تابع اصلی منطقی را ایجاد کند.

جدول ۳ - اجرای توابع اصلی بولی با استفاده از گیت برگشت پذیر پیشنهاد شده

Logic gate	The inputs required
1. NOT	(A,1,0,0)
2. AND	(A,B,0,0)
3. NAND	(A□,B□,1,0)
4. OR	(A,B,1,0)
5. NOR	(A,B□,0,0)
6. Ex-OR	(A,B,0,0)
7. Ex-NOR	(A, B□,0,0)

این گیت برای اینکه بتواند به عنوان تمام جمع کننده عمل کند باید ورودی چهارم آن صفر اعمال گردد.



شکل ۷- بلوک دیاگرام تمام جمع کننده برگشت پذیر پیشنهادی

$$P = G_1 \tag{۵}$$

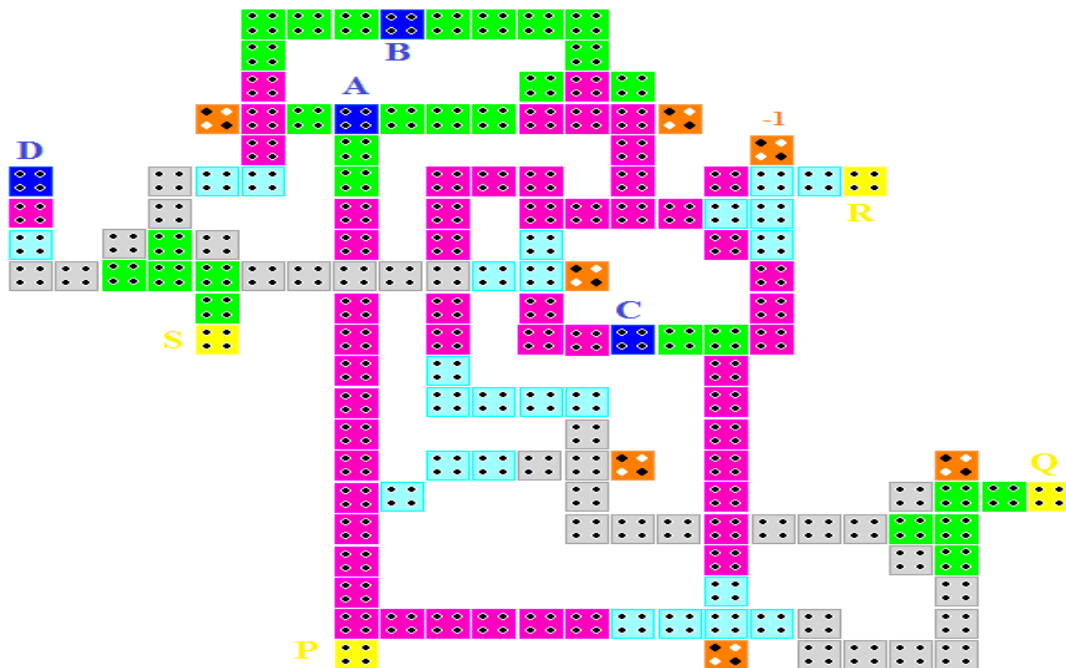
$$Q = G_2 \tag{۶}$$

$$R = SUM = A \oplus B \oplus C \tag{۷}$$

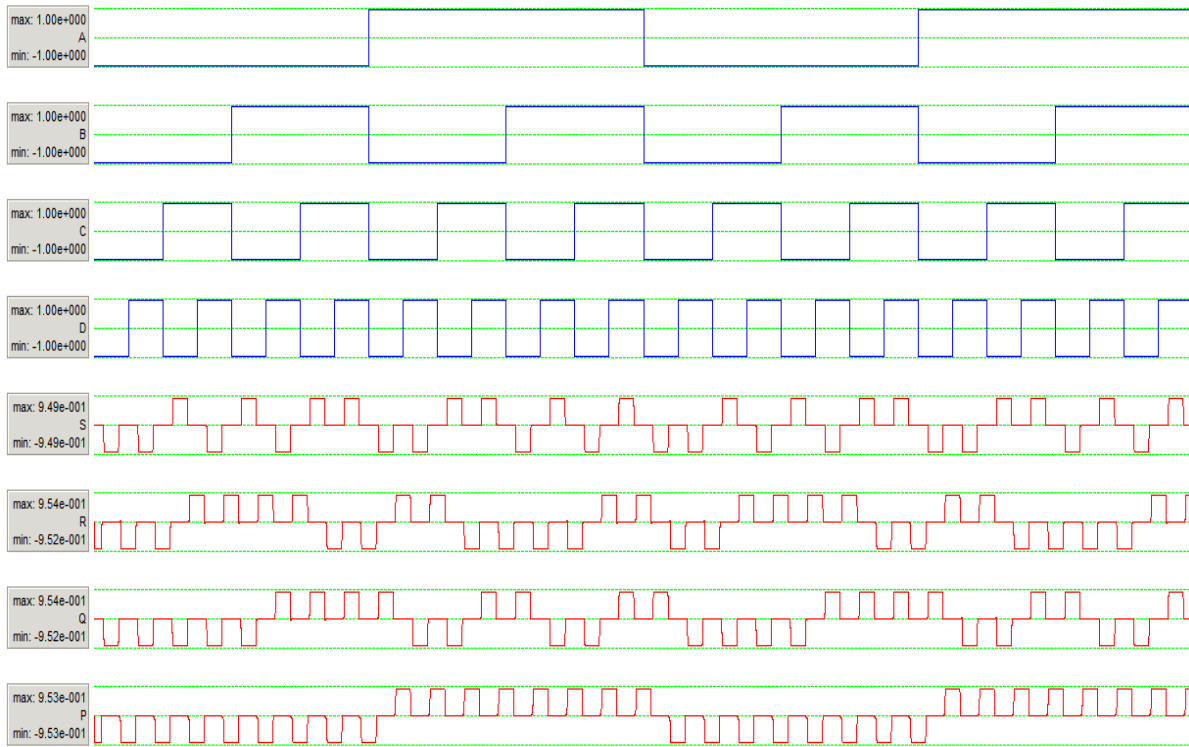
$$S = C_{OUT} = (A \oplus B)C \oplus AB \tag{۸}$$

۵- شبیه سازی و تحلیل نتایج

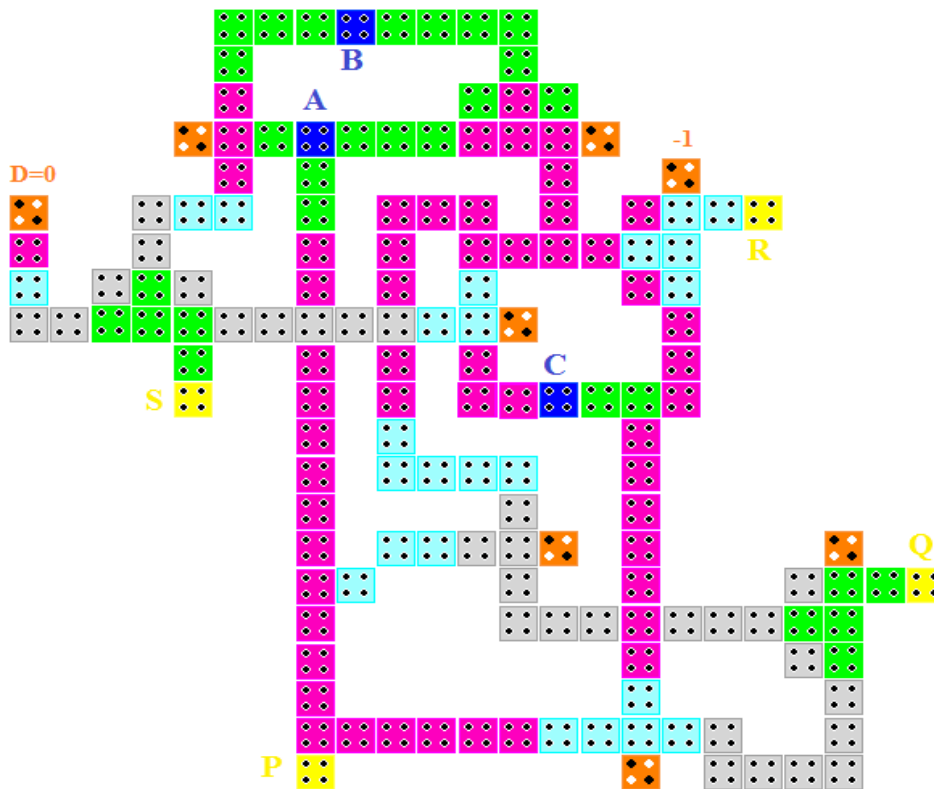
برای پیاده سازی ساختار پیشنهاد شده در تکنولوژی QCA از نرم افزار QCADesigner version 2.0.3 استفاده شده است. این نرم افزار توسط گروهی از پژوهشگران دانشگاه بریتیش کلمبیا برای طراحی و شبیه سازی آتوماتای سلولی کوانتومی ارائه شده است. این نرم افزار با داشتن دو موتور شبیه ساز، امکان طراحی مدارهایی با دقت بالا را تسهیل می بخشد. در این مقاله، برای شبیه سازی ساختارهای پیشنهادی از موتور شبیه ساز Bistable استفاده شده است. ابعاد سلول های مورد استفاده $18 \text{ nm} \times 18 \text{ nm}$ می باشد، سایر پارامترهای قابل تنظیم جهت دستیابی به نتیجه مطلوب بر اساس جدول ۵ تنظیم شده است. در شکل ۸ طرح QCA گیت برگشت پذیر پیشنهادی نشان داده شده است. در پیاده سازی این گیت ۱۵۴ سلول و ۴ گیت اکثریت که به عنوان گیت AND عمل می کنند، استفاده شده است. همچنین برای پیاده سازی این گیت به ۴ گیت XOR نیاز است که ساختار QCA آن در [۲۱] ارائه شده است، پیچیدگی این گیت برگشت پذیر نیز به صورت رابطه $\alpha + 4\beta + 4\delta$ بیان می شود. نتیجه مقایسه دو ساختار پیشنهادی در جدول ۵ ارائه شده است، بر اساس این نتایج در ساختار دوم تعداد سلول ها، مساحت سطح و تأخیر انتشار کاهش داده شده است که بیانگر بهبود قابل ملاحظه ای در عملکرد تمام جمع کننده پیشنهادی می باشد.



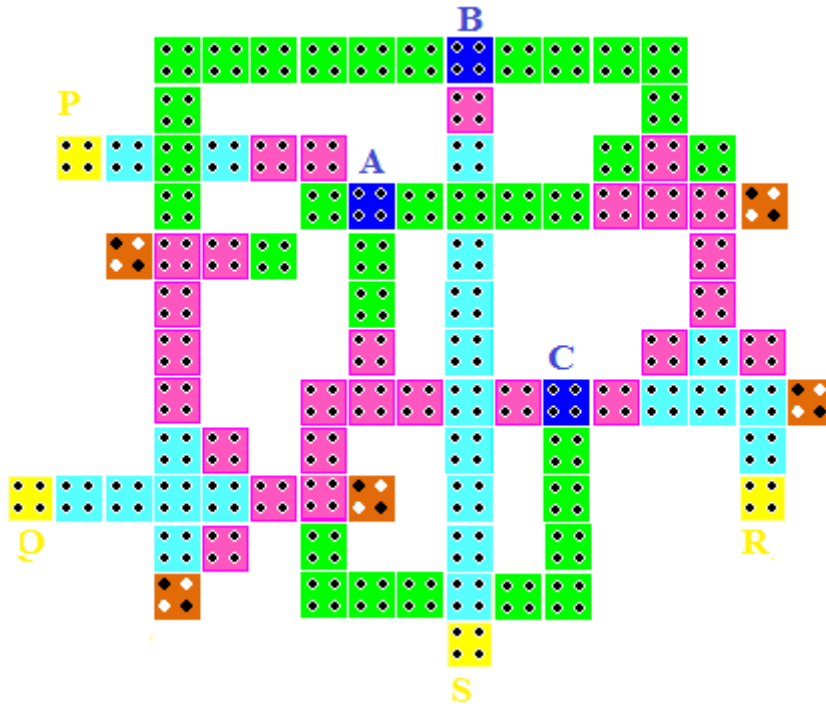
شکل ۸ - طرح گیت برگشت پذیر پیشنهادی در تکنولوژی QCA



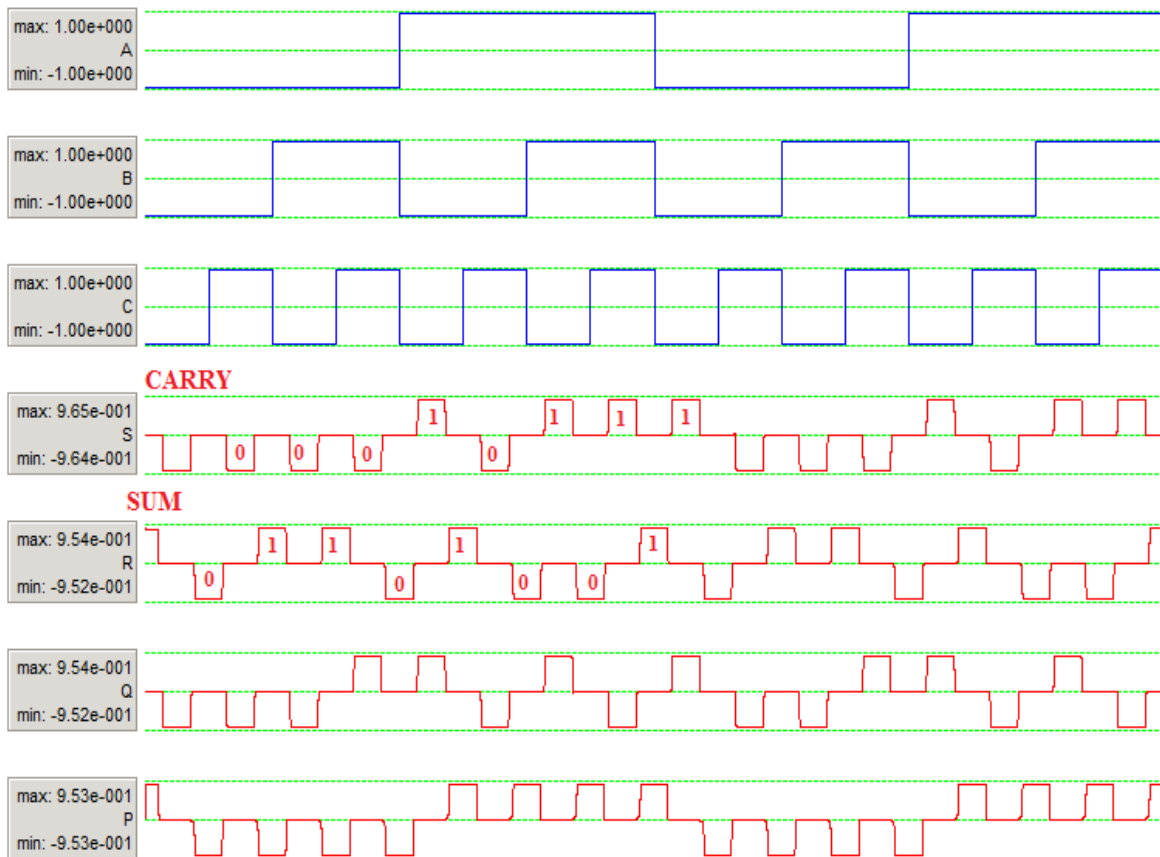
شکل ۹ - نتیجه شبیه‌سازی گیت برگشت‌پذیر پیشنهادی در تکنولوژی QCA



شکل ۱۰ - طرح تمام جمع‌کننده برگشت‌پذیر پیشنهادی در تکنولوژی QCA



شکل ۱۱ - طرح بهبود یافته تمام جمع کننده برگشت پذیر پیشنهادی در تکنولوژی QCA



شکل ۱۲ - نتیجه شبیه سازی تمام جمع کننده برگشت پذیر پیشنهادی بهبود یافته در تکنولوژی QCA

جدول ۴ - مقایسه ساختارهای مختلف تمام جمع کننده برگشت پذیر پیشنهادی

Design	QCA count	Area (μm^2)	Latency (Delay)	Constant input	Garbage output	Wire crossing
First design	154	0.21	1.25	1	2	Coplanar (clocking based)
Second design	94	0.1	0.75	1	2	Coplanar (clocking based)

جدول ۵ - پارامترهای شبیه سازی ساختارهای پیشنهادی در نرم افزار QCADesigner 2.0.3

Parameters	RG	RFA1	RFA2
Number of Samples	36000	64000	36000
Convergence Tolerance	0.001000	0.001000	0.001000
Radius of Effect (nm)	65.000000	65.000000	65.000000
Relative Permittivity	12.900000	12.900000	12.900000
Clock High	9.800000e-022	9.800000e-022	9.800000e-022
Clock Low	3.800000e-023	3.800000e-023	3.800000e-023
Clock Shift	0.000000e+000	0.000000e+000	0.000000e+000
Clock Amplitude Factor	2.000000	2.000000	2.000000
Layer Separation	11.500000	11.500000	11.500000
Maximum Iterations Per Sample	100	100	100

۶- نتیجه گیری

در این مقاله گیت برگشت پذیر MMG1 طراحی شده است که یک گیت برگشت پذیر 4×4 می باشد. این گیت دارای ۱۵۴ سلول و مساحت $0.21 \mu\text{m}^2$ می باشد. اگر در گیت MMG1 ورودی چهارم صفر باشد، آنگاه تمام جمع کننده تک بیتی خواهد بود. گیت پیشنهاد شده در تکنولوژی QCA پیاده سازی شده است. در طرح QCA این تمام جمع کننده سعی بر این بوده است، ساختاری ارائه گردد که از لحاظ تعداد سلول، تأخیر و سطح اشغالی بهینه باشد. به همین دلیل در ساختار پیشنهادی دوم $38/96\%$ تعداد سلول، 40% تأخیر و $52/38\%$ مساحت سطح اشغالی کاهش داده شده است.

۷- مراجع

1. Landauer, R., Irreversibility and heat generation in the computational process. IBM Journal of Research and Development, 1961. 5: p. 183-191.
2. Bennett, C.H., Logical reversibility of computation. IBM journal of Research and Development, 1973. 17(6): p. 525-532.
3. Tehrani, M.A., Y. Mahmoodi, and K. Navi, Coplanar architecture for quantum-dot cellular automata systolic array design. Quantum Matter, 2013. 2(6): p. 474-480.
4. Naresh Chandra Agrawal¹, Anil Kumar², A. K. Jaiswal, Implementation of Reversible Control and Full Adder Unit Using HNG Reversible Logic Gate, International Journal for Research in Applied Science & Engineering Technology (IJRASET) ISSN: 2321-9653; Volume 5 Issue X, October 2017.
5. Sudhir Dakey, DESIGN AND ANALYSIS OF A FULL ADDER USING VARIOUS REVERSIBLE GATES, International Journal of Modern Trends in Engineering and Research (IJMTER) Volume 02, Issue 08, [August- 2015]; ISSN (Print):2393-8161.
6. Sharma, V.M. and S. Sankhla, Reversible Full Adder Gate using Nano-technology. International Journal of Modern Communication Technologies and Research. 1(2).

7. Navi, K., et al., A new quantum-dot cellular automata full-adder. *Microelectronics Journal*, 2010. 41(12): p. 820-826.
8. Mohammadi, Z. and M. Mohammadi, Implementing a one-bit reversible full adder using quantum-dot cellular automata. *Quantum information processing*, 2014. 13(9): p. 2127-2147.
9. Farazkish, R., Novel efficient fault-tolerant full-adder for quantum-dot cellular automata. *International Journal of Nano Dimension*, 2018. 9(1): p. 58-67.
10. Girraj Singh Tomar, Atul Kumar Pathak, Umesh Barahdia, AN EFFICIENT DESIGN OF FULL ADDER IN QUANTUM DOT CELLAR AUTOMATA, Vol-06, Issue-01, Jan 2018. PP 2024-2032
11. Kamaraj, A., et al., Design and implementation of adders using novel reversible gates in quantum cellular automata. *Indian Journal of Science and Technology*, 2016. 9(8).
12. Frank, M.P. Introduction to reversible computing: motivation, progress, and challenges. in *Proceedings of the 2nd Conference on Computing Frontiers*. 2005. ACM.
13. Islam, M.S., et al. Synthesis of fault tolerant reversible logic circuits. in *Testing and Diagnosis, 2009. ICTD 2009. IEEE Circuits and Systems International Conference on*. 2009. IEEE.
14. R. Uma, P. Vigneshwarababu and P. Dhavachelvan 1, A Low-Power Reversible Full-Adder Using Novel 3X3 Reversible Gate, *World Applied Sciences Journal* 31 (6): 1138-1146, 2014.
۱۵. مریم شایسی، عباس رضایی، طراحی و مدل سازی تمام جمع کننده مبتنی بر آتوماتای سلولی کوانتومی، کنفرانس بین المللی تحقیقات بنیادین در مهندسی برق، تیر ۱۳۹۶.
16. Taherkhani, E., M.H. Moaiyeri, and S. Angizi, Design of an ultra-efficient reversible full adder-subtractor in quantum-dot cellular automata. *Optik-International Journal for Light and Electron Optics*, 2017. 142: p. 557-563.
17. Sarvaghad-Moghaddam, M. and A.A. Orouji, New Symmetric and Planar Designs of Reversible Full-Adders/Subtractors in Quantum-Dot Cellular Automata. *arXiv preprint arXiv:1803.11016*, 2018.
18. Islam, M. and Z. Begum, Reversible logic synthesis of fault tolerant carry skip BCD adder. *arXiv preprint arXiv:1008.3288*, 2010.
19. Islam, S. and M.R. Islam, Minimization of reversible adder circuits. *Asian Journal of Information Technology*, 2005. 4(12): p. 1146-1151.
20. James, R.K., K.P. Jacob, and S. Sasi. Fault tolerant error coding and detection using reversible gates. in *TENCON 2007-2007 IEEE Region 10 Conference*. 2007. IEEE.
21. Ahmadpour, S.-S., M. Mosleh, and S.R. Heikalabad, A revolution in nanostructure designs by proposing a novel QCA full-adder based on optimized 3-input XOR. *Physica B: Condensed Matter*, 2018. 550: p. 383-392.