

طراحی و پیاده‌سازی گیت‌های AND، NOT و XOR برگشت‌پذیر در سیستم‌های مبتنی بر نانو تکنولوژی

مریم شایوسی^{۱*}، عباس رضایی^۲

۱- کارشناسی ارشد، گروه مهندسی برق، دانشکده انرژی، دانشگاه صنعتی کرمانشاه

۲- استادیار گروه مهندسی برق، دانشکده انرژی، دانشگاه صنعتی کرمانشاه

*Maryam.shavisi.91@gmail.com

ارسال: دی ماه ۹۷ پذیرش: فروردین ماه ۹۸

چکیده

در فناوری نانو و محاسبات کوانتومی مدرن، منطق برگشت‌پذیر نقش مهمی ایفا می‌کند زیرا در گیت‌های برگشت‌پذیر به دلیل پاک کردن عملیات بیتی می‌توان از اتلاف توان جلوگیری کرد، در این مقاله ضمن معرفی گیت‌های برگشت‌پذیر متداول، چگونگی پیاده‌سازی گیت‌های AND، NOT و XOR با بکارگیری گیت‌های برگشت‌پذیر بررسی و استفاده از ترانزیستورهای اثر میدان نانولوله کربنی جهت پیاده‌سازی گیت‌های برگشت‌پذیر در سطح مداری باهدف غلبه بر مشکلات ناشی از کاهش ابعاد در تکنولوژی CMOS پیشنهاد می‌شود، نتایج شبیه‌سازی بیانگر این است که اگر با ولتاژ تغذیه ۰/۵ ولت، برای ایجاد یک گیت NOT از گیت برگشت‌پذیر Feynman استفاده شود، متوسط توان مصرفی ۹۷/۲۰٪ و با استفاده از گیت برگشت‌پذیر Fredkin، ۹۹/۹۹٪ کاهش داده شده می‌شود. برای گیت AND نیز اگر از گیت‌های برگشت‌پذیر Fredkin، Peres و Toffoli استفاده شود، مقدار متوسط توان مصرفی با ولتاژ تغذیه ۰/۹ به ترتیب ۹۸/۴۵٪، ۹۰/۸۷٪ و ۸۹/۰۴٪ کاهش می‌یابد، همچنین اگر از خروجی Q گیت‌های برگشت‌پذیر Feynman و Peres به عنوان گیت XOR برای دو ورودی استفاده شود، با ولتاژ تغذیه ۰/۵ ولت مقدار متوسط توان مصرفی به ترتیب، ۹۹/۹۷٪ و ۹۹/۷۸٪ کاهش داده می‌شود، برای شبیه‌سازی مدارها نیز از کتابخانه ترانزیستور CNTFET در نرم‌افزار Hspice استفاده شده است.

کلمات کلیدی: گیت پایه، گیت برگشت‌پذیر، ترانزیستور نانولوله کربنی، متوسط توان مصرفی.

۱- مقدمه

در مدار دیجیتال اطلاعات توسط سطح منطقی صفر و یا سطح منطقی یک نشان داده می‌شود، این سطوح منطقی به عنوان بیت شناخته می‌شوند، عملیات بازنویسی و پاک کردن این بیت‌ها منجر به مصرف انرژی می‌شود، لانداور در سال ۱۹۶۰ بیان کرد که یک بیت اطلاعات دارای انرژی مصرفی $K * T * \ln 2$ است که K ثابت بولتزمن و T درجه دمای مطلق است [۱]. بنت در سال ۱۹۷۳ نشان داد که انرژی مصرفی به طور مستقیم با تعداد بیت‌های ازدست‌رفته مرتبط است و برای حل مشکل توان مصرفی، گیت‌های منطقی برگشت‌پذیر می‌توانند مورد استفاده قرار گیرند، همچنین نشان داد که در انجام محاسبات به صورت برگشت‌پذیر

انرژی از بین نمی‌رود یعنی برای جلوگیری از اتلاف انرژی در مدارها، باید گیت‌ها به صورت برگشت‌پذیر ساخته شوند [۲]. برگشت‌پذیری در محاسبات به معنی آن است که هیچ اطلاعاتی در حین مراحل پردازش از بین نخواهد رفت. منطبق برگشت‌پذیر علاوه بر طراحی مدارهای CMOS با توان مصرفی کم، کاربردهای فراوان دیگری در حوزه‌های مختلف محاسباتی و پردازشی نظیر پردازش کوانتومی، پردازش نوری، محاسبات مبتنی بر DNA و سیستم‌های مبتنی بر تکنولوژی نانو دارد [۳]. با توجه به پیش‌بینی آقای مور [۴]، در مورد نصف شدن ابعاد ترانزیستورها در فاصله زمانی هر هجده ماه، امروزه دنیای دیجیتال به دنبال راهکارهای مناسب جهت طراحی مدارهای در مقیاس نانو و حتی کوچک‌تر از آن به منظور برآورده ساختن نیاز آینده‌ی سیستم‌های پردازشی می‌باشد. از این رو انتظار می‌رود تمام تکنولوژی‌های آتی از منطبق برگشت‌پذیر و پردازش کوانتومی به منظور کاهش اتلاف انرژی و کاهش سایز المان‌های محاسباتی استفاده کنند، همچنین در این مقاله با توجه به مشکلات استفاده از تکنولوژی CMOS^۱ با کاهش ابعاد مانند افزایش توان مصرفی و جریان نشتی، استفاده از ترانزیستورهای اثر میدان نانولوله کربنی برای کاهش ابعاد تراشه‌های الکترونیکی پیشنهاد می‌شود، این ترانزیستورها باهدف اصلی کاهش ابعاد که ساخت یک مدار کوچک، با مصرف انرژی کم به عنوان یک جایگزین مطلوب برای تکنولوژی CMOS هستند. تاکنون پژوهشگران زیادی روی مباحث مربوط به بررسی گیت‌های برگشت‌پذیر مطالعاتی داشته‌اند و از این گیت‌ها برای طراحی مدارهای دیجیتال استفاده کرده‌اند، از جمله این تحقیقات می‌توان به [۵] اشاره کرد که در مقاله‌ی خود برای کاهش توان مصرفی مدارها ضمن معرفی گیت‌های برگشت‌پذیر متداول، گیت برگشت‌پذیر RM را معرفی و با استفاده از این گیت به طراحی شمارنده‌های ترتیبی هم‌زمان و غیر هم‌زمان پرداختند و توانستند بهینه‌سازی قابل توجهی در مقدار توان مصرفی و ابعاد مدار داشته باشند. همچنین نویسندگان مقاله [۶] در پژوهش خود با استفاده از گیت‌های برگشت‌پذیر یک شیفت رجیستر ۸ بیتی طراحی کردند و توانستند مقدار توان مصرفی را ۱۰٪ کاهش دهند. در [۷] اطلاعات مربوط به گیت‌های برگشت‌پذیر متعددی از جمله Fredkin, Feynman, Peres, F2G, R, NHG, NFT, Bjn, TKS, MCL و MCL که تاکنون طراحی شده‌اند، بررسی شده است که در طراحی ساختارهای پیچیده‌تر به عنوان اجزای اصلی هستند و می‌توانند عملیات پیچیده‌تر را با ایجاد رایانه‌های کوانتومی اجرا کنند. در [۸] دو نوع طراحی متفاوت ALU برگشت‌پذیر با استفاده از نرم‌افزار Altera Quartus II ارائه شده است، در طرح‌های پیشنهادی هشت عمل محاسباتی و چهار عمل منطقی انجام می‌گیرد. در ساختار پیشنهادی اول از بلوک برگشت‌پذیر Peres Full Adder Gate (PFAG) در طراحی ALU برگشت‌پذیر استفاده شده است و گیت برگشت‌پذیر HNG در پیاده‌سازی ساختار دوم مورد استفاده قرار گرفته است. هر دو ساختار پیشنهادی از نظر پارامترهایی نظیر تعداد گیت‌های برگشت‌پذیر مورد نیاز، خروجی‌های اضافی، هزینه کوانتومی و تأخیر انتشار مورد مقایسه و تجزیه و تحلیل قرار گرفته‌اند. نتایج شبیه‌سازی ارائه شده نشان می‌دهد که طراحی ALU برگشت‌پذیر دوم نسبت به ALU برگشت‌پذیر پیشنهادی اول و ساختار ALU معمولی عملکرد بهتری دارد. در [۹] پیشنهاد می‌شود که طراحی مدار ضرب‌کننده با استفاده از گیت‌های برگشت‌پذیر انجام گیرد. برای این کار یک گیت ۴×۴ برگشت‌پذیر جدید به نام BVF ارائه شده است که می‌تواند بیت‌های خروجی ضرب‌کننده را کپی کند، نتایج نشان داده است که در حدود ۵۰٪ تعداد خروجی‌های اضافی کاهش داشته است. همچنین هزینه کوانتومی و اندازه مدار که پارامترهای بسیار مهمی در طراحی هستند، کاهش داده شده است. ضرب‌کننده پیشنهاد شده برای ساخت سیستم‌های پیچیده‌تر در فناوری نانو و رایانه‌های کوانتومی مناسب است. در [۱۰] ابتدا یک گیت ۲×۲ برگشت‌پذیر به نام NLG معرفی شده است، سپس یک مقایسه‌کننده بر اساس آن طراحی شده است. مهم‌ترین ویژگی گیت برگشت‌پذیر NLG این است که تنها زمانی هر دو ورودی یکسان باشند، مقدار خروجی دوم ۱ است. در این طراحی سطح مدار برگشت‌پذیر به میزان قابل قبولی کاهش یافته است. در این مقاله به دلیل استفاده از ترانزیستورهای اثر میدان نانولوله کربنی^۲ در پیاده‌سازی سطح ترانزیستور مدارهای مورد نظر، ابتدا اشاره‌ی

1. Complementary Metal-Oxide-Semiconductor

2. Carbon NanoTube Field Effect Transistor

مختصری به این تکنولوژی خواهیم داشت، سپس با توجه به اهمیت گیت‌های برگشت‌پذیر، به معرفی گیت‌های برگشت‌پذیر متداول پرداخته می‌شود و در ادامه نیز به چگونگی پیاده‌سازی گیت‌های AND، NOT و XOR با گیت‌های برگشت‌پذیر Feynman، Fredkin، Peres و Toffoli و بیان نتایج شبیه‌سازی خواهیم پرداخت.

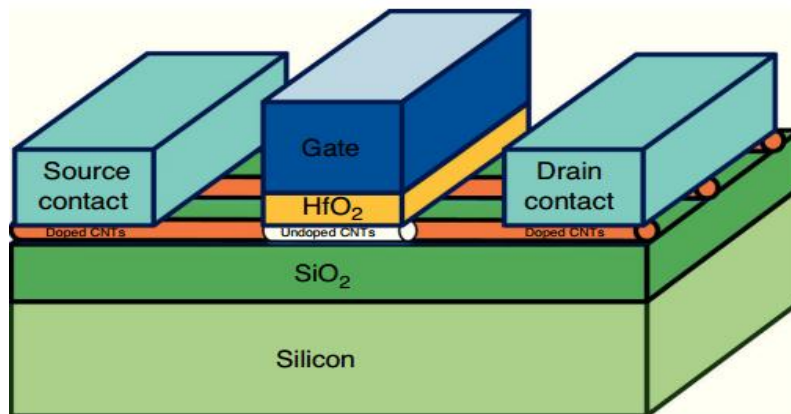
۲- ترانزیستورهای اثر میدان نانولوله کربنی

از نانولوله‌های کربنی به دلیل خاصیت نیمه‌هادی بودن آن‌ها در ساخت ترانزیستور و رسانایی آن‌ها در ایجاد اتصالات استفاده می‌شود. نانولوله‌های تک دیواره نسبت به چند دیواره عملکرد بهتری از لحاظ رسانایی، پهنای باند، قابلیت پیش‌بینی یعنی نیمه‌هادی یا رسانایی بودن و کنترل‌پذیری از خود نشان می‌دهند، به همین دلیل از آن‌ها در ساخت ترانزیستور استفاده می‌شود. برای ساخت ترانزیستور، از نانولوله‌های زیگزاگی استفاده می‌شود و آن‌ها را به‌عنوان کانال ارتباطی بین پایه درین و سورس قرار می‌دهند که باعث ایجاد جریان بین دو پایه می‌شود. ساختار یک نمونه از این ترانزیستورها در شکل ۱ نشان داده شده است، ویژگی مهم این ترانزیستورها قطر نانولوله و ولتاژ آستانه می‌باشد که از روابط (۱) و (۲) محاسبه می‌گردند.

$$D_{CNT} = \frac{\sqrt{3}a_0}{\pi} \sqrt{n^2 + m^2 + nm} \quad (1)$$

$$V_{th} = \frac{\sqrt{3}a_0}{3ed} v_{\pi} \quad (2)$$

در این روابط که $a_0 = 0.142nm$ فاصله اتمی میان هر اتم کربن و v_{π} انرژی پیوند اتم‌های کربن، e اندازه بار الکتریکی الکترون و d قطر نانولوله کربنی است، n و m نیز بردار کایرال را ایجاد می‌کنند و در اینجا به دلیل استفاده از نانولوله نوع زیگزاگ، بردار کایرال به صورت $(m,0)$ انتخاب می‌شود [۱۱].



شکل ۱- ترانزیستور اثر میدان نانولوله کربنی

۳- گیت‌های منطقی برگشت‌پذیر

یک گیت منطقی در صورتی برگشت‌پذیر است که بردار ورودی بتواند به‌طور منحصر به فردی از بردار خروجی بازیابی شود، همچنین بین ورودی و خروجی یک ارتباط یک‌به‌یک وجود داشته باشد. در این گیت‌ها تعداد ورودی‌ها و خروجی‌ها یکسان است، برای ساخت یک مدار برگشت‌پذیر باید از گیت‌های برگشت‌پذیر استفاده شود. گیت‌های منطقی برگشت‌پذیر دارای پارامترهایی مانند هزینه کوانتومی، ورودی ثابت، خروجی اضافی است، همچنین تأخیر در مدار و تعداد ترانزیستورهای استفاده شده، عوامل مهمی در طراحی هر ساختار منطقی برگشت‌پذیر می‌باشند. هدف اصلی از طراحی مدارهای برگشت‌پذیر به حداقل رساندن هزینه کوانتومی و تعداد خروجی اضافی است [۱۲]. در ادامه به تعریف این پارامترها و بررسی گیت‌های برگشت‌پذیر معکوس کننده، Feynman، Fredkin، Peres و Toffoli می‌پردازیم.

هزینه کوانتومی^۱: تعداد گیت‌های برگشت‌پذیر پایه با اندازه‌های (1×1) و (2×2) که به ترتیب دارای ارزش کوانتومی صفر و یک می‌باشند و هر مدار منطقی برگشت‌پذیر می‌تواند با این گیت‌های ابتدایی تحقق یابد، هزینه کوانتومی آن مدار نامیده می‌شود [۵].

خروجی‌های اضافی^۲: برای اطمینان از برگشت‌پذیر بودن، تعداد ورودی‌ها و خروجی‌ها باید یکسان باشند، بنابراین امکان دارد گاهی اوقات تمام خروجی‌های گیت برگشت‌پذیر در مرحله بعدی استفاده نشوند و برخی از آن‌ها برای حفظ برابری بین تعداد ورودی‌ها و خروجی‌ها استفاده شود، این خروجی‌ها به‌عنوان خروجی بلااستفاده شناخته می‌شوند، رابطه‌ی بین تعداد خروجی‌های اضافی و ورودی‌ها ثابت مطابق رابطه ۳ است [۵].

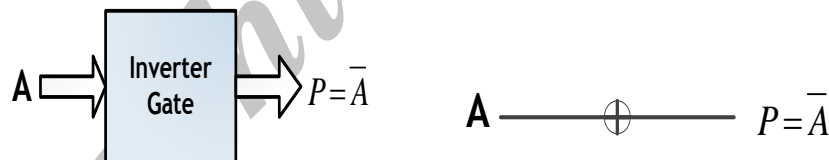
$$input + constant input = output + garbage \quad (3)$$

ورودی ثابت^۳: به ورودی‌های صفر و یکی که به تابع اضافه می‌شود تا گیت را به گیت برگشت‌پذیر تبدیل کند، ورودی ثابت نامیده می‌شود [۱۳].

تأخیر: تأخیر به معنای زمان رسیدن ورودی به خروجی از طریق کوتاه‌ترین مسیر یک مدار منطقی است، همچنین می‌تواند به‌عنوان حداکثر تعداد گیت در مسیر ورودی به خروجی تعریف گردد، این تعاریف بر اساس دو فرضیه است، فرض اول این است که هر گیت یک زمان واحد برای محاسبه هر خروجی از ورودی می‌باشد، این واحد می‌تواند به‌عنوان 1Δ باشد، فرض دوم می‌گوید که روند محاسبات زمانی آغاز می‌شود که تمام ورودی‌های آن مدار موجود باشند. اگر تعداد کل گیت‌های برگشت‌پذیر در هر کوتاه‌ترین مسیر از ورودی به خروجی عمق منطقی نامیده شود، این عمق می‌تواند به‌عنوان اندازه‌گیری تأخیر در نظر گرفته شود. گیت‌های برگشت‌پذیر پایه با اندازه‌های (1×1) و (2×2) دارای تأخیر یک هستند [۵].

۳-۱- گیت معکوس‌کننده

یک گیت برگشت‌پذیر (1×1) با هزینه‌ی کوانتومی صفر است و یکی از اصلی‌ترین گیت‌های برگشت‌پذیر به شمار می‌آید. همان‌طور که از اسم این گیت پیداست در خروجی مقدار متمم ورودی حاصل خواهد شد [۱۴]. نمودار بلوکی و نقطه کوانتومی این گیت در شکل ۲ قابل مشاهده است.



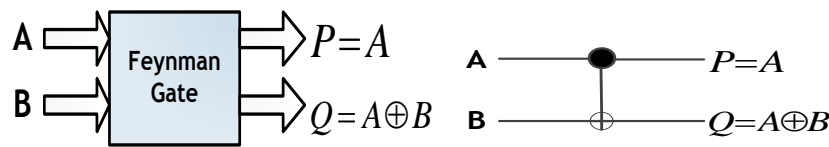
شکل ۲ - بلوک دیاگرام و نمودار نقطه کوانتومی گیت معکوس‌کننده

۳-۲- گیت برگشت‌پذیر Feynman

این گیت به صورت یک گیت برگشت‌پذیر (2×2) می‌باشد، که شامل دو ورودی و دو خروجی است. ورودی و خروجی‌های این گیت به ترتیب برابر با (A, B) و $(A, A \oplus B)$ است. نمودار بلوکی و ساختار کوانتومی این گیت در شکل ۳ نشان داده شده است [۱۴]. در واقع این عملکردی همانند گیت XOR دارد. از این گیت می‌توان برای تولید فن آوت در خروجی استفاده کرد. فن آوت در مدارهای برگشت‌پذیر مجاز نیست، زیرا هر فن آوت یک ورودی و دو خروجی دارد، اما با صفر قرار دادن ورودی B در این گیت، مقدار ورودی A دو بار در خروجی تولید می‌شود که همان عملکرد فن آوت است. این گیت به اختصار FG

1. Quantum Cost
2. Garbage Output
3. Constant Input

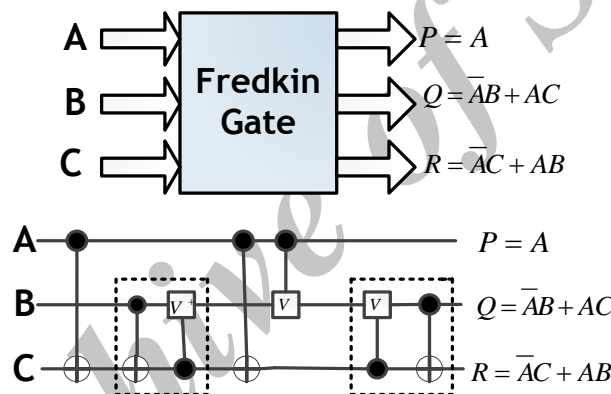
نامیده می‌شود، میزان هزینه‌ی کوانتومی این گیت برابر یک است. این گیت چون (2×2) است، برای محاسبه‌ی هزینه کوانتومی در سایر گیت‌ها استفاده می‌شود [۱۵].



شکل ۳- بلوک دیاگرام و نمایش نقطه کوانتومی گیت برگشت پذیر Feynman

۳-۳- گیت برگشت پذیر Fredkin

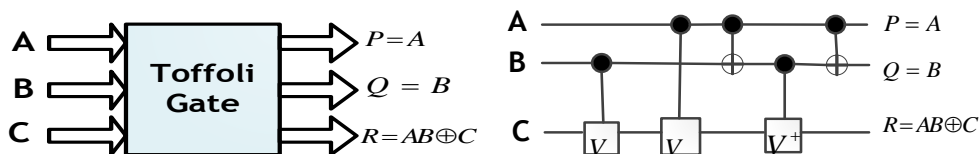
گیت Fredkin، یک گیت برگشت پذیر سه ورودی- سه خروجی (3×3) می‌باشد که توجه زیادی را به خود جلب کرده است. این گیت یک گیت کنترل شده به وسیله ورودی کنترل A است و برای جابجایی دو مقدار استفاده می‌شود. وقتی که $A=0$ باشد، $R=C$ و $Q=B$ است و همچنین اگر $A=1$ باشد در این صورت $Q=C$ و $R=B$ است. ساختار بلوکی و نمودار نقطه کوانتومی این گیت در شکل ۴ نشان داده شده است [۱۵]، هزینه کوانتومی این گیت پنج است. در محاسبه‌ی هزینه‌ی کوانتومی این گیت باید توجه داشت که هرگاه گیت‌های Feynman و Controlled - v و Controlled - v^+ به صورت سری قرار بگیرند، مانند قسمت‌های مشخص شده در شکل ۴ میزان کل هزینه‌ی کوانتومی از دو به یک کاهش می‌یابد.



شکل ۴ - بلوک دیاگرام و نمودار نقطه کوانتومی گیت برگشت پذیر Fredkin

۳-۴- گیت برگشت پذیر Toffoli

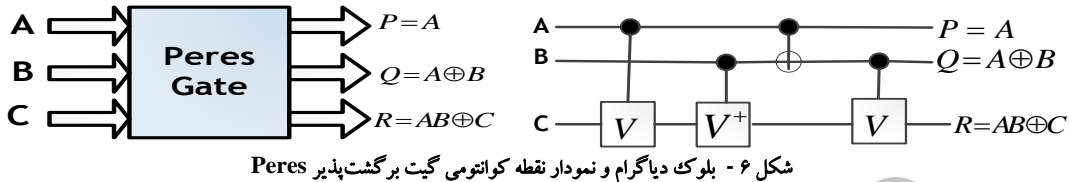
گیت Toffoli یک گیت برگشت پذیر سه ورودی- سه خروجی (3×3) می‌باشد. این گیت که به اختصار TG نامیده می‌شود، دو ورودی از سه ورودی خود را به خروجی منتقل می‌کند. اگر دو ورودی اول برابر باشند، مکمل ورودی آخر به خروجی آخر منتقل می‌شود، در غیر این صورت ورودی آخر در خروجی آخر تکرار می‌شود. برای این گیت، نمودار بلوکی و نمایش نقطه کوانتومی در شکل ۵ ارائه شده است. میزان هزینه‌ی کوانتومی این گیت پنج است، برای محاسبه‌ی هزینه‌ی کوانتومی از گیت‌های کنترل شده V و V^+ استفاده شده است [۱۴]. این گیت‌های کوانتومی (2×2) هستند و به عنوان ریشه دوم گیت معکوس کننده، به این صورت که $V \times V = V^+ \times V^+ = NOT$ و $V \times V^+ = V^+ \times V = I$ که همان تابع همانی باشد، در نظر گرفته می‌شوند.



شکل ۵ - بلوک دیاگرام و نمودار نقطه کوانتومی گیت برگشت پذیر Toffoli

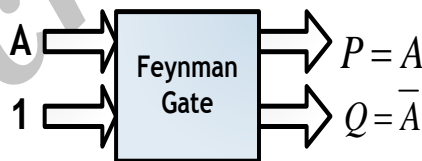
۳-۵- گیت برگشت‌پذیر Peres

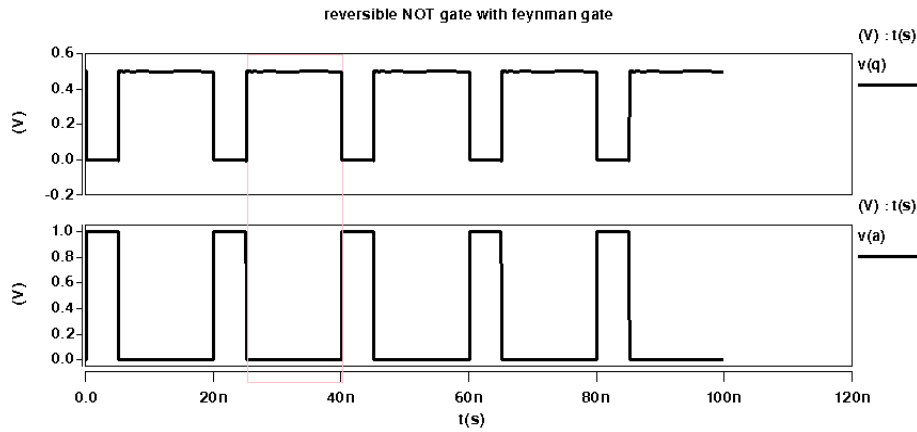
گیت peres، یک گیت برگشت‌پذیر سه ورودی- سه خروجی (۳×۳) می‌باشد که به اختصار PG نامیده می‌شود. در این گیت اگر ورودی سوم صفر باشد، خروجی سوم معادل AND منطقی دو ورودی اول تعریف می‌شود. هزینه کوانتومی این گیت چهار است و از ترکیب دو گیت Feynman و Toffoli ایجاد شده است. سه خروجی این گیت به صورت $P=A$ ، $Q=A \oplus C$ و $R=AB \oplus C$ به دست می‌آیند. ساختار بلوکی و نمایش نقطه کوانتومی این گیت در شکل ۶ قابل مشاهده است، همچنین در این گیت وقتی $C=0$ باشد، در این صورت $R=AB$ و $Q=A \oplus B$ است، بنابراین یک نیم جمع کننده را محقق می‌سازد [۱۵].



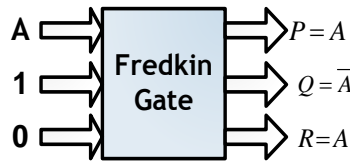
۴- پیاده‌سازی گیت‌های NOT، AND و XOR برگشت‌پذیر با استفاده از تکنولوژی CNTFET

در گیت Feynman در صورتی که ورودی دوم یک در نظر گرفته شود، آنگاه در خروجی معکوس ورودی اول ایجاد می‌شود. همان‌طور که در بلوک دیاگرام شکل ۷ نشان داده شده است، در این حالت از خروجی گیت Feynman هم سیگنال اصلی و هم معکوس آن ایجاد می‌شود. همچنین در این گیت اگر ورودی دوم صفر باشد، این گیت به عنوان بافر می‌باشد و هر دو خروجی همان ورودی اول می‌باشند. سیگنال خروجی این گیت مطابق شکل ۸ خواهد بود. در گیت Fredkin نیز، در صورتی که ورودی- های دوم و سوم مطابق شکل ۹ انتخاب شود، در خروجی سیگنالی معکوس با سیگنال اصلی ایجاد می‌شود. سیگنال خروجی این گیت در شکل ۱۰ نشان داده شده است. گیت‌های پیشنهادی با استفاده از ترانزیستورهای اثر میدان نانولوله کربنی پیاده‌سازی شده‌اند و مقایسه پارامترهای متوسط توان مصرفی، تأخیر در خروجی معکوس کننده و PDP^۱ در این گیت‌ها بر اساس نمودار موجود در شکل ۱۱ نشان داده شده است، این نتایج نشان می‌دهد که استفاده از گیت Fredkin منجر به کاهش چشمگیری در مقدار متوسط توان مصرفی، تأخیر در خروجی معکوس کننده و PDP شده است.

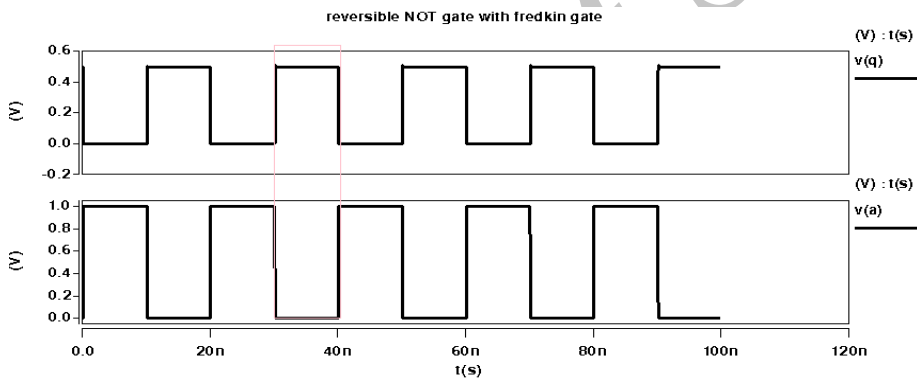




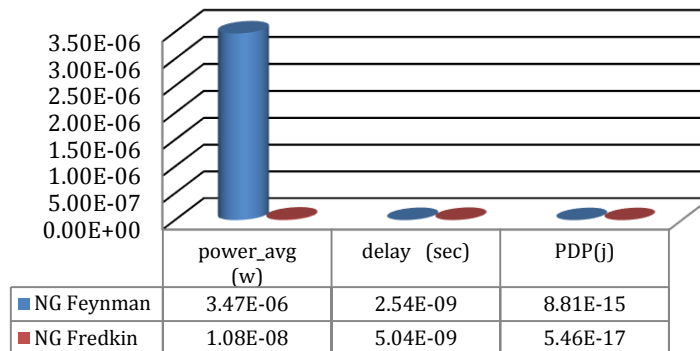
شکل ۸ - نتیجه شبیه‌سازی گیت NOT با استفاده از گیت برگشت پذیر Feynman



شکل ۹ - گیت NOT با استفاده از گیت برگشت پذیر Fredkin

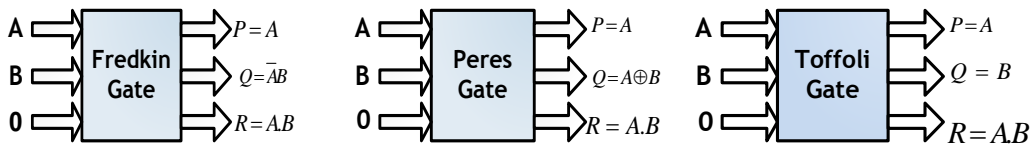


شکل ۱۰ - نتیجه شبیه‌سازی گیت NOT با استفاده از گیت برگشت پذیر Fredkin

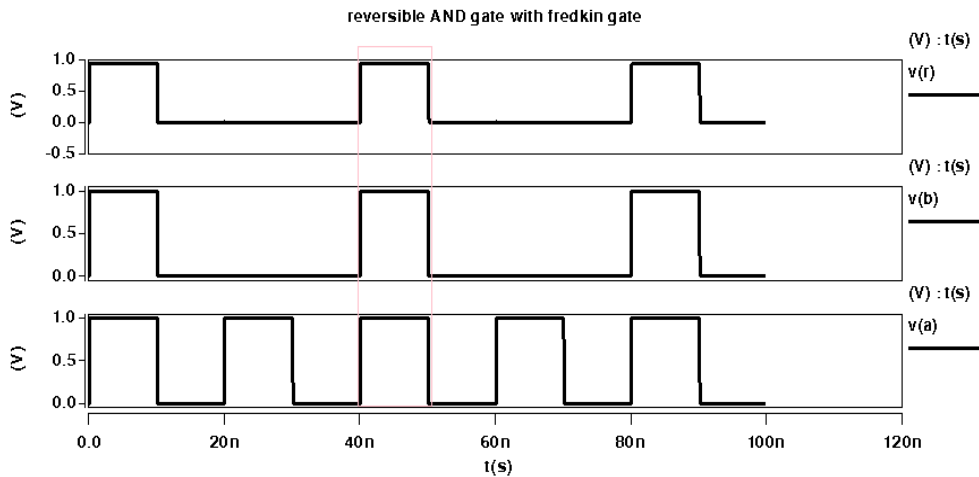


شکل ۱۱ - مقایسه پارامترهای اصلی گیت NOT با استفاده از گیت‌های برگشت پذیر

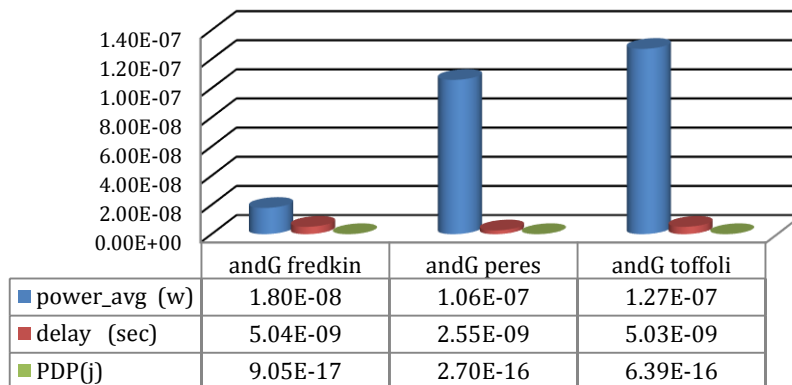
خروجی AND را می توان با استفاده از هر کدام از گیت های Fredkin, Peres و Toffoli ایجاد کرد، برای این کار باید ورودی سوم در هر یک این گیت ها صفر در نظر گرفته شود، در این حالت خروجی های ایجاد شده مطابق شکل ۱۲ خواهد بود.



شکل ۱۲ - گیت AND با استفاده از گیت های برگشت پذیر

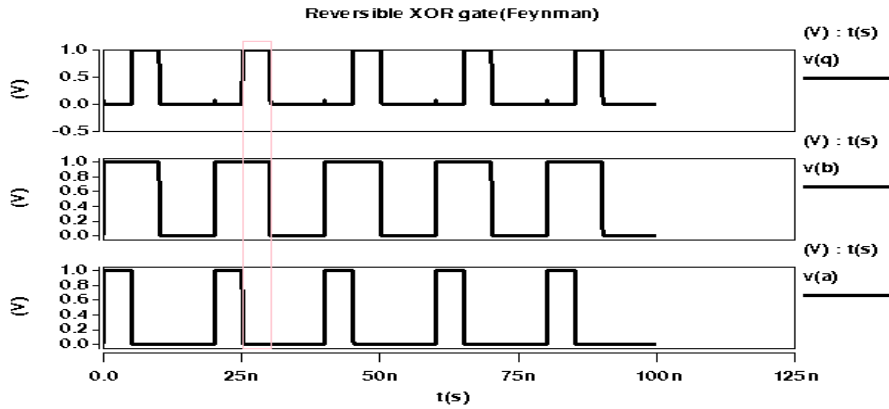


شکل ۱۳ - نتیجه شبیه سازی گیت AND با استفاده از گیت برگشت پذیر Fredkin

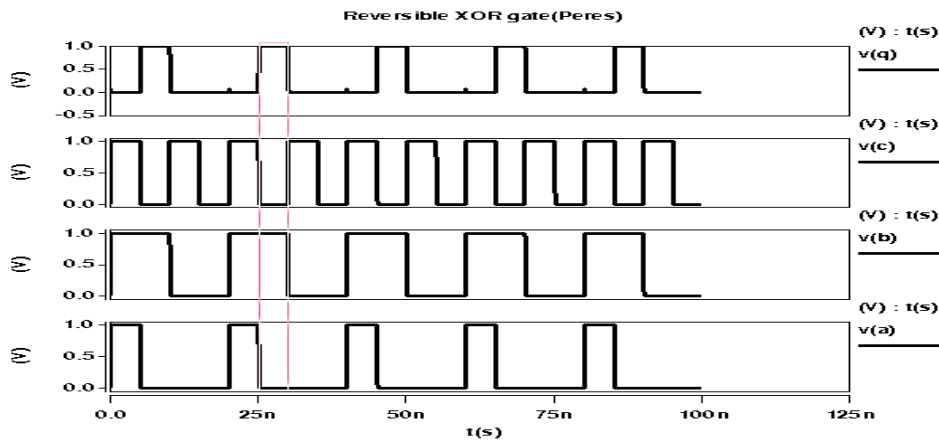


شکل ۱۴ - نتیجه شبیه سازی گیت AND با استفاده از گیت برگشت پذیر

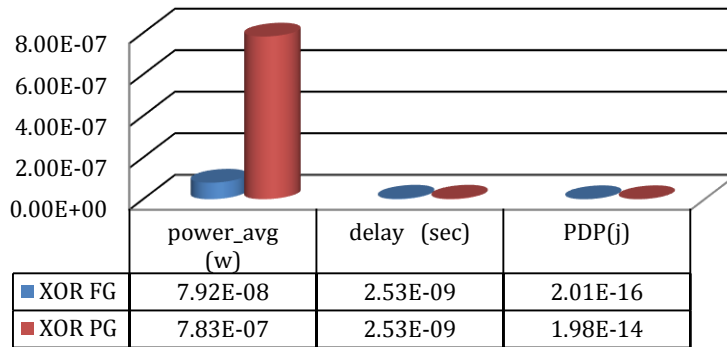
گیت های برگشت پذیر Feynman و Peres در خروجی Q خود، خروجی XOR را ایجاد می کنند. نتایج شبیه سازی این گیت ها به ترتیب در شکل های ۱۵ و ۱۶ قابل مشاهده است، در شکل ۱۷ نیز مقایسه گیت های XOR پیاده سازی شده، ارائه شده است.



شکل ۱۵ - گیت XOR با استفاده از گیت برگشت پذیر Fredkin



شکل ۱۶ - گیت XOR با استفاده از گیت برگشت پذیر Peres



شکل ۱۷ - نتیجه شبیه سازی گیت XOR با استفاده از گیت برگشت پذیر

در جدول ۲ نتایج پیاده سازی گیت های NOT، AND و XOR برگشت پذیر با استفاده از ترانزیستورهای اثر میدان نانولوله کربنی ارائه شده است، این نتایج بیانگر این است که اگر با ولتاژ تغذیه ۰/۵ ولت، برای ایجاد یک گیت NOT از گیت برگشت-پذیر Feynman استفاده شود، نسبت به مرجع [۱۶]، متوسط توان مصرفی ۹۷/۲۰٪ و با استفاده از گیت برگشت پذیر Fredkin، ۹۹/۹۹٪ کاهش داده شده است. برای گیت AND نیز اگر از گیت های برگشت پذیر Fredkin، Peres و Toffoli استفاده شود، مقدار متوسط توان مصرفی با ولتاژ تغذیه ۰/۹ ولت نسبت به مرجع [۱۷] به ترتیب ۹۸/۴۵٪، ۹۰/۸۷٪ و ۸۹/۰۴٪ کاهش می یابد، همچنین اگر از خروجی Q در گیت های برگشت پذیر Feynman و Peres به عنوان گیت XOR برای دو ورودی استفاده شود،

با ولتاژ تغذیه ۰/۵ ولت مقدار متوسط توان مصرفی نسبت به مرجع [۱۷] به ترتیب، ۹۹/۹۷٪ و ۹۹/۷۸٪ کاهش داده می‌شود، این نتایج با تنظیم پارامترهای مربوط به ترانزیستورهای اثر میدان نانولوله کربنی مطابق جدول ۳ به دست آمده است.

جدول ۲ - مقایسه گیت‌های AND، NOT و XOR برگشت‌پذیر

متوسط توان مصرفی (W)	تعداد ترانزیستور	ولتاژ تغذیه (ولت)	تکنولوژی	پارامتر مدار دیجیتال	
				گیت NOT	گیت AND
۱۲۴/۰۷۴e-۰۶	۲	۱/۲	-	مرجع [۱۶]	گیت NOT
۳/۴۷۳e-۰۶	۶	۰/۵	CNTFET	Feynman	
۱/۰۸۳e-۰۸	۴	۰/۵	CNTFET	Fredkin	
۱/۱۶e-۰۶	۴	۱	۰/۱۳umCMOS	مرجع [۱۷]	گیت AND
۱/۷۹۵e-۰۸	۴	۰/۹	CNTFET	Fredkin	
۱/۰۵۸e-۰۷	۱۲	۰/۹	CNTFET	Peres	
۱/۲۷۱e-۰۷	۶	۰/۹	CNTFET	Toffoli	
۳۵/۷۱۴e-۰۵	۴	۱	۰/۱۳umCMOS	مرجع [۱۷]	
۷/۹۲۱e-۰۸	۶	۰/۵	CNTFET	Feynman	گیت XOR
۷/۸۲۷e-۰۷	۱۲	۰/۵	CNTFET	Peres	

جدول ۳ - مقادیر پارامترهای قابل تنظیم CNTFET ها

پارامتر	گیت NOT		گیت AND			گیت XOR	
	Feynman	Fredkin	Fredkin	Peres	Toffoli	Feynman	Peres
Vdd(V)	۰/۵	۰/۵	۰/۹	۰/۹	۰/۹	۰/۵	۰/۵
N	۳	۳	۳	۳	۳	۳	۳
Lg(nm)	۳۲	۳۲	۳۲	۳۲	۳۲	۳۲	۳۲
Tox(nm)	۴	۴	۴	۴	۴	۴	۴
Kox	۱۶	۴	۱۶	۱۶	۱۶	۱۶	۱۶
Pitch(nm)	۲۰	۲۰	۲۰	۲۰	۲۰	۲۰	۲۰
Chiral vector	(۳۴ و ۰)	(۴۳ و ۰)	(۴۳ و ۰)	(۴۳ و ۰)	(۴۴ و ۰)	(۳۴ و ۰)	(۴۳ و ۰)

۵- نتیجه‌گیری

با توجه به اینکه در سال‌های اخیر، منطق برگشت‌پذیر به‌عنوان یکی از راهکارهای نوین در طراحی مدارهای دیجیتال کم‌مصرف در مقیاس نانو شناخته شده است، در این مقاله به چگونگی پیاده‌سازی گیت‌های اصلی در مدارهای دیجیتال یعنی AND، NOT و XOR با استفاده از گیت‌های برگشت‌پذیر متداول از جمله Feynman، Fredkin، Peres و Toffoli پرداخته شد، همچنین برای پیاده‌سازی سطح ترانزیستور این گیت‌ها از ترانزیستورهای اثر میدان نانولوله کربنی استفاده شده است. با توجه به این که اگر با ولتاژ تغذیه ۰/۵ ولت، برای ایجاد یک گیت NOT از گیت برگشت‌پذیر Feynman استفاده شود، متوسط توان مصرفی ۹۹/۲۰٪ و با استفاده از گیت برگشت‌پذیر Fredkin، ۹۹/۹۹٪ کاهش داده شده می‌شود. برای گیت AND نیز اگر از گیت‌های برگشت‌پذیر Fredkin، Peres و Toffoli استفاده شود، مقدار متوسط توان مصرفی با ولتاژ تغذیه ۰/۹ به ترتیب ۹۸/۴۵٪، ۸۷/۰۸٪ و ۸۹/۰۴٪ کاهش می‌یابد، همچنین اگر از خروجی Q گیت‌های برگشت‌پذیر Feynman و Peres به‌عنوان گیت XOR برای دو ورودی استفاده شود، با ولتاژ تغذیه ۰/۵ ولت مقدار متوسط توان مصرفی به ترتیب، ۹۹/۹۷٪ و ۹۹/۷۸٪ کاهش داده

می‌شود، تأثیر مطلوب استفاده از گیت‌های برگشت‌پذیر و ترانزیستورهای اثر میدان نانولوله کربنی در کاهش متوسط توان مصرفی چشمگیر است.

۶- مراجع

1. Landauer, R. and J.W. Woo, *Minimal energy dissipation and maximal error for the computational process*. Journal of Applied Physics, 1971. **42**(6): p. 2301-2308.
2. Bennett, C.H., *Logical reversibility of computation*. IBM journal of Research and Development, 1973. **17**(6): p. 525-532.
3. Soeleman, H. and K. Roy. *Ultra-low power digital subthreshold logic circuits*. in *Proceedings of the 1999 international symposium on Low power electronics and design*. 1999. ACM.
4. Moore, G.E., *Cramming more components onto integrated circuits*. Proceedings of the IEEE, 1998. **86**(1): p. 82-85.
5. Singh, R. and M.K. Pandey. *Design and optimization of sequential counters using a novel reversible gate*. in *Computing, Communication and Automation (ICCCA), 2016 International Conference on*. 2016. IEEE.
6. Kumar, Y.P., B. Kariyappa, and M. Kurian. *Implementation of power efficient 8-bit reversible linear feedback shift register for BIST*. in *Inventive Systems and Control (ICISC), 2017 International Conference on*. 2017. IEEE.
7. Garipelly, R., P.M. Kiran, and A.S. Kumar, *A review on reversible logic gates and their implementation*. International Journal of Emerging Technology and Advanced Engineering, 2013. **3**(3): p. 417-423.
8. Gopal, L., et al. *Design and synthesis of reversible arithmetic and Logic Unit (ALU)*. in *2014 International Conference on Computer, Communications, and Control Technology (I4CT)*. 2014. IEEE.
9. Bhagyalakshmi, H. and M. Venkatesha, *An improved design of a multiplier using reversible logic gates*. International journal of engineering science and technology, 2010. **2**(8): p. 3838-3845.
10. Ni, L., et al. *Using new designed NLG gate for the realization of four-bit reversible numerical comparator*. in *2010 International Conference on Educational and Network Technology*. 2010. IEEE.
11. Moaiyeri, M.H., et al., *Design and evaluation of energy-efficient carbon nanotube FET-based quaternary minimum and maximum circuits*. Journal of Applied Research and Technology, 2017. **15**(3): p. 233-241.
12. Haghparast, M. and K. Navi, *Design of a novel fault tolerant reversible full adder for nanotechnology based systems*. World Applied Sciences Journal, 2008. **3**(1): p. 114-118.
13. AnanthaLakshmi, A. and G. Sudha, *Design of a Novel Reversible Full Adder and Reversible Full Subtractor*, in *Advances in Computing and Information Technology*. 2013, Springer. p. 623-632.
14. Naguboina, G.C. and K. Anusudha. *Design and synthesis of combinational circuits using reversible decoder in Xilinx*. in *Computer, Communication and Signal Processing (ICCCSP), 2017 International Conference on*. 2017. IEEE.
15. Mamun, M., S. Al, and D. Menville, *Quantum cost optimization for reversible sequential circuit*. arXiv preprint arXiv:1407.7098, 2014.
16. Touchaee, B.J. and N. Manavizadeh, *An inverter gate design based on nanoscale S-FED as a function of reservoir thickness*. IEEE Transactions on Electron Devices, 2015. **62**(10): p. 3147-3152.
17. Gupta, R., R. Gupta, and S. Sharma. *Performance enhancement of digital gates using threshold logic*. in *Emerging Electronics (ICEE), 2016 1st International Conference on*. 2016. IEEE.