Archive of SID

طراحی جدید برای جمع‌کننده کامل تک بیتی با سرعت بالا و حجم و توان مصرفی پایین در پردازنده‌های سیگنال دیجیتال

مریم کمرزرین[1*]، عباس گلمکانی[2]
۱-دانشجوی دکتری- دانشکده برق و مهندسی پزشکی- دانشگاه صنعتی سجاد- مشهد- ایران
m.kamarzarrin@sru.ac.ir
۲-استادیار- دانشکده برق و مهندسی پزشکی، دانشگاه صنعتی سجاد – مشهد- ایران
golmakani@sadjad.ac.ir

چکیده: مدارات محاسباتی، از جمله جمع‌گرها به عنوان زیرساخت مهمی برای طراحی بسیاری از کاربردها نظیر فیلترهای تطبیقی، مدولاتورها، کنترلرهای منطق فازی به کار می‌آیند، مداراتی که در بسیاری از صنایع از جمله ارتباطات راه دور، صنایع مخابراتی، صنایع نظامی و انتظامی و صنایع پزشکی مورد استفاده قرار می‌گیرند. داشتن یک طراحی ایده‌آل و بهینه به منظور افزایش سرعت عملکرد و کاهش توان مصرفی و سطح گیت اشغالی می‌تواند در جهت رشد و پیشرفت صنایع از اهمیت بالایی برخوردار باشد. در این مقاله با هدف افزایش سرعت و کاهش فضای اشغالی بر روی تراشه، طراحی جدیدی برای جمع‌کننده کامل تک بیتی پیشنهاد شده است، مدار پیشنهادی حداکثر با استفاده از ۱۰ ترانزیستور در تکنولوژی **CMOS 0.18 µm**، پیاده‌سازی شده است. این طراحی در مقایسه با طراحی‌های استاندارد دارای سرعت بالاتر و توان مصرفی کمتری می‌باشد. نکته‌ای که در این طراحی مورد توجه قرار گرفته است حذف تمام گیت‌های **NOT** از مسیر بحرانی است که باعث افزایش سرعت پیاده‌سازی می‌شود، در این روش تعداد و ظرفیت خازن‌های داخلی کاهش می‌یابد علاوه بر آن حذف جریان اتصال کوتاه باعث کاهش مصرف توان می‌شود. نتایج شبیه‌سازی در مقایسه با پیاده‌سازی‌های اخیر برتری‌های آن را نشان می‌دهد. در این مقاله از ولتاژ تغذیه ۱/۸ ولت، دما ۲۷ درجه سانتی‌گراد و گوشه‌ها به طور پیش فرض **TT** استفاده شده است. نرم افزار مورد استفاده در این مقاله **Cadence IC Design** می‌باشد که صرفه جویی در مصرف انرژی را تا میزان ۹٪ نشان می‌دهد.

واژه‌های کلیدی: جمع‌کننده کامل، سرعت بالا، توان مصرفی پایین، کاهش گیت مصرفی، پردازنده‌های سیگنال دیجیتال.

تاریخ ارسال مقاله: ۹۹/۰۳/۰۱
تاریخ پذیرش مقاله: ۹۹/۰۴/۰۶
نام نویسنده مسئول: مریم کمرزرین*

www.SID.ir

Archive of SID

۱- مقدمه

در جهان امروز تکنولوژی اطلاعات امکان سودمندی و کارآمدی اطلاعات را ممکن ساخته است. به‌کارگیری تکنولوژی اطلاعات، تحول گسترده‌ای را در امور اداری و سیستم‌های اطلاعاتی باعث شده است. طوری که امکان انتقال الکترونیکی داده‌ها، مدارک، اسناد و مکاتبات مختلف از طریق کامپیوتر و خطوط ارتباطات مخابراتی فراهم شده است. فناوری اطلاعات که از تلاقی الکترونیک، پردازش داده‌ها و مخابرات حاصل شده است، باعث از میان رفتن فاصله‌ها و در کنار هم قرار گرفتن کامپیوترها و کاربران و همچنین مکانیزه شدن سیستم‌های ارتباطی و افزایش ظرفیت‌های انتقال داده شده است. این امر تمرکززدایی و ایجاد ابر شاهراه و افزایش سرعت و کیفیت تصمیم‌گیری و مدیریت کارا را فراهم ساخته است.

در جایگزینی شیوه‌های سنتی با شیوه‌های جدید مبتنی بر فناوری اطلاعات اولویت با سیستم‌هایی است که تأثیر و نقش بیشتری در بهبود ارائه خدمات به مردم داشته باشند. برای رسیدن به این مهم به پردازنده‌های دیجیتالی سریع‌تر با حافظه‌های قوی‌تر نیاز می‌باشد. یکی از بخش‌های پردازنده‌ای دیجیتالی واحد پردازش مرکزی CPU است، که اجرای مجموعه دستورالعمل‌های یک برنامه رایانه‌ی را بر عهده دارد.

یکی از اجزای اصلی CPU، واحد محاسبه و منطق ALU است که وظیفه انجام عملیات محاسباتی و اعمال منطقی را بر عهده دارد. تمام بخش‌های یک واحد محاسبه و منطق نیاز به عملیات محاسباتی از قبیل جمع کننده‌ها، تفریق‌گرها، ضرب‌کننده‌ها و یا MACها[1] است [۱-۵]. از این رو، طراحی بهینه برای عملیات محاسباتی می‌تواند در پردازنده‌های دیجیتال بسیار حائز اهمیت باشد. مهم‌ترین پارامتر کارآیی، برای پردازنده‌های دیجیتالی سرعت و توان مصرفی است. در این مقاله پیاده‌سازی جدیدی برای جمع‌کننده کامل تک بیتی که یک عملگر محاسباتی است پیشنهاد شده است که عملکردی سریع‌تر و توان مصرفی کمتری نسبت به سایر پیاده‌سازی‌های جمع‌کننده کامل تک بیتی دارد.

ادامه مقاله به شرح زیر می‌باشد، در بخش دوم مسائل مربوط به توان مصرفی در مدارات VLSI مورد بحث قرار می‌گیرد. بخش سوم تعدادی پیاده‌سازی استاندارد برای جمع‌کننده کامل تک بیتی مرور و مقایسه می‌شود. سپس در بخش چهارم، یک پیاده‌سازی جدید از یک تمام جمع‌کننده تک بیتی پیشنهاد می‌شود و عملکرد آن مورد تحلیل قرار می‌گیرد. سپس در بخش پنجم، نتایج شبیه‌سازی ارائه خواهد شد که برتری پیاده‌سازی پیشنهادی را نشان می‌دهد.

۲ - توان مصرفی در مدارات VLSI

سه جزء اصلی محاسبات توان مصرفی در مدارات دیجیتال VLSI شامل موارد زیر می‌باشد:

۱) توان سوئیچینگ[2]: توان مصرفی در طول زمان شارژ و دشارژ خازن‌های مدار در زمان سوئیچینگ ترانزیستور.
۲) توان اتصال کوتاه[3]: توان مصرفی ناشی از جریان اتصال کوتاه از منبع تغذیه تا زمین در هنگام سوئیچینگ ترانزیستور.
۳) توان استاتیکی[4]: توان مصرفی ناشی از جریان‌های استاتیکی و نشتی هنگامی که مدار در حالت پایدار (استاتیکی) قرار دارد [۶].

دو مؤلفه اول به عنوان توان دینامیکی (پویا) تعریف می‌شوند زیرا در این شرایط مدار در حال تغییر است و انرژی به صورت پویا مصرف می‌شود. توان دینامیکی بیشترین توان مصرفی را در مدارات دیجیتال VLSI به خود اختصاص می‌دهد. توان دینامیکی به الگوی ورودی اعمال شده به مدار بستگی دارد، این امر باعث می‌شود ترانزیستورها سوئیچ کرده و وضعیت قبلی خود را بدون مصرف توان در هر سیکل ساعت حفظ کنند. سومین پارامتر توان استاتیکی است، در یک طراحی CMOS خوب معمولاً مقدار ناچیزی می‌باشد [۷].

توان کل توسط معادله زیر محاسبه می‌شود [۷]:

(۱)

$$P_{total} = Vdd \times f_{clk} \times \sum_i V_{swing} \times C_{load} \times P_i + V_{dd} \times \sum_i I_{isc} + V_{dd} \times I_l$$

جایی که

V_{dd}: ولتاژ منبع تغذیه

V_{swing}: ولتاژ سوئینگ خروجی

(در حالت ایده آل برابر V_{dd} می‌باشد).

C_{load} : ظرفیت خازن گره i

f_{clk} : فرکانس ساعت سیستم

P_i : توان سوئیچینگ گره i

I_{isc} : جریان اتصال کوتاه گره i

I_l : جریان نشتی است.

[1] Multiply and accumulate (MAC)

[2] Switching Power
[3] Short-Circuit Power
[4] Static Power

www.SID.ir

Archive of SID

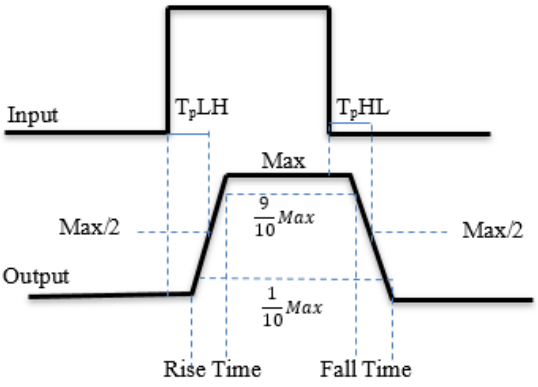
با افزایش مداوم فرکانس کلاک سیستم، به علت سطح‌بندی‌های مجزا برای سیستم‌های مختلف، طراحی سیستم‌ها با مصرف توان کم کار ساده‌ای نمی‌باشد. بر این اساس از شروع توضیحات رفتاری طراحی تا پایان مراحل ساخت و عملیات بسته بندی، تمام مراحل می‌تواند بر مبنای توان مصرفی کم تنظیم و طراحی گردد.

پارامترهای مهم در طراحی مدارات دیجیتال VLSI بررسی زمان صعود[5]، زمان نزول[6]، میانگین توان مصرفی[7] و تأخیر انتشار[8]، PDP[9] و EDP[10] می‌باشند. روابط میانگین توان مصرفی و تأخیر انتشار به ترتیب در (۲) و (۳) آورده شده است شکل (۱) تعریف زمان صعود و زمان نزول در دو سیگنال ورودی و خروجی را نمایش می‌دهد [۸].

$$\boldsymbol{Average\ Power} = \frac{\boldsymbol{1}}{\boldsymbol{T}}\int_0^T \boldsymbol{I \times V dt} \qquad (۲)$$

$$\boldsymbol{Delay} = \frac{\boldsymbol{T_pLH + T_pHL}}{\boldsymbol{2}} \qquad (۳)$$

در این مقاله، توان مصرفی بهینه و کاهش تعداد ترانزیستورهای موجود در مدار به عنوان هدف اصلی طراحی مورد توجه قرار گرفته شده است. کاهش تعداد و اندازه ظرفیت خازن‌های مدار، کاهش سوئینگ ولتاژ (نوسانات ولتاژ) در بعضی از گره‌های داخلی و کاهش لحظه گذرا در سیگنال خروجی برخی از تکنیک‌هایی است که در سطح مدار برای کاهش توان مصرفی استفاده شده است.



شکل (۱) تعریف زمان‌های صعود و نزول و TpLH و TpHL بر روی سیگنال ورودی و خروجی [۸].

۳ – پیاده‌سازی استاندارد مدار جمع‌کننده کامل تک بیتی

عملکرد مدار جمع‌کننده کامل تک بیتی می‌تواند در معادلات (۴) خلاصه شود. با تعریف سه ورودی تک بیتی A، B و Cin قادر است دو خروجی تک بیتی Sum و Cout را تولید کند [۹].

$$\boldsymbol{Sum} = (\boldsymbol{A\ XOR\ B})\boldsymbol{XOR\ C_{in}} \qquad (۴)$$

$$\boldsymbol{C_{out}} = \boldsymbol{A.B + C_{in}(A\ XOR\ B)}$$

شکل ۲ (الف) مدار جمع‌کننده کامل تک بیتی را نشان می‌دهد که از گیت‌های انتقالی جمع‌کننده (TGA) برای پیاده‌سازی استفاده شده است، مبنای طراحی استفاده از گیت‌های عبوری CMOS است و شامل ۲۰ ترانزیستور می‌باشد [۱۰]. شکل ۲ (ب) مدار جمع‌کننده کاملی است که از توابع انتقال با ۱۶ ترانزیستور تشکیل شده است (TFA)[۱۰].

اگر خروجی گیت A XOR B را در جمع‌کننده کامل شکل ۲ (الف) H بنامیم، خروجی تابع XNORمقدار $\bar{H}$ تعریف می‌شود. هر دو تابع H و $\bar{H}$ در تولید گیت‌های انتقال برای ساخت sum و Cout مورد استفاده قرار می‌گیرند. اینورتر، تأخیر ناخواسته بین H و $\bar{H}$ را معرفی می‌کند که به سمت همپوشانی 0-0 یا 1-1 سوق داده می‌شود. این همپوشانی باعث خواهد شد گیت های انتقال به صورت ترانزیستورهای عبوری عمل کنند، که ممکن است باعث ایجاد glitch (انتقال‌های مبهم) در سیگنال خروجی شود. سیگنال‌های خطا (glitch) ناشی از تاخیرات ناخواسته باعث افزایش توان مصرفی خواهند شد. علاوه بر این، در طراحی با ساختار TGA از چهار اینورتر استفاده شده است در حالی که در طراحی TFA دو اینورتر به کار رفته است. هنگامی دو ترانزیستور N و P روشن می‌شوند یک جریان اتصال کوتاه از تغذیه تا زمین ایجاد می‌شود که باعث افزایش توان مصرفی می‌گردد، نتیجه ثابت کرده است که طراحی TFA نسبت به TGA به لحاظ کاهش مصرف توان عملکرد بهتری داشته است [۷]، [۱۰].

در طراحی شکل ۳ توان مصرفی با استفاده از پیاده‌سازی گیت XOR توسط ۴ ترانزیستور کاهش می‌یابد. با توجه به اینکه در این طراحی از یک اینورتر استفاده شده است تأثیرات glitch در خروجی مشاهده می‌شود. همچنین مشکل مصرف توان استاتیکی در خروجی اینورتر وجود دارد. زمانی هر دو ترانزیستور N و P روشن هستند و A=B=0 است به دلیل وجود ولتاژ سوئینگ گیت XOR (جریان عبوری از ترانزیستور N بسیار ضعیف است) یک جریان از منبع تغذیه تا زمین ایجاد می‌شود.

[5] Rise time
[6] Fall Time
[7] Average Power
[8] Propagation Delay
[9] Power Delay Product
[10] Energy Delay Product

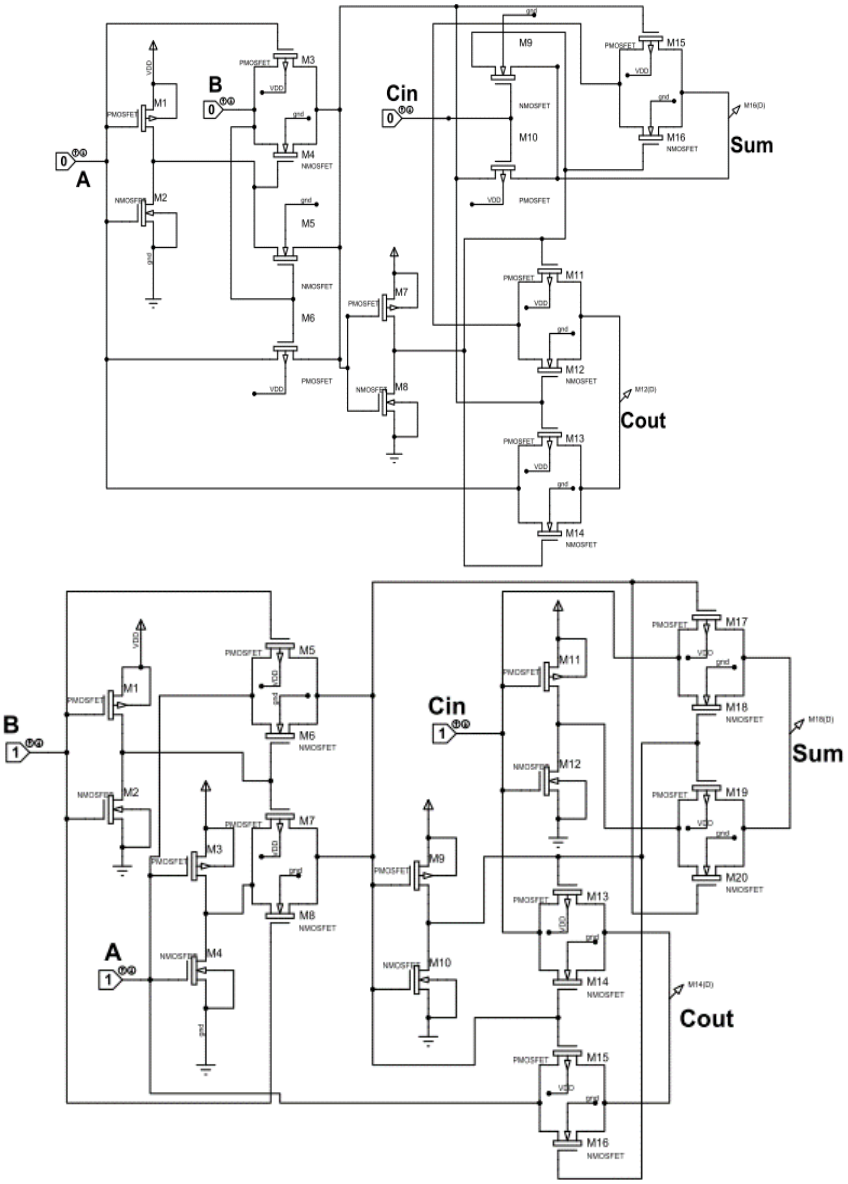
www.SID.ir

Archive of SID

اگر چه مدار در حالت پایدار قرار دارد ولی این اشکال باعث ایجاد توان استاتیکی در مدار می‌شود. در حالی که به دلیل پیاده‌سازی این طراحی، تنها با ۱۴ ترانزیستور هنوز هم کاندیدای مناسبی برای برنامه‌های کم مصرف می‌باشد.

تعداد جمع کننده‌های ارائه شده در [۱۱] از ۱۰ تا ۲۸ ترانزیستور متغیر است که در مجموع دارای عملکرد ضعیف‌تری می‌باشند. در طراحی ارائه شده در [۷] که در شکل ۴ مشاهده می‌شود تمام اینورترهای مدار حذف شده است. در حالی که تعداد ترانزیستورهای مورد استفاده از ۱۴ عدد به ۱۶ عدد افزایش یافته است که خود باعث افزایش توان مصرفی و فضای اشغالی شده است. در شکل ۵ و ۷ طراحی‌ها دارای ۱۰ ترانزیستور می‌باشند و از گیت اینورتر استفاده نشده است اما نتایج شبیه سازی، عملکرد ضعیف‌تری را برای این مدارات نشان می‌دهد. برای طراحی مدار نشان داده شده در شکل ۶ در مجموع از ۱۲ ترانزیستور استفاده شده است و به سه گیت اینورتر نیاز می‌باشد که در مقایسه با طراحی‌های مورد بحث به نسبت توان مصرفی بالاتر و تأخیر بیشتری دارد.

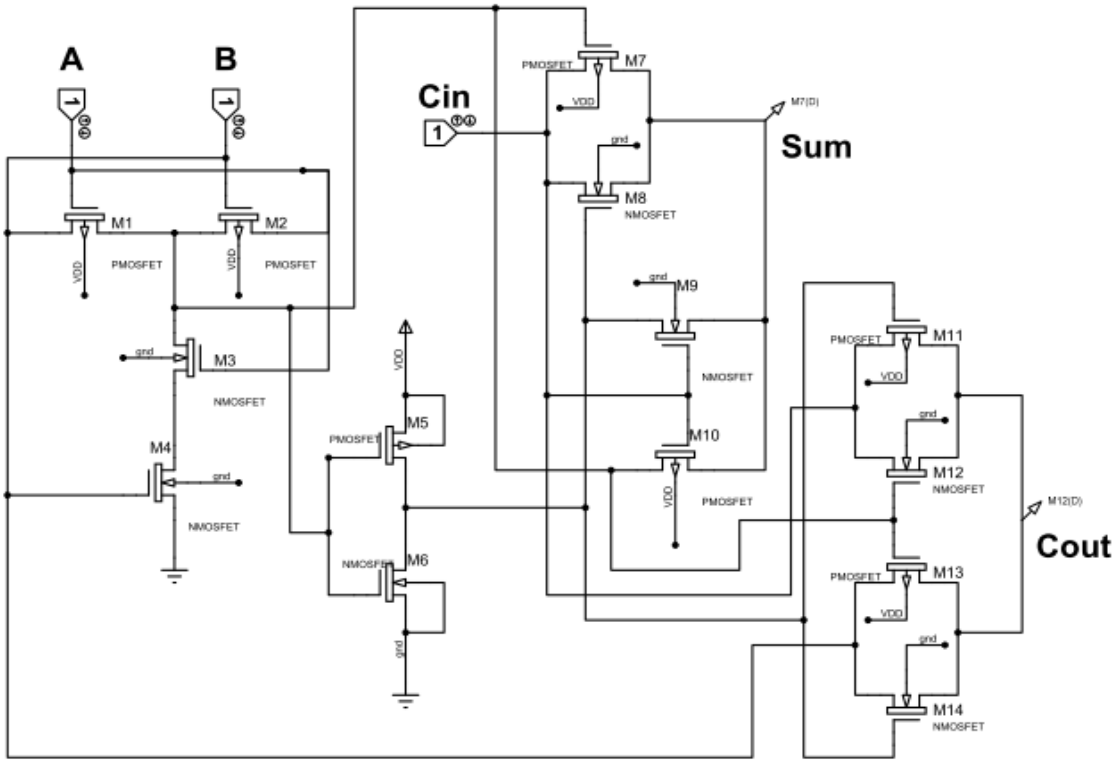
در این مقاله، بر آن شدیم مداری طراحی کنیم که با توجه به اینکه تمام اینورترهای مدار حذف شده است تعداد ترانزیستورهای مدار نیز کاهش یابد. در ادامه عملکرد مدار پیشنهادی با مدارات اخیر مورد مقایسه و تحلیل قرار گرفته شده است.



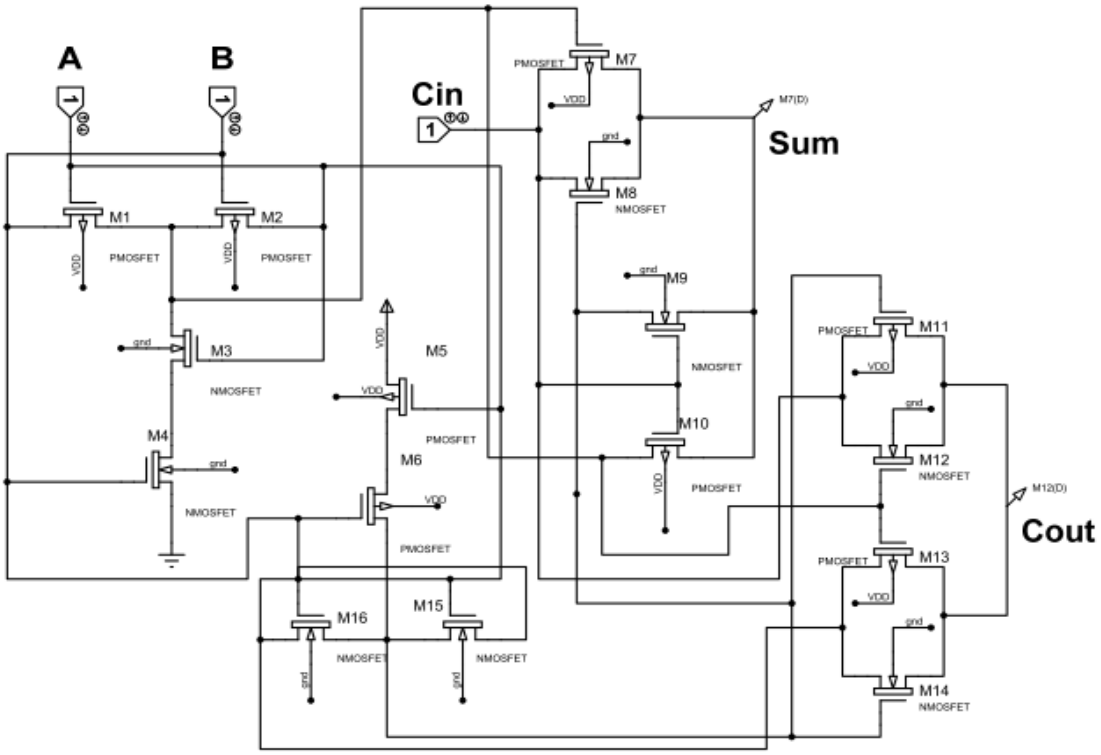
شکل (۲) جمع کننده‌های کامل تک بیتی (الف) جمع‌کننده کامل TGA (ب) جمع‌کننده کامل با توابع انتقال TFA- *Adder 1* [۱۰]

www.SID.ir

Archive of SID



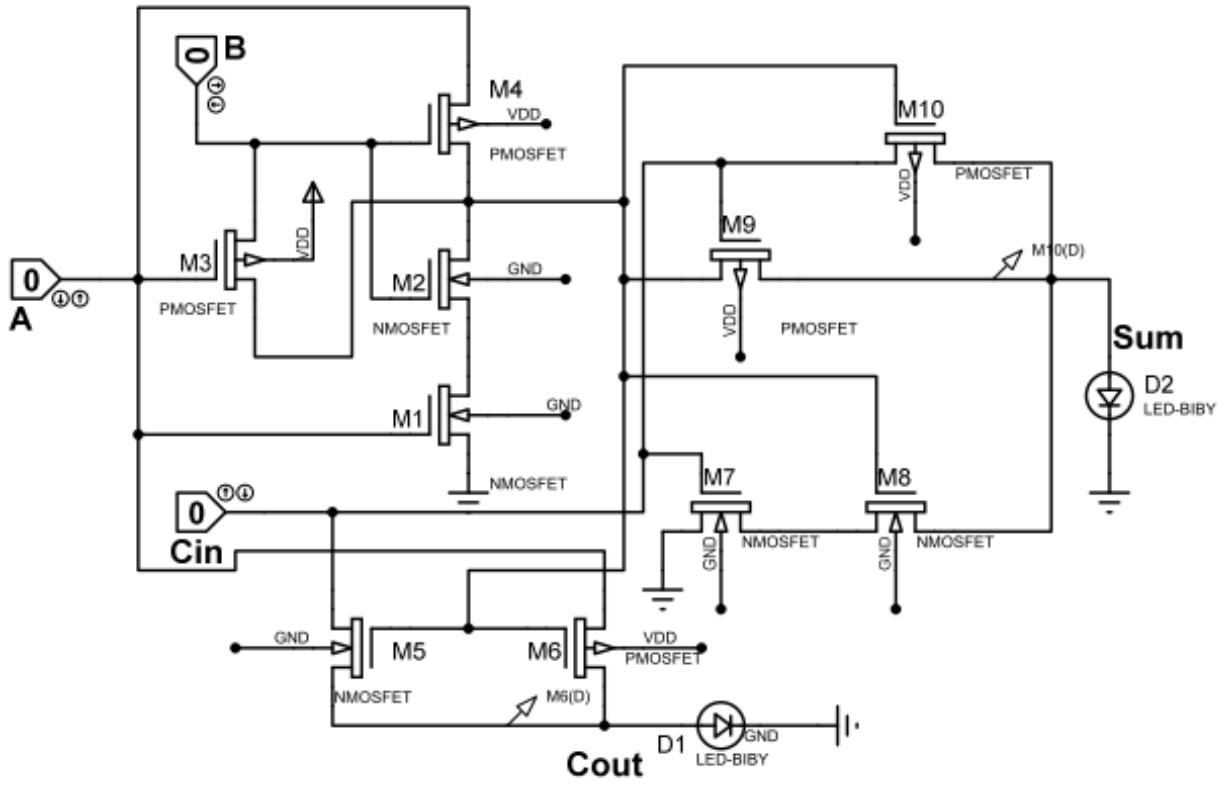
شکل (۳) جمع‌کننده کامل تک بیتی با ۱۴ ترانزیستور و یک اینورتر *adder 2* [۷]



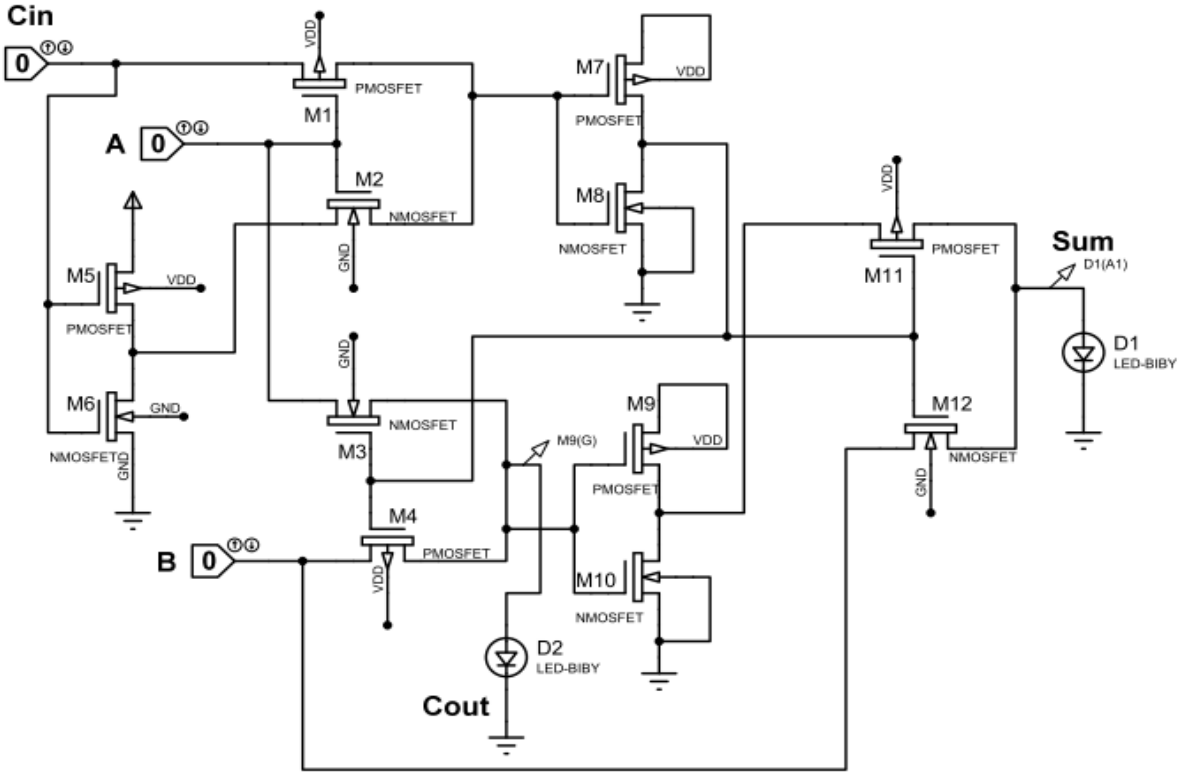
شکل (۴) جمع‌کننده کامل تک بیتی با ۱۶ ترانزیستور و بدون استفاده از اینورتر *adder 3* [۷]

www.SID.ir

Archive of SID



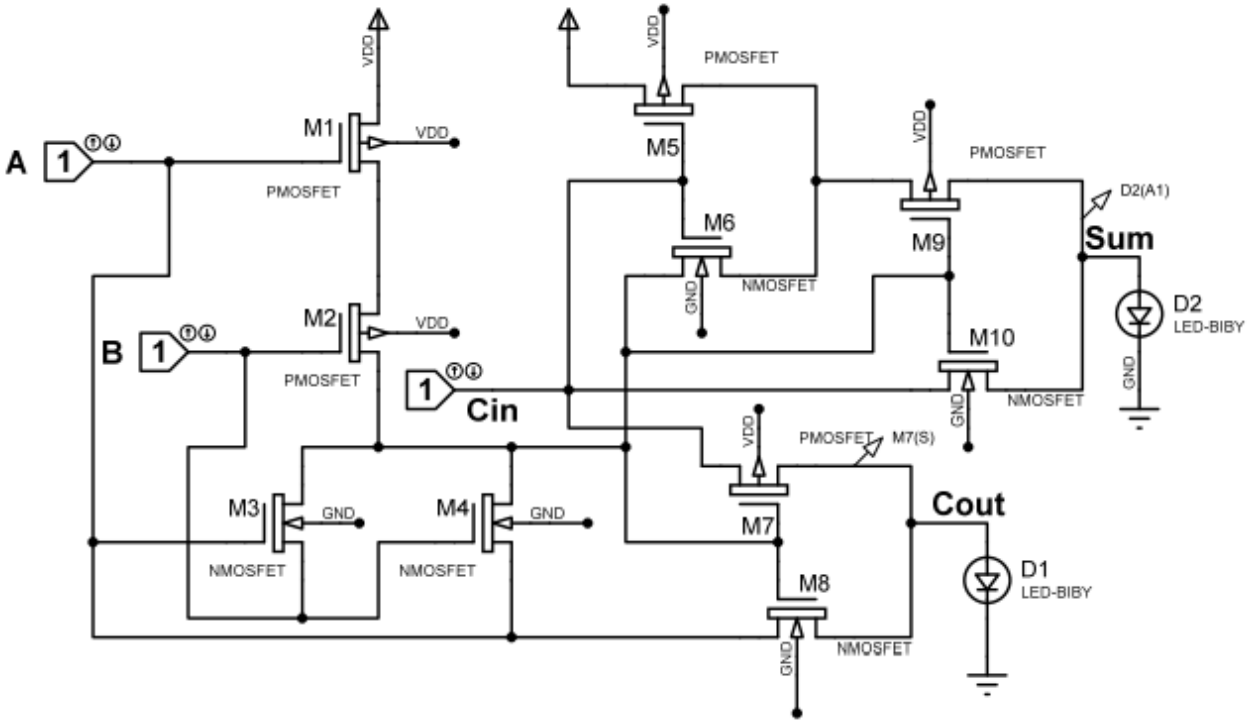
شکل (۵) جمع‌کننده کامل تک بیتی با ۱۰ ترانزیستور و بدون استفاده از اینورتر *adder4* [۱۲]



شکل (۶) جمع‌کننده کامل تک بیتی با ۱۲ ترانزیستور و سه اینورتر *adder 5* [۱۳]

www.SID.ir

Archive of SID



شکل (۷) جمع‌کننده کامل تک بیتی با ۱۰ ترانزیستور و بدون استفاده از اینورتر *adder6* [۱۴]

۵ – مدار پیشنهادی جمع‌کننده کامل تک بیتی

در این پیاده‌سازی از دو گیت XOR برای طراحی Sum و یک ترانزیستور NMOS و یک ترانزیستور PMOS برای طراحی Cout استفاده شده است. مدار پیشنهادی در شکل ۸ نمایش داده شده است. مشخصات ترانزیستورهای NMOS و PMOS به ترتیب در زیر آورده شده است.

$$(\frac{W}{L})_{NMOS} = \frac{250}{180}$$
$$C_{j-NMOS} = 1.00027m$$
$$t_{ox-NMOS} = 4.08n$$
$$(\frac{W}{L})_{PMOS} = \frac{750}{180}$$
$$C_{j-PMOS} = 1.121m$$
$$t_{ox-PMOS} = 4.08n$$

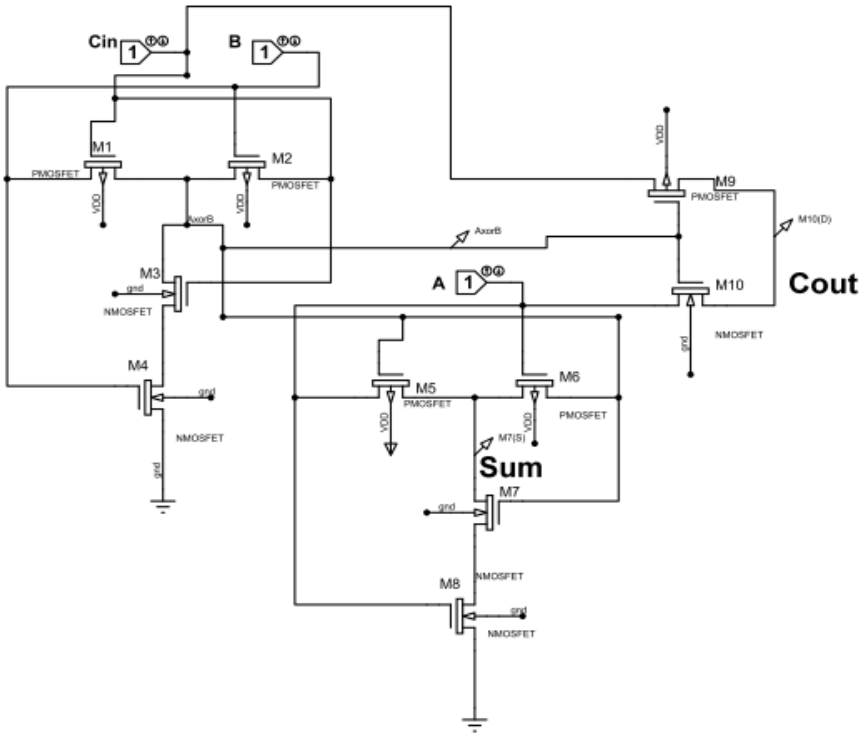
در طراحی این مدار بدون نیاز به ورودی‌های معکوس خروجی گیت XOR تولید می‌شود. این سبک جدید دارای چندین مزیت است، در ابتدا مدار اینورتر در مسیر بحرانی طراحی حذف می‌شود که باعث کاهش تأخیر در پیاده‌سازی می‌شود، به گونه‌ای که تولید خطاهای glitch در خروجی کمتر مشاهده می‌شود. همچنین ظرفیت خازن در خروجی گیت XOR به علت اینکه اینورتری وجود ندارد و باری برای آن در نظر گرفته نمی‌شود کاهش می‌یابد. جریان اتصال کوتاه در درون مدار از بین می‌رود و توان تلفاتی تقلیل می‌یابد. سرانجام ولتاژ سوئینگ معیوب در خروجی گیت XOR برای بعضی از ترکیبات ورودی باعث کاهش توان مصرفی در ترانزیستورها می‌شود (ولتاژ سوئینگ در این حالت کمتر از V_{dd} می‌باشد). بر این اساس پیاده‌سازی پیشنهادی توان مصرفی کمتری نسبت به سایر جمع کننده‌هایی که اخیراً بحث شده است خواهد داشت.

در این مدار برای تولید بیت نقلی[11] از دو ترانزیستور استفاده شده است که در توضیح عملکرد آن می‌توان به جدول صحت یک تمام جمع‌کننده کامل تک بیتی (۱) اشاره کرد، هنگامی که دو ورودی B و Cin با یکدیگر XOR می‌شوند قادر خواهند بود به عنوان یک ورودی کنترل کننده گیت ترانزیستور مورد استفاده قرار بگیرند. با صفر شدن مقدار خروجی تابع XOR مقدار ورودی Cin در خروجی دیده می‌شود. با یک شدن تابع XOR مقدار ورودی A در خروجی مشاهده می‌شود در نتیجه می‌توان با دو ترانزیستور PMOS و NMOS مقدار بیت نقلی مورد نظر را تولید کرد. نتایج و تجزیه تحلیل مدار پیشنهادی با استفاده از شبیه ساز Cadence IC Design در بخش بعدی آورده شده است.

[11] Cout

www.SID.ir

Archive of SID



شکل (۸) جمع‌کننده کامل تک بیتی پیشنهادی با ۱۰ ترانزیستور بدون استفاده از اینورتر.

جدول (۱) : جدول صحت یک جمع‌کننده کامل تک بیتی.

Cin	*B*	*A*	*Cout*	*Sum*
0	*0*	*0*	*0*	*0*
0	*0*	*1*	*0*	*1*
0	*1*	*0*	*0*	*1*
0	*1*	*1*	*1*	*0*
1	*0*	*0*	*0*	*1*
1	*0*	*1*	*1*	*0*
1	*1*	*0*	*1*	*0*
1	*1*	*1*	*1*	*1*

۴ – نتایج شبیه‌سازی

در این مقاله طراحی TGA، TFA، جمع‌کننده کامل ۱۴ ترانزیستوری با یک اینورتر، جمع‌کننده کامل ۱۶ ترانزیستوری بدون اینورتر، جمع‌کننده کامل ۱۲ ترانزیستوری با ۳ اینورتر و دو جمع کننده کامل ۱۰ ترانزیستوری بدون اینورتر با مدار پیشنهادی مورد مقایسه قرار گرفته شده است. تکنولوژی مورد استفاده $0.18\mu m$ می‌باشد و از نرم افزار Cadence IC Design برای شبیه‌سازی استفاده شده است. سه پورت ورودی و دو پورت خروجی برای مدار در نظر گرفته شده است که ساختار شبیه‌سازی مدار را واقع‌بینانه و مناسب‌تر می‌کند. تأخیر پیاده‌سازی از لحظه‌ای که ورودی‌ها به مدار اعمال می‌شوند تا زمانی که به ٪۵۰ سیگنال خروجی برسد مورد بررسی قرار گرفته شده است. تأخیر در همه ترانزیستورها با ترکیب ورودی‌های مختلف ارزیابی شد و حداکثر گزارش تأخیر بدست آمده است.

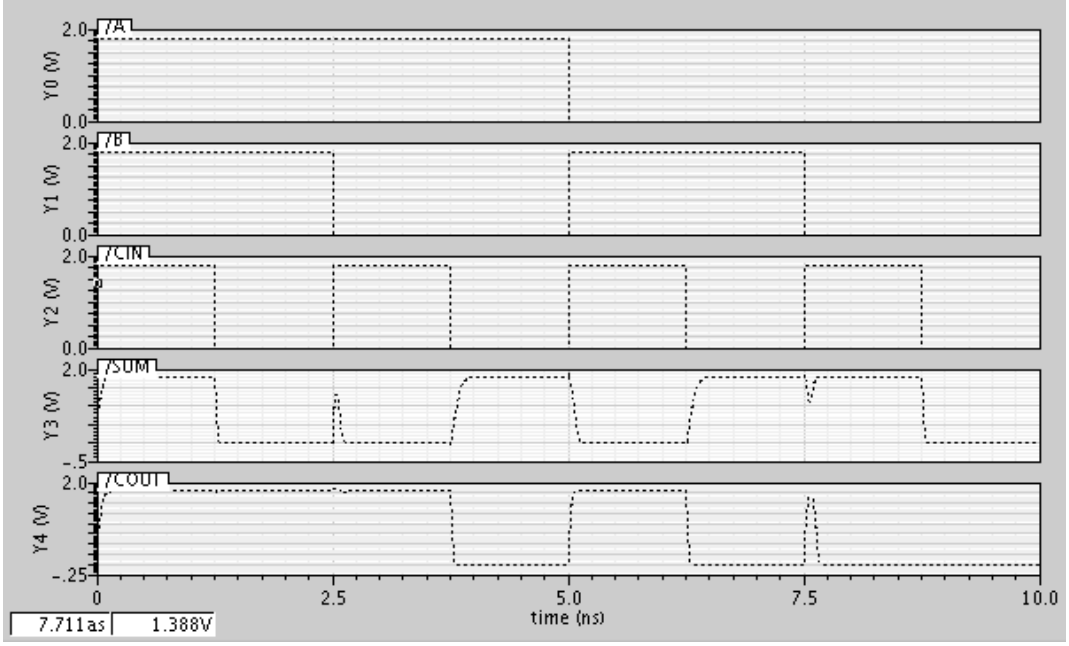
برای اندازه‌گیری توان مصرفی از الگویی که به صورت تصادفی داده‌ها را برای ورودی تولید می‌کند، در یک دوره زمانی طولانی استفاده شده است و نتایج در جدول ۲ گزارش شده است. فرکانس کاری ۰/۱ گیگاهرتز و ولتاژ تغذیه ۱/۸ ولت در نظر گرفته شده است. نتایج سیگنال‌های ورودی و خروجی در حوزه زمان در شکل ۹ نمایش داده شده است. محور عمودی بر مبنای مقدار ولتاژ می‌باشد و سه شکل موج A، B و CIN ورودی‌های مدار و دو شکل موج SUM و COUT خروجی‌های مدار را نشان می‌دهند.

مدار پیشنهادی به ترتیب ٪۸۳، ٪۷۱، ٪ ۲۸، ٪۸، ٪۷۵ و ٪۱۳ توان کمتری را نسبت به Adder1 تا Adder6 مصرف می‌کند. حاصل‌ضرب توان و زمان تأخیر تعیین کننده انرژی PDP می‌باشد که با توجه به نتایج بدست آمده مدار پیشنهادی به ترتیب ٪۸۷، ٪۷۱، ٪۴۲، ٪۸، ٪۷۵ و ٪۱۴ انرژی بیشتری را نسبت به Adder1 تا Adder6 ذخیره می‌کند. از لحاظ سرعت پردازش نیز مدار پیشنهادی به ترتیب ٪۲۶، ٪۱/۸، ٪۲۰، ٪۰/۳۴، ٪۲ و ٪۰/۶ سریع‌تر از Adder1 تا Adder6 می‌باشد.

www.SID.ir

Archive of SID

مدار پیشنهادی به ترتیب ٪۸۳، ٪۷۱، ٪ ۲۸، ٪۸، ٪۷۵ و ٪۱۳ توان کمتری را نسبت به Adder1 تا Adder6 مصرف می‌کند. حاصل‌ضرب توان و زمان تأخیر تعیین کننده انرژی PDP می‌باشد که با توجه به نتایج بدست آمده مدار پیشنهادی به ترتیب ٪۸۷، ٪۷۱، ٪۴۲، ٪۸، ٪۷۵ و ٪۱۴ انرژی بیشتری را نسبت به Adder1 تا Adder6 ذخیره می‌کند. از لحاظ سرعت پردازش نیز مدار پیشنهادی به ترتیب ٪۲۶، ٪۱/۸، ٪۲۰، ٪۰/۳۴، ٪۲ و ٪۰/۶ سریع‌تر از Adder1 تا Adder6 می‌باشد.



شکل (۹) نتایج سیگنال‌های ورودی و خروجی تمام جمع‌کننده کامل تک بیتی پیشنهادی

جدول (۲) نتایج شبیه‌سازی جمع کننده‌های کامل تک بیتی.

		*Average power*e-6*	*Delay*e-12*	*PDP*e-18*	*EDP*e-30*
Adder1	*20T-4NOT[10]*	*-12.57*	*15.69*	*197.2233*	*3094.43358*
Adder2	*14T-1NOT[7]*	*-7.31*	*11.68*	*85.3808*	*997.247744*
Adder3	*16T-0NOT[7]*	*-2.92*	*14.36*	*41.9312*	*602.132032*
Adder4	*10T-0NOT[12]*	*-2.30*	*11.50*	*26.45*	*304.175*
Adder5	*12T-3NOT[13]*	*-8.52*	*11.77*	*100.28*	*1180.3*
Adder6	*10T-0NOT[14]*	*-2.44*	*11.53*	*28.1332*	*324.3758*
Proposed	*10T-0NOT*	*-2.10*	*11.46*	*24.13476*	*276.58435*

۶- نتیجه‌گیری

در این مقاله پیاده‌سازی برای یک مدار جمع‌کننده کامل تک بیتی کم مصرف پیشنهاد شد. مدار پیشنهادی برتری خود را در مصرف انرژی و تأخیر کمتر نشان می‌دهد. با توجه به معیار EDP که حاصل‌ضرب زمان تأخیر در انرژی تعریف شده است می‌توان پیشرفت مدار پیشنهادی را به ترتیب ٪۹۱، ٪۷۲، ٪۵۴، ٪ ۹، ٪۷۶ و ٪۱۴ در مقایسه با Adder های ۱ تا ۶ دانست. همچنین سرعت و توان مصرفی مدار پیشنهادی در ساختارهای بزرگ‌تر نیز تایید شده است. در یک جمع‌کننده با ساختار آبشاری سیگنال‌ها هنگام عبور از مسیر سری تضعیف می‌شوند، اضافه کردن بافر در زمان‌هایی که سیگنال تضعیف شده است، یک ایده پیشنهادی است. هنگام استفاده از جمع کننده‌های آبشاری بهتر است بعد از هر چهار جمع‌کننده از یک بافر استفاده شود تا سیگنال تضعیف شده تقویت شود، اما باید توجه داشت که بافر باعث افزایش توان مصرفی می‌شود و هنگام استفاده باید ملاحظات لازم صورت گیرد.

www.SID.ir

Archive of SID

مراجع

[1] Javadi, Mohamad Haji Seyed, Mohammad Hossein Yalame, and Hamid Reza Mahdiani. "Small Constant Mean-Error Imprecise Adder/Multiplier for Efficient VLSI Implementation of MAC-based Applications." *IEEE Transactions on Computers, (*2020).

[2] Sari, Linda Kartika, and Trio Adiono. "Fully Combinational 8× 8 Bits Multiplier Using 130 nm Technology." *2019 International Conference on Electrical Engineering and Informatics (ICEEI)*. *IEEE*, (2019).

[3] Mohanty, Basant Kumar. "Parallel VLSI Architecture for Approximate Computation of Discrete Hadamard Transform." *IEEE Transactions on Circuits and Systems for Video Technology*, (2020).

[4] Da Silva, Rafael, Ícaro Siqueira, and Mateus Grellert. "Approximate interpolation filters for the fractional motion estimation in HEVC encoders and their VLSI design." *Proceedings of the 32nd Symposium on Integrated Circuits and Systems Design*, (2019).

[5] Ferreira, Rafael, et al. "Approximate Subtractor Operator for Low-Power Video Coding Hardware Accelerators." *2019 26th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*. IEEE, (2019).

[6] Parveen, A., and T. Tamil Selvi. "Power Efficient Design of Adiabatic Approach for Low Power VLSI Circuits." *2019 Fifth International Conference on Electrical Energy Systems (ICEES)*. IEEE, (2019).

[7] Shams, Ahmed M., and Magdy A. Bayoumi. "A novel high-performance CMOS 1-bit full-adder cell." *IEEE Transactions on circuits and systems II: Analog and digital signal processing* 47.5 (2000) : 478-481.

[8] Ismail, Yehea I., and Eby G. Friedman. "Effects of inductance on the propagation delay and repeater insertion in VLSI circuits." *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 8.2 (2000) : 195-206.

[9] Mono, M. Morris, and M. D. Ciletti. "Digital design *Fourth* Edition." (2007).

[10] Ahmed, Rekib Uddin, and Prabir Saha. "Implementation Topology of Full Adder Cells." *Procedia Computer Science* 165 (2019) : 676-683.

[11] Chang, Chip-Hong, Jiangmin Gu, and Mingyan Zhang. "A review of 0.18-/spl mu/m full adder performances for tree structured arithmetic circuits." *IEEE Transactions on very large scale integration (VLSI) systems* 13.6 (2005) : 686-695.

[12] Dokania, Vishesh, et al. "Design of 10T full adder cell for ultralow-power applications." *Ain Shams Engineering Journal* 9.4 (2018) : 2363-2372.

[13] Lin, Jin-Fa, Yin-Tsung Hwang, and Ming-Hwa Sheu. "Low power 10-transistor full adder design based on degenerate pass transistor logic." *2012 IEEE International Symposium on Circuits and Systems*. IEEE, (2012).

[14] Lin, Jin-Fa, et al. "A novel high-speed and energy efficient 10-transistor full adder design." *IEEE Transactions on Circuits and Systems I: Regular Papers* 54.5 (2007) : 1050-1059.

www.SID.ir