طراحی مدولاتور دلتا سیگمای متعامد پهن‌باند برای گیرنده سیستم‌های موقعیت یاب ماهواره‌ای

علیرضا شمسی[۱]، کیومرث لیاقت[۲]
۱- استادیار، دانشکده مهندسی برق- دانشگاه علوم و فنون هوایی شهید ستاری- تهران- ایران
alireza.shamsi@ssau.ac.ir
۲- مربی، دانشکده مهندسی برق- دانشگاه علوم و فنون هوایی شهید ستاری- تهران- ایران
kliaghat87@gmail.com

چکیده: در این مقاله یک مبدل آنالوگ به دیجیتال دلتا سیگمای مرتبه سه متعامد زمان پیوسته پهن باند با کوانتایزر ۳ بیتی برای گیرنده دو کاناله سیستم تعیین موقعیت ماهواره‌ای ***(GNSS)*** در مدهای مختلف طراحی شده است. مدولاتور پیشنهادی با ساختار ***FF*** طراحی شده است. در ساختار***FF*** دوجمع کننده قبل از کوانتایزر قرار دارند که در روش طراحی پیشنهادی حذف شده‌اند و این عمل موجب کاهش تعداد آپ‌امپ‌ها شده و باعث کاهش مصرف توان کلی مدولاتور نیز می‌شود. مدولاتور پیشنهادی در مقایسه با مدولاتورهای مشابه و با پهنای باند یکسان، مرتبه کمتری دارد و در نتیجه از پایداری نسبی بیشتری برخوردار است و همچنین تعداد آپ‌امپ‌های کمتری دارد که پیش‌بینی می‌شود مصرف توان کمتری داشته باشد. این مدولاتور سه بیتی قادر است دو کانال مجزا با عرض باندهای متفاوت و در مدهای مختلف تا پهنای باند ۳۳ مگاهرتز را با نرخ سیگنال به نویز ۶۴٫۸ دسیبل بطور همزمان به دیجیتال تبدیل کند.

واژه‌های کلیدی: مدولاتور دلتا سیگمای متعامد، سیستم تعیین موقعیت، گیرنده Low-IF، پهن باند

تاریخ ارسال مقاله: ۹۹/۰۸/۲۹
تاریخ پذیرش مقاله: ۹۹/۱۱/۲۰
نام نویسنده مسئول: علیرضا شمسی

www.SID.ir

مقدمه

سیستم تعیین موقعیت ماهواره‌ای به طور فزاینده‌ای در هدایت بسیاری از تجهیزات نیروهای نظامی و انتظامی بکار می‌رود. بخش گیرنده این سیستمها و بخصوص مبدل آنالوگ به دیجیتال آنها یکی از بخش‌های مهم این سیستمها است که تلاش شده سرعت و کارآیی آن ارتقا داده شود[۱]. ساختار گیرنده Low-IF بدلیل عدم تاثیر آفست DC و تضعیف نویز 1/f در این گیرنده بکار رفته است [۲, ۳]. بخش پیشانی این گیرنده کانال‌های مختلف با فرکانس‌ها و پهنای باند گوناگون را دریافت و به باند پایه مورد نظر منتقل می نماید تا توسط مدولاتور به دیجیتال تبدیل شود[۴, ۵]. با طراحی یک مبدل آنالوگ به دیجیتال (ADC)[1] با پهنای باند ۳۳ مگا هرتز و نرخ سیگنال به نویز کافی می توان زوج کانال‌های مختص گیرنده GNSS[2] که در جدول ۱ نشان داده شده است را به دیجیتال تبدیل نمود [۶].

مبدل آنالوگ به دیجیتال دلتا سیگمای زمان پیوسته بدلیل فیلتر ضد تداخل ذاتی و مصرف توان بهینه [۷] برای این تبدیل مناسب می‌باشد. برای دریافت دو کانال، ساختاری متشکل از دو بخش مجزا از گیرنده و مبدل آن در مراجع [۸] و [۹] ارائه شده که به کار گیری سخت افزار زیاد در این ساختار موجب اشغال سطح تراشه بیشتر شده است. مدولاتور ارائه شده در مراجع [۲] و [۱۰] با ساختار FB[3] و در دو حالت باند باریک و پهن باند برای دو باند مختلف طراحی شده‌اند بطوریکه که با خاموش و روشن کردن بلوک‌های مختلف مدولاتور و بخش‌هایی از آپ امپها توسط سوییچ‌های تعبیه شده، در دو حالت باند باریک و پهن باند کار کرده و در هر لحظه یک باند را به دیجیتال تبدیل می کند. در ساختار فیدبک سوئینگ آپ امپها بیشتر از ساختار FF بوده و مصرف توان نیز بیشتر است[۱۲].

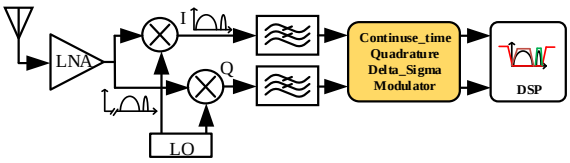
جدول (۱) : زوج کانالهایی که گیرنده با مبدل پیشنهادی قادر به دریافت آنها است.

Mode		Operating frequency (MHz)	BW (MHz)	Overall BW (MHz)
1	GPSL1(Galileo E1)	1575.42	2.2	32.68
	GLONASS L1	1602	10	
2	GPS L1(Galileo E1)	1575.42	2.2	17.52
	Compass B1	1561.1	4.2	
3	GPS L1(Galileo E1)	1575.42	18	25.42
	Compass B1	1561.1	4.2	
4	GPS L2	1227.6	18	31.4
	GLONASS L2	1246	8	
5	GPS L2	1227.6	18	31.56
	Compass B2 (Galileo E5b)	1207.14	4.2	

[1] Analog to Digital Converter
[2] Global Navigation Satellite Systems
[3] Feedback

در مرجع [۶] یک مدولاتور پهن باند مرتبه ۴ با فرکانس نمونه برداری ۴۶۰ مگاهرتز طراحی شده است که با توجه به زیاد بودن مرتبه مدولاتور، احتمال ناپایداری آن نیز بیشتر است.

در تحقیق حاضر یک مدولاتور زمان پیوسته پهن باند مرتبه ۳ طراحی شده است بطوری‌که بتواند دو کانال مجزا را هم زمان به دیجیتال تبدیل کند. ساختار بلوکی گیرنده GNSS دو کاناله در شکل ۱ نشان داده شده است. در این ساختار بجای دو مدولاتور حقیقی یک مدولاتور متعامد بکار رفته که باعث افزایش کارآیی گیرنده و کاهش مصرف توان آن می‌شود[۱]. همانطور که در این شکل نشان داده شده، عرض باند مدولاتور باید به اندازه‌ای باشد که هر دو کانال دریافتی را بطور همزمان به دیجیتال تبدیل نماید. ساختار FF برای پیاده سازی مدولاتور پیشنهادی انتخاب شده است. در ساختار FF بدلیل حذف اثر مستقیم سیگنال در طبقات ورودی و تعداد کمتر مسیرهای فیدبک، گزینه مناسبی برای طراحی یک مدولاتور دلتا سیگمای کم مصرف می‌باشد. ساختار پیشنهادی، یک مدولاتور متعامد سه بیتی با ساختار جدید و فرکانس نمونه برداری ۳۶۳ مگاهرتز با نرخ فرانمونه برداری ۱۱ بوده و با روش مرجع [۱۱] برای گیرنده GNSS طراحی شده است. با توجه به اینکه ساختار مدولاتور پیشنهادی FF[4] و مرتبه ۳ بوده و جمع‌کننده آن نیز حذف شده است، نسبت به ساختار های ارائه شده قبلی دارای تعداد آپامپ‌های کمتری است که باعث کاهش در مصرف توان و پایداری بیشتر آن شده است[۱۲].



شکل (۱) : ساختار گیرنده GNSS دو کاناله

در بخش دوم این مقاله روش طراحی مدولاتور دلتا سیگمای متعامد[5]، از مرحله محاسبه‌ی تابع تبدیل فیلتر حقیقی و سپس جبرانسازی مدولاتور تا تبدیل آن به مدولاتور متعامد شرح داده شده است و در انتها نیز نتایج تحقیق آورده شده است.

طراحی ساختار مدولاتور پیشنهادی

در گام اول یک مدولاتور حقیقی با توجه به مشخصات مورد نیاز گیرنده GNSS طراحی می‌شود. پس از جبرانسازی تاخیر اضافی حلقه مدولاتور، با استفاده از مسیرهای مختلط قطب‌های تابع فیلتر آن به محل‌های بهینه منتقل می‌شوند [۱۱] بطوری‌که در پهنای باند ۳۳مگاهرتز بیشترین نرخ سیگنال به نویز را داشته

[4] Feedforward
[5] Quadrature Delta Sigma Modulator

www.SID.ir

باشد. در این مدولاتور جمع کننده‌ها حذف می‌شوند که به این دلیل دو مبدل NRZ_DAC به ساختار اضافه می‌شود.

سپس مبدل دیجیتال به آنالوگ RZ_DAC[۶] که برای جبرانسازی تاخیر اضافی حلقه (ELD)[۷] به مدار اضافه شده بود توسط دو مبدل NRZ_DAC[۸] جایگزین می‌شوند. مبدلهای NRZ_DACی که بدلیل حذف جمع کننده به مدولاتور اضافه شده بود، از ساختار آن حذف شده و وظیفه آنها به مبدل‌هایی که بدلیل جبرانسازی تاخیر به مدار اضافه شده بود اعمال می‌شوند. در نتیجه دو مبدل DAC از ساختار کم شده و فقط دو مبدل NRZ_DAC بدلیل جبرانسازی در ساختار باقی می مانند. در عمل با حذف جمع کننده‌ها فقط یک ضریب مختلط به یکی از زوج مسیرها اضافه می شود [۱۱].

تابع تبدیل فیلتر حقیقی

با انجام مراحل زیر، تابع تبدیل فیلتر حقیقی محاسبه می‌شود:

۱- تابع تبدیل نویز (NTF)[۹] زمان گسسته[۱۰] مدولاتور حقیقی با روش ذکر شده در مرجع [۱۲] بدست آمده و در رابطه (۱) نشان داده شده است. این رابطه با استفاده از جعبه ابزار Delsig و متناسب با مشخصات مورد نظر برای مدولاتور، در نرم افزار متلب بدست می‌آید.

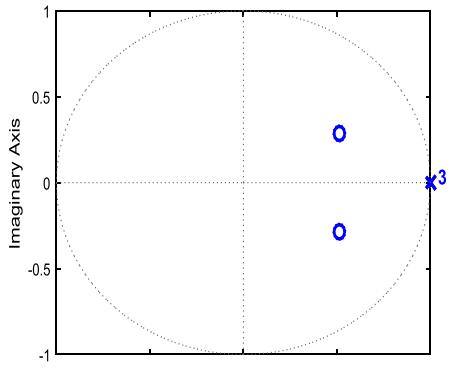
$$NTF = \frac{(z-1)^3}{((z-0.157)(z^2-0.0286z+0.0576))} \quad (۱)$$

۲- با استفاده از رابطه (۲) تابع تبدیل زمان‌گسسته فیلتر مدولاتور محاسبه می شود.

$$H(z) = \frac{1}{NTF} - 1 = \frac{2.8717\left(z^2-1.026z+0.345\right)}{(z-1)^3} \quad (۲)$$

۳- تابع تبدیل زمان‌گسسته فیلتر با استفاده از روش ضربه تغییر ناپذیر با زمان به تابع زمان پیوسته رابطه (۳) تبدیل می شود [۱۴،۱۳]. محل صفر و قطب‌های این تابع در شکل ۲ نشان داده شده است.

$$H(s) = \frac{1.778\left(s^2+1.057s+0.514\right)}{s^3} = \frac{1.778*s^2+1.88*s+0.692}{s^3} \quad (۳)$$



شکل (۲): محل صفر و قطبهای تابع تبدیل پیوسته زمان فیلتر حقیقی

جبرانسازی مدولاتور حقیقی

یکی از مشکلات مدولاتور دلتا سیگمای زمان پیوسته تاخیر اضافی حلقه است[۱۶،۱۵]. این تاخیر به ویژه در کاربردهای پرسرعت سبب افت عملکرد مدولاتور و همچنین کاهش نسبت سیگنال به نویز و افزایش احتمال ناپایداری مدولاتور می شود[۱۷]. با جبرانسازی این تاخیر از اثرات سوء آن بر روی مدولاتور جلوگیری می شود [۱۶،۱۴]. مدولاتور طراحی شده با استفاده از روش ارائه شده در مرجع [۱۸] برای جبران تاخیر $0.5T_s$ جبرانسازی شده است. در این روش، ضرایب فیلتر مدولاتور جبرانسازی شده مستقیما از ضرایب فیلتر زمان پیوسته مدولاتور یعنی رابطه (۳) محاسبه می‌شوند. مقادیر جدید ضرایب یعنی k_0' تا k_3' که ضرایب تابع تبدیل جدید پس از جبرانسازی است، یعنی $H'(s)$ نیز در روابط (۴) تا (۹) نشان داده شده است. همانطور که مشاهده می‌شود مقادیر جدید با استفاده از ضرایب تابع تبدیل (۴) محاسبه شده‌اند.

$$H(s) = \frac{1.778*s^2+1.88*s+0.692}{s^3} = \frac{k_0*s^3+k_1*s^2+k_2*s+k_3}{s^3} \quad (٤)$$

$$k_0 = 0\ ,\ k_1 = 1.778\ ,\ k_2 = 1.88\ ,\ k_3 = 0.692$$

$$k_3' = k_3 = 0.692 \quad (٥)$$

$$k_2' = k_2 + k_3\tau = 1.88 + 0.692*0.5 = 2.226 \quad (٦)$$

$$k_1' = k_1 + k_2\tau + k_3(\tau^2/2) = \quad (٧)$$
$$1.778 + 1.88*0.5 + 0.692*(1/8) = 2.8$$

$$k_0' = k_1 + k_2(\tau^2/2) + k_3(\tau^3/6) = \quad (٨)$$
$$1.778*0.5 + 1.88*(1/8) + 0.692*(1/48) = 1.138$$

6 Return to Zero DAC
7 Excess Loop Delay
8 Non Return to Zero
9 Disceret Time
10 Noise Transfer Function

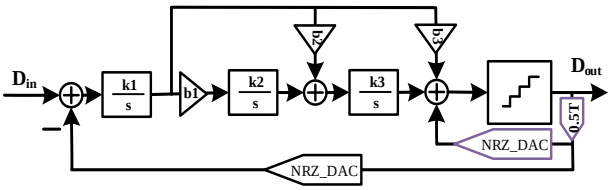
www.SID.ir

$$H'(s)=\frac{k'_0*s^3+k'_1*s^2+k'_2*s+k'_3}{s^3} \quad (۹)$$
$$=\frac{1.138*s^3+2.8*s^2+1.226*s+0.692}{s^3}$$
$$=\frac{2.8}{s}+\frac{1.226}{s^2}+\frac{0.692}{s^3}+1.138$$

همانطور که در رابطه (۹) مشاهده می‌شود، پس از محاسبه ضرایب مدولاتور یک جمله به تابع تبدیل مدولاتور اضافه شده است. این جمله اضافی ضریب فیدبک جبرانساز است که با یک مسیرکوتاه فیدبک (NRZ_DAC) به ورودی کوانتایزر اعمال می شود. پس از این مرحله، تابع تبدیل جدید فیلتر مدولاتور رابطه (۹) خواهد بود. ساختار مدولاتور حقیقی پس از جبرانسازی تاخیر حلقه به مقدار 0.5T در شکل ۳ نشان داده شده است. ضرایب فیلتر این مدولاتور همان ضرایب محاسبه شده تابع تبدیل بعد از جبرانسازی یعنی $H'(s)$ می‌باشند و مقادیر اختصاص یافته به هر یک از مسیرها بصورت زیر است:

$b1=0.692\ ,\ b2=1.226\ ,\ b3=2.8$

همچنین جمله اضافه شده به تابع تبدیل بصورت یک فیدبک با مقدار $NRZ_DAC=1.138$ به مدولاتور اضافه شده است.

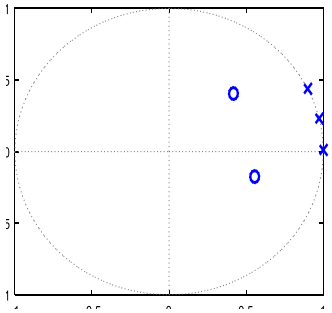


شکل (۳) : ساختار مدولاتور حقیقی پس از جبرانسازی تاخیر حلقه به اندازه 0.5T

تبدیل فیلتر حقیقی به فیلتر مختلط

تابع تبدیل مدولاتور مختلط در رابطه (۱۰) آمده است. در این رابطه مقادیر مختلط kc1=0.320 و kc2=0.552 با استفاده از روش الگوریتم بهینه‌سازی و تکرار، مناسب‌ترین محل قطبهای فیلتر (صفرهای مدولاتور) با هدف بیشترین نرخ سیگنال به نویز، با استفاده از مسیرهای مختلط در باند عبور جاسازی می‌شوند [۱۹-۲۲]. این محلها در مدولاتور پیشنهادی فرکانس‌های DC، 31.5 MHz و 18.15 MHz هستند که در شکل ۴ نشان داده شده است. هستند. محل جدید قطبهای تابع تبدیل فیلتر مختلط در شکل ۴ نشان داده شده است.

$$H'(s)=\frac{2.8}{(s-j0.320)}+\frac{1.226}{s(s-j0.320)} \quad (۱۰)$$
$$+\frac{0.692}{s(s-j0.320)(s-j0.552)}+1.138$$



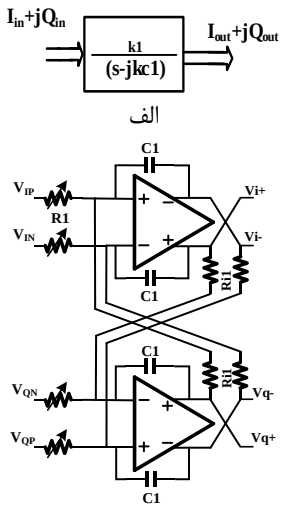
شکل (۴) : محل قطب و صفرهای تابع تبدیل فیلتر مختلط مدولاتور

مقادیر مختلط kc در عمل با استفاده از مسیرهای ضربدری روی ساختار مدولاتور پیاده‌سازی می شوند که در شکل ۵ نشان داده شده است. ضرایب این مدولاتور در جدول ۲ آمده است.

جدول (۲) : ضرایب مدولاتور مختلط پیشنهادی

k1	1	kc1	0.320
k2	1	kc2	0.552
k3	1	D1	0.329
A1	0.457	D2	1.724
A2	1.39+j0.32	A3	2.053

در شکل ۵ نحوه پیاده سازی مداری انتگرالگیرهای مختلط نشان داده شده است[۲۴،۲۳].



الف

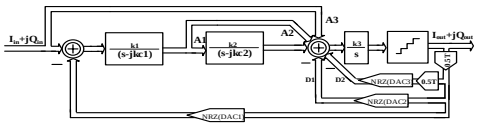
(ب)

شکل (۵): (الف) نمایش بلوکی انتگرالگیر مختلط، و (ب) پیاده سازی مداری انتگرالگیر مختلط

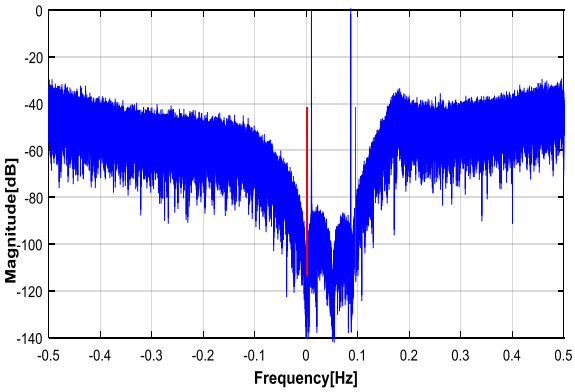
هر انتگرالگیر مختلط با دو آپ امپ پیاده سازی می‌شود و برای پیاده سازی مداری مدولاتور شش آپ‌امپ نیاز است. از آنجایی که در مدولاتور دلتا سیگما بیشترین توان در بلوک آپ‌امپ‌ها مصرف می‌شود، به همین دلیل کاهش تعداد آنها تاثیر زیادی در کاهش مصرف توان کلی مدولاتور دارد. همانطور که در شکل۶ نشان داده شده است، مدولاتور پیشنهادی یک مدولاتور مرتبه ۳ است و سه انتگرالگیر مختلط دارد و با شش آپ امپ پیاده سازی میشود که

www.SID.ir

پیش بینی می‌شود نسبت به نمونه‌های مشابه، که مرتبه ۴ و یا در فرکانس بالاتر کار می‌کنند (Fs بالاتری دارند) در مجموع، مصرف توان کمتری داشته باشد. طیف خروجی مدولاتور مختلط در شکل ۷ نشان داده شده است. در این شکل باند عبور مدولاتور مشخص شده است. همانطور که در طیف خروجی نشان داده شده است، این مدولاتور می‌تواند بطور همزمان دو سیگنال ورودی را دریافت نموده و به دیجیتال تبدیل نماید.



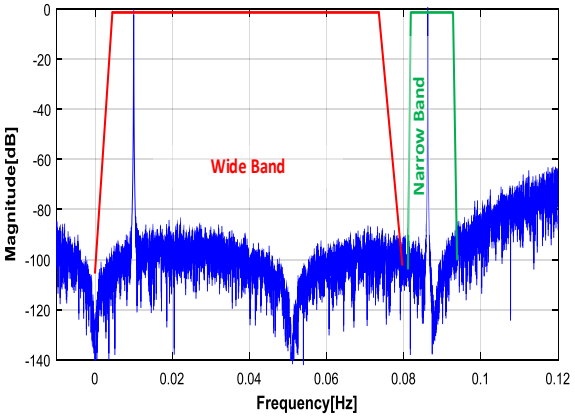
شکل (۶): ساختار مدولاتور مختلط پیشنهادی



شکل (۷): طیف خروجی مدولاتور مختلط با پهنای باند ۳۳ مگاهرتز و نرخ سیگنال به نویز ۶۴،۸ دسیبل

هستند.

بزرگ‌نمایی باند عبور مدولاتور مختلط پهن باند در شکل ۸ نشان داده شده است. همانطور که در این شکل دیده می‌شود، دو کانال GNSS با عرض‌های متفاوت (باندباریک و پهن‌باند) در کنار هم و بطور همزمان از این باند عبور نموده و به دیجیتال تبدیل شده‌اند.



شکل (۸) : باند عبور مدولاتور مختلط پهن باند با قابلیت عبور همزمان دو کانال باند باریک و پهن باند.

جدول (۳): مقایسه مدولاتور پیشنهادی با کارهای انجام شده پیشین

Parameter	type	Order	SNR(dB)	IF(MHz)	BW(MHz)	OSR	Fs (MHz)
[8]	QFF/CT	3	54	10	20	12	240
[3]	QFF/CT	4	62.1	17	33	14	460
[25]	FB/CT	6	62.7	200	20	40	800
[26]	FB/CT	4	20-30	2412	20	220	2400
This work	QFF/CT	3	64.8	16.5	33	11	360

نتایج شبیه سازی مدولاتور پیشنهادی و تعدادی از کارهای انجام شده پیشین مشابه آن در جدول ۳ آمده است. مقایسه کارهای مشابه بیانگر این است که مدولاتور پیشنهادی با OSR و مرتبه کمتر پاسخگوی نیازهای سیستم GNSS می‌باشد. این ویژگیها باعث شده مدولاتور پیشنهادی دارای پایداری بیشتری باشد و از طرفی نیز انتظار می‌رود کاهش فرکانس نمونه برداری و حذف دو آپ‌امپ نیز موجب کاهش مصرف توان نسبت به طراحی‌های پیشین گردد.

نتیجه‌گیری

در این تحقیق یک مدولاتور متعامد با کوانتایزر ۳ بیتی مرتبه سه پهن‌باند برای تبدیل همزمان دو کانال سیستم تعیین موقعیت ماهواره‌ای GNSS در مدهای مختلف طراحی شده است. مدولاتور پیشنهادی با ساختار FF، بصورت سیستمی طراحی شده است. در این مدولاتور دو جمع‌کننده قبل از کوانتایزر حذف شده‌اند که موجب کاهش مصرف توان شده است. این مدولاتور با پهنای باند یکسان، مرتبه کمتری نسبت به مدولاتورهای طراحی شده مشابه دارد که موجب کاهش تعداد آپ امپ‌ها در پیاده سازی و همچنین مصرف توان شده و در ضمن از پایداری نسبی بیشتری برخوردار است.

www.SID.ir

مراجع

[1] A. Shamsi and E. Najafi Aghdam, "Continuous Time Feedforward Quadrature Delta Sigma Modulator Design Omitting the Power Hungry adders for LOW-IF Receivers," *TABRIZ JOURNAL OF ELECTRICAL ENGINEERING*, vol. 49, pp. 295-305, 2019.

[2] Z. Zhang, Y. Xu, N. Qi, and B. Chi, "A 5/20MHz-BW 4.2/8.1 mW CT QBP ΣΔ modulator with digital I/Q calibration for GNSS receivers," in *Solid-State Circuits Conference (A-SSCC), 2013 IEEE Asian*, 2013, pp. 393-396.

[3] J. Candy and A.-N. Huynh, "Double interpolation for digital-to-analog conversion," *IEEE Transactions on Communications*, vol. 34, pp. 77-81, 1986.

[4] B. Li and K.-P. Pun, "A High Image-Rejection SC Quadrature Bandpass DSM for Low-IF Receivers," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 61, pp. 92-105, 2014.

[5] S.-B. Kim and S. Heinen, "A contribution to continuous-time quadrature bandpass sigma-delta modulators for low-IF receivers," Lehrstuhl für Integrierte Analogschaltungen und Institut für Halbleitertechnik2009.

[6] J. Zhang, Y. Xu, Z. Zhang, Y. Sun, Z. Wang, and B. Chi, "A 10-b Fourth-Order Quadrature Bandpass Continuous-Time $\Sigma\Delta $ Modulator With 33-MHz Bandwidth for a Dual-Channel GNSS Receiver," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, pp. 1303-1314, 2017.

[7] T. He, M. Ashburn, S. Ho, Y. Zhang, and G. Temes, "A 50MHZ-BW continuous-time ΔΣ ADC with dynamic error correction achieving 79.8 dB SNDR and 95.2 dB SFDR," in *Solid-State Circuits Conference-(ISSCC), 2018 IEEE International*, 2018, pp. 230-232.

[8] N. Qi, Y. Xu, B. Chi, X. Yu, X. Zhang, and Z. Wang, "A dual-channel GPS/Compass/Galileo/GLONASS reconfigurable GNSS receiver in 65nm CMOS," in *Custom Integrated Circuits Conference (CICC), 2011 IEEE*, 2011, pp. 1-4.

[9] N. Qi, B. Chi, Y. Xu, Z. Chen, J. Xie, Z. Song, *et al.*, "A 180nm fully-integrated dual-channel reconfigurable receiver for GNSS interoperations," in *ESSCIRC (ESSCIRC), 2013 Proceedings of the*, 2013, pp. 177-180.

[10] Y. Xu, Z. Zhang, B. Chi, N. Qi, H. Cai, and Z. Wang, "A 5-/20-MHz BW Reconfigurable Quadrature Bandpass CT ADC With AntiPole-Splitting Opamp and Digital/Calibration," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 24, pp. 243-255, 2016.

[11] A. Shamsi and E. N. Aghdam, "A Wideband Continuous Time Quadrature Delta Sigma Modulator Based on a Real DSM for Low Power WLAN Receiver," *Journal of Circuits, Systems and Computers*, vol. 27, p. 1850044, 2018.

[12] S. Pavan, R. Schreier, and G. C. Temes, *Understanding Delta-Sigma Data Converters*: John Wiley & Sons, 2017.

[13] A. Morgado, R. Del Río, and M. José, *Nanometer CMOS sigma-delta modulators for software defined radio*: Springer Science & Business Media, 2011.

[14] F. Gerfers and M. Ortmanns, Continuous-time sigma-delta A/D conversion: fundamentals, performance limits and robust implementations vol. 21: Springer Science & Business Media, 2006.

[15] J. Guo and M. E. Magaña, "Compensation method of the excess loop delay in continuous-time delta-sigma analog-to-digital converters based on model matching approach," *IET Circuits, Devices & Systems*, vol. 10, pp. 29-36, 2016.

[16] S.-B. Kim, S. Joeres, and S. Heinen, "A compensation method of the excess loop delay in continuous-time complex sigma-delta modulators," in *Circuit Theory and Design, 2007. ECCTD 2007. 18th European Conference on*, 2007, pp. 140-143.

[17] F. Henkel and U. Langmann, "Excess loop delay effects in continuous-time quadrature bandpass sigma-delta modulators," in *Circuits and Systems, 2003. ISCAS'03. Proceedings of the 2003 International Symposium on*, 2003, pp. I-1029-I-1032 vol. 1.

[18] S. Pavan, "Excess loop delay compensation in continuous-time delta-sigma modulators," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, pp. 1119-1123, 2008.

[19] N. Jouida, C. Rebai, A. Ghazel, and D. Dallet, "VHDL-AMS modeling of non-idealites effects in Continuous-time quadrature bandpass ΔΣ modulator," in *Signals, Circuits and Systems (SCS), 2009 3rd International Conference on*, 2009, pp. 1-5.

[20] S.-B. Kim, S. Joeres, R. Wunderlich, and S. Heinen, "A 2.7 mW, 90.3 dB DR Continuous-Time Quadrature Bandpass Sigma-Delta Modulator for GSM/EDGE Low-IF Receiver in 0.25 m CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 44, pp. 891-900, 2009.

[21] N. Jouida, C. Rebai, A. Ghazel, and D. Dallet, "VHDL-AMS modeling of non-idealites effects in Continuous-time quadrature bandpass ΔΣ modulator," in *Signals, Circuits and Systems (SCS), 2009 3rd International Conference on*, 2009, pp. 1-5.

[22] S.-B. Kim, S. Joeres, R. Wunderlich, and S. Heinen, "A 2.7 mW, 90.3 dB DR Continuous-Time Quadrature Bandpass Sigma-Delta Modulator for GSM/EDGE Low-IF Receiver in 0.25 m CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 44, pp. 891-900, 2009.

[23] X.-y. He, K.-p. Pun, S.-k. Tang, C.-s. Choy, and P. Kinget, "A 0.5 V 65.7 dB 1 MHz continuous-time complex delta sigma modulator," *Analog Integrated Circuits and Signal Processing*, vol. 66, pp. 255-267, 2011.

[24] a. shamsi, "Quadrature delta sigma modular design with adjustable bandwidth and center frequency," *Journal of Nonlinear Systems in Electrical Engineering*, vol. 6, pp. 54-65, 2020.

[25] C.-Y. Lu, J. F. Silva-Rivas, P. Kode, J. Silva-Martinez, and S. Hoyos, "A sixth-order 200 MHz IF bandpass sigma-delta modulator with over 68 dB SNDR in 10 MHz bandwidth," *IEEE Journal of Solid-State Circuits*, vol. 45, pp. 1122-1136, 2010.

[26] R.-C. Marin, A. Frappé, and A. Kaiser, "Digital complex delta–sigma modulators with highly configurable notches for multi-standard coexistence in wireless transmitters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 65, pp. 343-352, 2017.

www.SID.ir