JOURNAL OF COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH

E-ISSN: 2676-7465
http://jce.bushehr.iau.ir

Vol. 11/ No. 44/Summer 2022

The Circuit Design of the Receiving Part of the Portable Electro-encephalogram System

Marzieh Moradi, PhD [1*] | Masoud Dousti, Associate Professor [2]

[1]Department of Electrical and Computer Engineering, Islamic Azad University, Science and Research Branch, Tehran, Iran.
marzie_moradi@yahoo.com

[2]Department of Electrical and Computer Engineering, Islamic Azad University, Science and Research Branch, Tehran, Iran.
m_dousti@srbiau.ac.ir

Correspondence
Marzieh Moradi, PhD Graduate of Department of Electrical and Computer Engineering, Islamic Azad University, Science and Research Branch, Tehran, Iran.
Email: marzie_moradi@yahoo.com

Received: 14 February 2022
Revised: 29 May 2022
Accepted: 3 June 2022

Abstract

In recent years, many electroencephalogram (EEG) devices have become portable and wireless. Given the requirements for mobility, EEG instruments need to be smaller, lighter, and power-efficient with reduced noise and offset. An EEG signal is very weak and its amplitude ranging is from 20 to 200 µV and its frequency ranges from 0.1 to 100 Hz. Besides, the skin-electrode interface creates a large DC offset voltage which can be in the order of ±300 mV. These two challenges can disturb the main signal and reduce the detection accuracy. At the input of amplification section of many EEG circuits, the chopping technique has been applied to convert DC input signals into AC signals .The main transconductance amplifier as EEG instrumentation amplifier (IA) in most of previous works is the folded cascode amplifier. In this paper, we proposed a circuit which design in 0.18 CMOS technology and its amplifier is a two-stage fully recycling chopper stabilized folded cascode amplifier which operates at low supply voltage and its input-referred noise is decreased by enhancing transconductance while it has a large slew rate, a high DC gain and an improved gain bandwidth. These features significantly decrease the noise and offset without a considerable increase in the power required by the circuit. In the post-layout simulation the amplifier achieves a midband gain of 60 dB and a -3dB bandwidth in the range 0.1-210 Hz. Moreover, the chip area of the proposed circuit with pads is 512×512 µm2. The adjustable LPF has a 100 Hz cut-off frequency. The proposed circuit has an input-referred noise of 0.75 µVrms, (0.1~100Hz) and a power consumption of 760 nW at 1 V supply.

Keywords: Fully recycling folded cascode amplifier, chopper-stabilized technique, EEG, low-noise design, weak inversion.

Highlights

- Changing the structure used in the chopper circuit
- Changing the structure of amplifier from FC to RFC
- Achieving two factors of low noise and low power consumption simultaneously

Citation: M. Moradi and M. Dousti, "The Circuit Design of the Receiving Part of the portable Electroencephalogram System," *Journal of Communication Engineering (JCE)*, vol. 11, no. 44, pp. 39–48, 2022, (in Persian).

www.SID.ir

Archive of SID

طراحی مداری گیرنده دستگاه الکتروانسفالوگرام مناسب برای کاربردهای قابل حمل

مرضیه مرادی [۱*] | مسعود دوستی [۲]

[۱] فارغ التحصیل مقطع دکتری مهندسی برق، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران، marzie_moradi@yahoo.com

[۲] گروه مهندسی برق، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران، m_dousti@srbiau.ac.ir

نویسنده مسئول

*مرضیه مرادی، فارغ التحصیل مقطع دکتری مهندسی برق، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران، marzie_moradi@yahoo.com

چکیده:

در سال‌های اخیر بسیاری از دستگاه‌های الکتروانسفالوگرام (EEG) قابل حمل و بی‌سیم شده‌اند. با توجه به الزامات تحرک و دوام، دستگاه‌های EEG نیازمند کوچک‌تر و سبک‌تر شدن، داشتن توان مصرفی پایین‌تر، به همراه کاهش نویز و آفست هستند. دامنه سیگنال EEG مقداری ضعیف بین ۲۰ تا ۲۰۰ میکرو ولت است و فرکانس سیگنال EEG از ۰,۱ تا ۱۰۰ هرتز را در بر می‌گیرد. علاوه بر این، رابط پوست الکترود یک ولتاژ آفست DC بزرگ در حدود ۳۰۰± میلی ولت ایجاد می‌کند. این دو چالش می‌توانند سیگنال اصلی را برهم بزنند و دقت تشخیص را کاهش بدهند. در ورودی بخش تقویت‌کننده بسیاری از مدارهای EEG از تکنیک چاپر که با آن آفست و نویز 1/f مدوله می‌شوند، بنابراین دقت بالا، آفست میکرو ولت و نویز کم 1/f را می‌توان به‌دست آورد. تقویت‌کننده اصلی ترارسانا به‌عنوان تقویت‌کننده (IA) در بیشتر کارهای قبلی تقویت‌کننده کاسکد تاشده است. در این مقاله طرح ارائه‌شده با نوآوری در بخش تقویت‌کننده و استفاده از مدار مناسب برای بخش مدولاتور دو عامل کاهش توان مصرفی و نویز را به‌صورت هم‌زمان ایجاد کرده است. مدار در تکنولوژی 0.18 µm CMOS طراحی‌شده و در شبیه‌سازی پساجانمایی تقویت‌کننده به بهره باند میانی ۶۰dB و پهنای باند۳ dB- در محدوده ۰/۱ تا ۲۱۰ هرتز دست می‌یابد. مساحت تراشه مدار با پایه‌ها ۵۱۲×۵۱۲ میکرومتر مربع است. LPF قابل تنظیم دارای فرکانس قطع ۱۰۰ هرتز است. مدار پیشنهادی دارای نویز ارجاعی ورودیµVrms ۰/۷۵ (۰/۱~۱۰۰هرتز) و مصرف توانnW ۷۶۰ با تغذیه ۱ ولت است.

کلید واژه‌ها: تقویت‌کننده کاسکد تاشده بازیافتی کامل، تکنیک تثبیت چاپر، الکتروانسفالوگرام، فیلتر Gm-C، طراحی کم نویز، ناحیه معکوس ضعیف.

تاریخ دریافت: ۲۵ بهمن ۱۴۰۰
تاریخ بازنگری: ۸ خرداد ۱۴۰۱
تاریخ پذیرش: ۱۳ خرداد ۱۴۰۱

۱- مقدمه

ازآنجایی‌که در روش‌های تشخیصی جدید بسیاری از دستگاه‌های نظارت پزشکی معمولی مانند دستگاه‌های الکتروانسفالوگرام (EEG) قابل حمل و بی‌سیم شده‌اند. این دستگاه‌های کوچک و قابل حمل می‌توانند شرایط بهداشتی بیماران را در خانه یا هر نقطه از یک بیمارستان زیر نظر داشته باشند. با توجه به الزامات تحرک و دوام ابزارهای نظارت پزشکی نیازمند کوچک‌تر و سبک‌تر شدن برای قابلیت حرکت و جابجایی آسان هستند. داشتن توان مصرفی پایین‌تر برای طول عمر بالاتر باطری و کاهش نویز و آفست به‌منظور دقت بالاتر اندازه‌گیری جزء الزامات در طراحی این ابزارهای قابل حمل در نظر گرفته می‌شود.

www.SID.ir

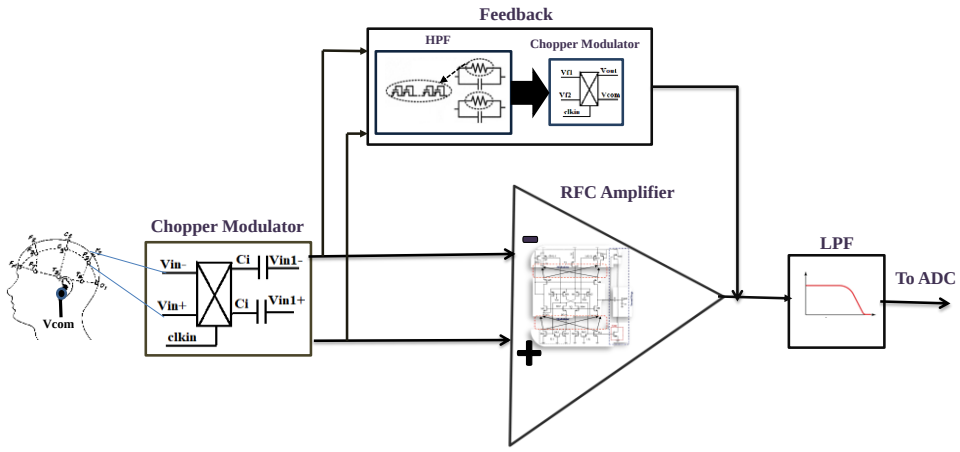
Archive of SID

یک سیگنال EEG دامنه بسیار ضعیف بین ۲۰ تا ۲۰۰ میکرو ولت و فرکانس ۰٫۱ تا ۱۰۰ هرتز را در برمی‌گیرد [۱]. علاوه بر این، رابط پوست الکترود یک ولتاژ آفست DC بزرگ ایجاد می‌کند که می‌تواند به ترتیب ۳۰۰± میلی ولت باشد. این دو چالش می‌توانند سیگنال اصلی را برهم بزنند و دقت تشخیص را کاهش بدهند. نیاز به اکتساب و تقویت دقیق، همراه با وجود سیگنال‌های EEG کم دامنه و کم قدرت، طراحی تقویت‌کننده کم نویز برای دستگاه‌های EEG را بسیار چالش برانگیز می‌کند. در این فرایند باید از روش‌های کاهش نویز و آفست در ضمن مصرف توان حداقل، استفاده کرد. در ورودی بخش تقویت‌کننده بسیاری از مدارهای EEG از تکنیک چاپر به‌منظور کاهش نویز و آفست استفاده می‌شود. آفست و نویز 1/f با تکنیک چاپر مدوله می‌شوند، بنابراین دقت بالا، آفست میکرو ولت و نویز کم 1/f را می‌توان به‌دست آورد.

تقویت‌کننده اصلی ترارسانا به‌عنوان تقویت‌کننده (IA) در بیشتر کارهای قبلی تقویت‌کننده کاسکد تاشده است [۳-۱]. در این مقاله ۱- سوئیچ‌های ساختگی[1] بر پایه NMOS [۴] به‌جای سوئیچ‌های PMOS برای مدار چاپر استفاده می‌شود زیرا ترارسانایی بالاتری دارند و ازاین‌رو عملکرد نویز بهتری نیز دارند. ۲- در این طرح یک تقویت‌کننده دوطبقه کاسکد تاشده بازیافتی کامل را به همراه مدار تثبیت‌کننده چاپر(TSCRFC) را طراحی کردیم که با ولتاژ تغذیه پایین کار می‌کند و نویز ورودی ارجاع شده آن دلیل افزایش ترارسانایی کاهش می‌یابد درحالی‌که نرخ تغییرات سریع بالاتری دارد، بهره DC بالاتر و بهبود پهنای باند بهره بهتری دارد. این ویژگی‌ها نویز و آفست را به شکل قابل‌توجهی بدون افزایش قابل‌توجهی در توان مورد نیاز مدار کاهش می‌دهد.

۲- معرفی طرح پیشنهادی

بلوک دیاگرام طرح پیشنهادی در شکل ۱ مشاهده می‌شود. مدار دارای فیدبک AC است و کلیه ترانزیستورها در حالت هدایت زیرآستانه هستند. بهره باند میانی به نسبت بین خازن C_i و C_f بستگی دارد و البته مقدار خازن C_f به شکل قابل توجهی نسبت به خازن C_i کوچک‌تر است. فیلتر بالاگذر که در بخش فیدبک مشاهده می‌شود، درواقع به‌وسیله تکنیک شبه مقاومت [۵] و اتصال دیودی چهار ترانزیستور NMOS به مقاومتی بالاتر از 10^{10} اهم رسیده است. در واقع ترکیب مقاومت ایجاد شده و خازن یک فیلتر بالاگذر RC می‌سازد که فرکانس قطع پایین آن با رابطه (۱) بدست می‌آید و در این تقویت‌کننده حدود 0.1 Hz است. در این بلوک دیاگرام ، C_i خارج از جانمایی است و مقدار آن ازpF ۱۰ (برای ۴۰ دسی بل که بهره پایه مورد نیاز است) تا pF ۱۰۰ برای تغییر افزایش باند متوسط تا ۶۰ دسی بل قابل تنظیم است و خازن مربوط به فیلتر بالاگذرfF ۱۰۰ است. مدار بخش فیلتر پایین‌گذر در [۶] بیان شده است و برای بخش مدولاتور نیز از طرح موجود در [۴] استفاده شده است.



شکل ۱: بلوک دیاگرام طرح پیشنهادی

$$A_M = {C_i}/{C_f} = \frac{10\ \text{pF}}{100\ \text{fF}} = 40\text{dB} \qquad (۱)$$

[1] Dummy switches

www.SID.ir

Archive of SID

در این طرح در بخش تقویت‌کننده از OTA دو طبقه‌ای با توان بسیار کم ارائه شده است که در منطقه ترایود ضعیف با طبقه‌ورودی RFC تقویت‌شده کار می‌کند. ساختار بازیابی برای بهبود بهره DC حلقه باز، فرکانس بهره واحد، slewrate و CMRR بکار برده می‌شود. همچنین، ساختار بازیابی و ترانزیستورهای مرکب عملکرد ولتاژ آفست DC و نویز را بهبود می‌بخشند. همچنین، با استفاده از ساختار بازیابی، مسیر فید فوروارد برای جبران‌سازی فرکانسی در این طرح بکار برده می‌شود که به رفتار فرکانسی پایدار منجر می‌گردد. جریان درین-سورس ترانزیستور MOS کانال بلند در منطقه‌ی ترایود ضعیف را می‌توان با رابطه‌ی (۲) بیان کرد [۷]:

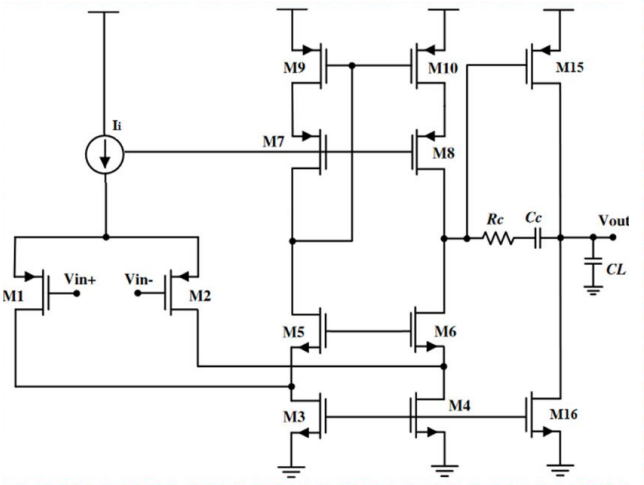
$$I_{DS} = 2nU_t^2 C_{ox}\mu\frac{W}{L}e^{(\frac{V_{GS}-V_{TH}}{nU_t})}(1\text{-}e^{\frac{-V_{DS}}{U_t}}) \quad (۲)$$

که W و L به ترتیب عرض و طول کانال ترانزیستور هستند، Ut ولتاژ دمایی، VTH ولتاژ آستانه، VGS ولتاژ گیت-سورس، VDS ولتاژ درین-سورس، Cox ظرفیت گیت-اکسید در واحد سطح، μ جنبش الکترونی و n ضریب شیب در ناحیه‌ی ترایود ضعیف هستند [۷-۸]. ترنس‌کاندکتانس گیت و بالک را می‌توان با رابطه (۳) بیان کرد:

$$V_{DS} < 3U_t$$
$$g_m = \frac{\delta I_D}{\delta V_{GS}} = \frac{I_D}{nU_t}$$
$$g_{mb} = (n-1)g_m = \frac{\gamma}{2\sqrt{2\phi_F - V_{BS}}} \quad (۳)$$

که VBS ولتاژ سورس-بالک، γ ضریب اثر بدنه و ϕ_F پتانسیل فرمی هستند. g_{mb} از ۲۰ تا ۳۰٪ از g_m برای یک ترانزیستور در فرآیند CMOS تغییر می‌کند. لذا، اندازه ترانزیستورها را می‌توان برای کار در منطقه‌ی ترایود ضعیف بدست آورد [۷، ۹].

تقویت‌کننده Folded Cascode دو طبقه‌ای (TSFC) متعارف در شکل ۲ نشان داده شده است. در این شکل، ترانزیستورهای M_1 و M_2 راه‌انداز[۲]های ورودی هستند. همچنین، ترانزیستورهای M_3 و M_4 اکثر جریان را هدایت می‌کنند و بیشترین ترنس کاندکتانس را دارند. در کاسکد تاشده بازیابی دو طبقه‌ای همراه با مدولاتور چاپر پیشنهادی که در شکل ۳ نشان داده شده است، راه‌اندازهای ورودی M_1 و M_2 در شکل ۲ به M_{a1} و M_{a2} و M_{b1} و M_{b2} در شکل ۳ تقسیم شده‌اند که در حال حاضر عبور جریان برابر با I/2 را بر عهده دارند. همچنین، ترانزیستورهای M_3 و M_4 در شکل ۱ با آینه‌های جریان $M_{a3}:M_{b3}$ و $M_{a4}:M_{b4}$ در شکل ۳ تعویض می‌شوند.



شکل ۲: طرح متعارف تقویت‌کننده دو طبقه کاسکد تاشده

[2] Driving transistor

www.SID.ir

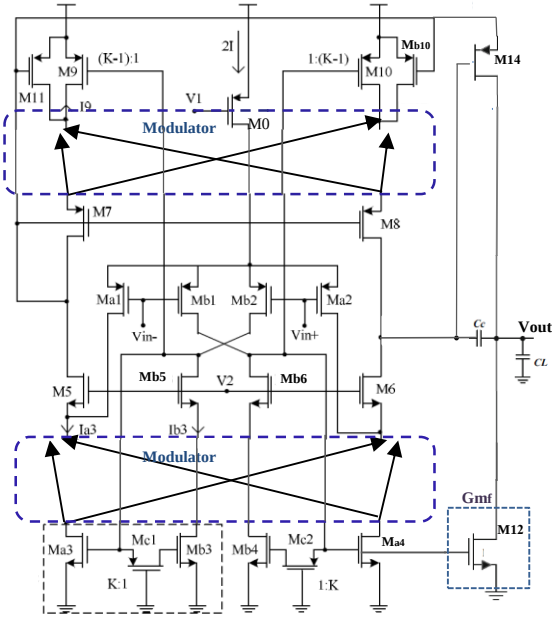
Archive of SID

به منظور بیان این تقویت‌ها بصورت کمی، فرض بر این است که تمامی دستگاه‌ها در منطقه معکوس ضعیف کار می‌کنند. همچنین، بهره‌ی جریان (k) برابر با ۳ انتخاب می‌شود و مصرف توان برای FC، RFC پیشنهادی یکسان هستند تا آن‌ها را بصورت مناسبی مقایسه کرد. ترنس‌کاندکتانس تقویت‌کننده (Gm) با محاسبه‌ی جریان اتصال کوتاه در خروجی نسبت به ورودی بدست می‌آید. M_1 دوبرابر اندازه‌ی M_{a1} است و دو برابر جریان را هدایت می‌کند $g_{m1} = 2g_{ma1}$. برای مصرف توان یکسان، RFC پیشنهادی بهبودی مناسب در پهنای باند بهره در مقایسه با FC دارد. ترنس‌کاندکتانس سیگنال کوچک برای FC و RFC پیشنهادی با روابط (۴) و (۵) بیان می‌شود.

$$G_{mTSFC} = g_{m1}g_{m14} \quad (۴)$$

$$G_{mTSRFC} = (k+1)g_{ma1}g_{m14} \quad (۵)$$

بهره DC تقویت‌کننده‌های ترنس کانداکتانس معمولاً به صورت ضرب رسانایی متقابل سیگنال کوچک، G_m، در امپدانس خروجی فرکانس پایین، R_{out} ، تعریف شده است. بنابراین گین DC حلقه باز در مدار پیشنهادی نسبت به نمونه کاسکد تاشده بالاتر است. در جدول ۱ مقادیر طول و عرض ترانزیستورها در بخش تقویت‌کننده پیشنهادی مشاهده می‌شود.



شکل ۳: طرح پیشنهادی تقویت‌کننده کاسکد تاشده بازیافتی همراه با مدولاتور چاپر

جدول ۱: مقادیر طول و عرض ترانزیستورها در بخش تقویت‌کننده

Mosfet	W/L (µM/µM)
M_0	45.2/0.18
M_{a1},M_{a2}	82/2
M_{b1},M_{b2}	83/2
M_{a3},M_{a4}	35/6
M_{b3},M_{b4}	11.8/6
M_{c1},M_{c2}	7.6/0.18
M_5,M_6	72.6/0.36
M_7,M_8	342.5/0.36
M_9,M_{10}	63/2
M_{11},M_{12}	7/2
M_{b5},M_{b6}	36.2/0.36
M_{12}	50.2/6
M_{14}	100/6

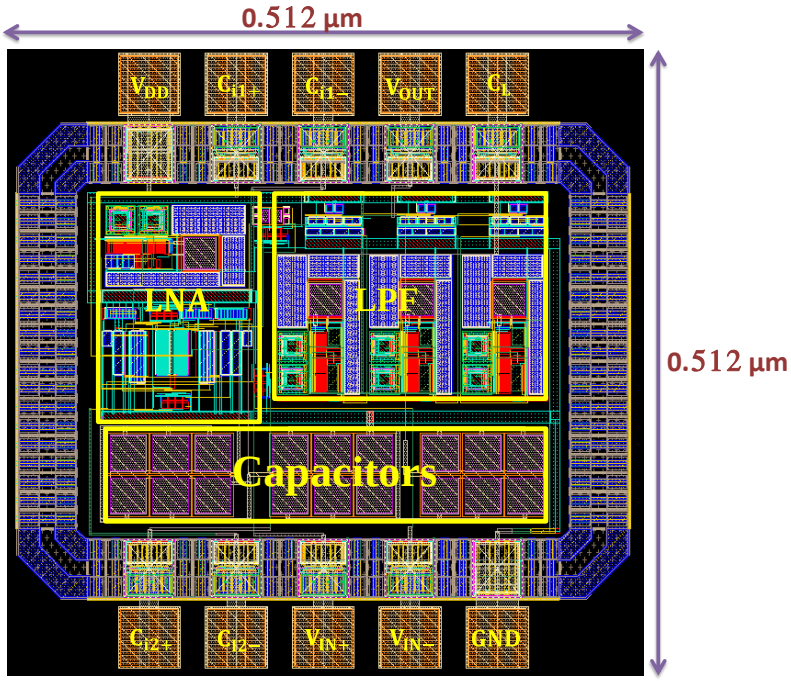
www.SID.ir

Archive of SID

۳- نتایج شبیه‌سازی مدار گیرنده پیشنهادی

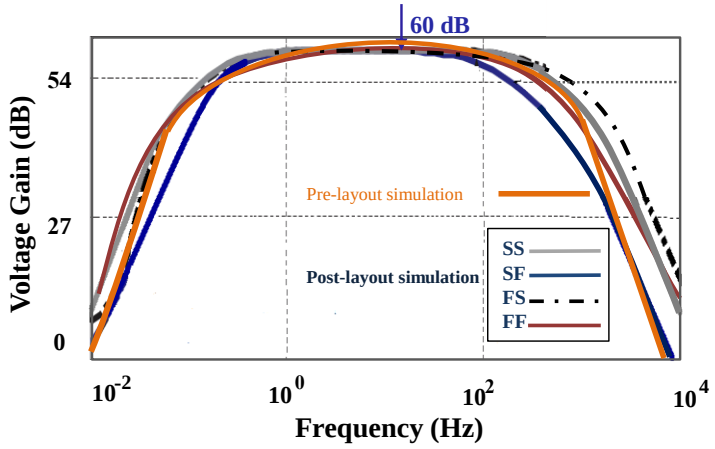
شبیه‌سازی بعد از جانمایی مدار کامل گیرنده موجود در شکل ۱ در محیط کیدنس با استفاده از فناوری CMOS 0.18µm بررسی می‌شود. ذکر این نکته ضروری است که پارامترهای شبیه‌سازی شامل ضرایب KFn، KFp و Cox برای ترانزیستورهای NMOS و PMOS است. شبیه‌سازی برای بدست آوردن طیف پاسخ و فرکانس نویز برای کل مدار انجام می‌شود.

شبیه‌سازی گوشه انجام شده و نتایج مشابهی برای سه حالت را نشان می‌دهد. جانمایی مدار پیشنهادی و پایه‌بندی آن در شکل ۴ نمایش داده شده است. همانطور که مشاهده می‌شود این مدار فضایی مربعی با ابعاد 0.512 µm در 0.512 µm را اشغال می‌کند.



شکل ۴: جانمایی مدار پیشنهادی

در شکل ۵ نمودار دامنه خروجی مدار پیشنهادی در سه حالت مختلف فرآیند مشاهده می‌شود و در هر سه حالت نتایجی نزدیک به یکدیگر مشاهده می‌شود. این شکل نشان می‌دهد که پهنای باند پس از LPF بین ۰/۱ تا ۱۰۰ هرتز و افزایش باند متوسط ۶۰ دسی بل است. برای مقایسه در حالت قبل و بعد از جانمایی خروجی قبل از جانمایی نیز در شکل مشاهده می‌شود.



شکل ۵: نمودار دامنه خروجی گیرنده پیشنهادی در حالت قبل و بعد از جانمایی

www.SID.ir

Archive of SID

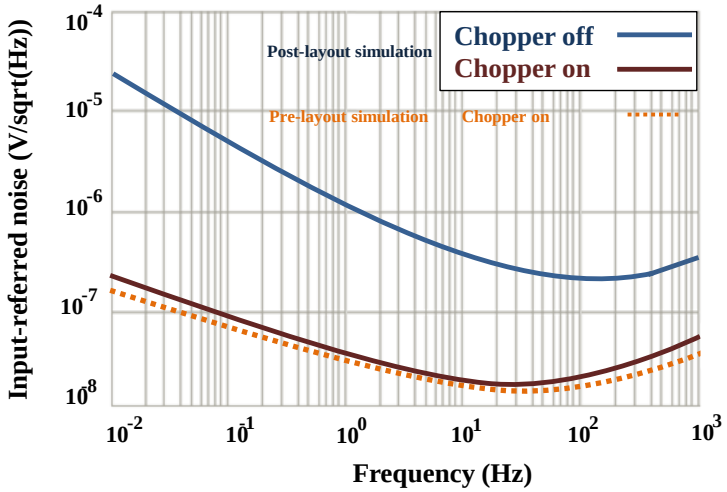
همانطور که در شکل ۶ نشان داده شده است ، نویز ارجاعی به ورودی از ۰/۱ تا ۱۰۰ هرتز در حالت خاموش بودن مدار چاپر ۱۴,۸ μVrms و در حالت روشن بودن مدار چاپر کاهش چشمگیری می‌یابد و در حدود ۰,۷۵ μVrms است. برای امکان مقایسه، شبیه‌سازی قبل از جانمایی نیز در شکل ۶ آمده است. ضریب بازده نویز (NEF) به عنوان یک ضریب شایستگی در کلیه مدارات تقویت‌کننده پزشکی[3] مطرح است و رابطه آن در معادله (۶) آمده است [۱۰]، با توجه به این رابطه عدد NEF در این طراحی ۲/۴۳ است.

$$NEF = V_{ni,rms}\sqrt{\frac{2I_{tot}}{\pi U_T 4K_B TBW}} \qquad (۶)$$

در رابطه فوق $V_{ni,rms}$ کل نویز ارجاعی به ورودی، BW پهنای باند کلی مدار، U_T ولتاژگرمایی و I_{tot} کل جریان مصرفی است. از آنجایی که در رابطه فوق اگر دو مدار دارای منبع تغذیه یکسان نباشند اما جریان مصرفی یکسانی داشته باشند عدد برابر است بنابراین فاکتور توان مصرفی به خوبی در نظر گرفته نمی‌شود از این‌رو ضریب کیفیت دومی نیز برای تقویت‌کننده‌های پزشکی مطرح است که PEF نام دارد و مصرف توان در آن لحاظ شده است و مقدار آن در معادله (۷) آمده است [۱۰] و مقدار آن در این طرح ۵/۹ است.

$$PEF = V_{supp} \cdot NEF^2 \qquad (۷)$$

طرح پیشنهادی برای تغییرات PVT: منبع تغذیه ۱۰%± (0.9V, 1V, 1.1V) ، تحلیل گوشه برای ۵ حالت (TT, SS, FF, SF, FS) و تغییرات دمایی بین ۴۰- تا ۸۰ درجه سانتیگراد شبیه سازی شده و نتیجه در جدول ۲ آمده است



شکل ۶: نویز ارجاعی به ورودی مدار گیرنده در حالت مدار چاپر خاموش و روشن و مقایسه با حالت قبل از جانمایی

جدول ۲: نتایج شبیه سازی بعد از جانمایی همراه با تغییرات PVT

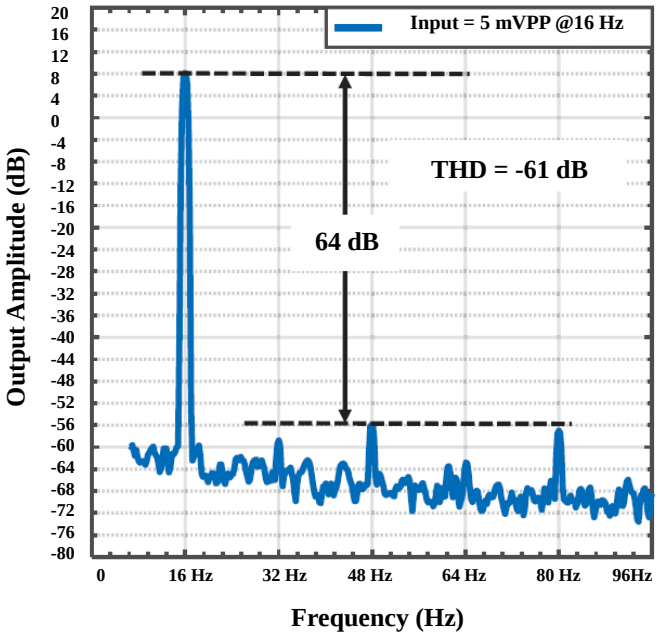
Parameter	Corner analysis				Temprature variation (°C)			Power supply variation	
	FF	FS	SS	SF	-40	27	80	V_{dd} + 10%	**V_{dd} − 10%**
Unity gain bandwidth(kHz)	211.65	210.9	210.75	211.45	213	211.1	206	212.2	**212.5**
Phase margin (°)	79.1	78.5	78.9	78.7	81	79	77.3	78.1	**76**
Mid-band Gain (dB)	59.6	59.9	60.1	59.7	59.8	60	58.3	57.9	**58.5**
P_{av}(nW)	754	763	771	752	749	760	778	787	**734**
PEF	5.48	5.52	5.45	5.61	5.50	5.47	5.49	5.74	**5.39**

[3] Biomedical amplifier

www.SID.ir

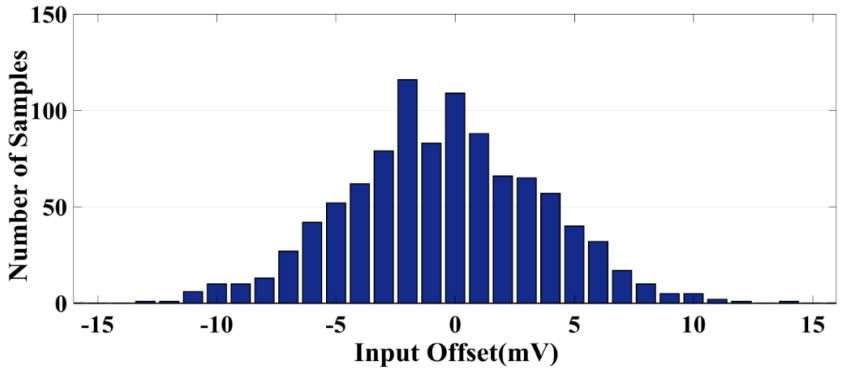
Archive of SID

شکل ۷ شبیه‌سازی اعوجاج هارمونیکی کل[۴] (THD) طرح پیشنهادی برای سیگنال ورودی mV_{PP} ۵ با فرکانس ورودی ۱۶ Hz است. همانطور که مشاهده می‌شود مقدار THD برای این سیگنال ورودی در حدود ۶۱ dB- است و محدوده دینامیکی[۵] ۶۴dB است.



شکل ۷: شبیه‌سازی THD برای سیگنال ورودی 5 mVpp با فرکانس ورودی 16 Hz

برای محاسبه آفست ورودی تقویت‌کننده تحلیل مونت کارلو با ۱۰۰۰ بار تکرار و با در نظر گرفتن دو عامل عدم تطابق[۶] ترانزیستورها و تغییرات پروسه[۷] انجام شد و نتیجه آن در شکل ۸ مشاهده می‌شود میزان انحراف میانگین و استاندارد ولتاژ آفست به‌ترتیب ۰/۵۱ mv و ۴/۱ mV است.



شکل ۸: آفست ورودی تقویت کننده پیشنهادی

[4] Total harmonic distortion
[5] Dynamic range
[6] Mismatch
[7] Process variations

www.SID.ir

Archive of SID

جدول ۳ مقایسه‌ای بین طرح پیشنهادی و مقالات موجود را نشان می‌دهد. طرح پیشنهادی دو فاکتور نویز پایین ارجاعی به ورودی و توان مصرفی پایین را به صورت همزمان نسبت به سایر مقالات دارد که این باعث می‌شود طرح پیشنهادی گزینه بسیار مناسبی برای کاربردهای قابل حمل باشد. در عین حال بدلیل بهره بالای مدار، نیاز به حساسیت بالا در بخش گیرنده آنالوگ به دیجیتال نیست و این خود سبب صرفه‌جویی در هزینه ساخت می‌شود. در واقع با این مقایسه می‌توان به این نتیجه رسید که با نوآوری اجرا شده در بخش تقویت‌کننده به هدف مورد نظر که کاهش توان مصرفی و کاهش نویز ارجاع شده به ورودی و به صورت همزمان کاهش هزینه‌های ساخت رسیده‌ایم.

جدول ۳: مقایسه نتایج طرح پیشنهادی با مقالات

Reference & year	[11], 2010	[12], 2012	[13], 2016	[14], 2018	[15], 2019	[16], 2020	This work
Application	EEG	EEG	EEG (IA amplifier)	EEG (IA amplifier)	Biomedical amplifier	ECG/EEG	EEG
Supply voltage	1 V	1.8 V	±0.8 V	1 V	1 V	1.8 V	1 V
Process	0.18 µm CMOS	0.18 µm CMOS	0.25 µm CMOS	0.18 µm CMOS	130 nm CMOS	0.18 µm CMOS	0.18 µm CMOS
Mid-band Gain	40 dB	52-80 dB	31 dB	62-74 dB	55 dB	95 dB	60 dB
-3 dB Bandwidth	0.1~100 Hz	30/100 Hz	196 Hz	Amplifier (0.1 Hz -235 Hz) With LPF: 0.1 Hz ~100 Hz	100 Hz	0.5-170 Hz	Amplifier (0.1 Hz -210 Hz) With LPF: 0.1 Hz ~100 Hz
Power Dissipation (P_{av})	2 µW	8.25 µW	6.4 µW	0.963 µW	2.5 µW	12.7 µW	<0.760 µW
Input-referred noise	1.3 µVrms, (0.1~100 Hz)	0.91 µVrms	4	1.19-1.33 µVrms, (0.5~100Hz)	2.18 µVrms (0.1-1kHz	3.8 µVrms	0.75 µVrms, (0.1~100Hz) -61 dB
THD	NA	0.56 % @5mVpp, 16 Hz	0.8 %	-52 dB	NA	0.75% @ 600mVpp	0.088%@ 5mVpp, 16Hz
NEF	4.6	2.9	NA	3.33	3.8	3.9	2.43
CMRR @ (60 Hz)(dB)	100	≥90	_____	88	125	_____	_____
PSRR @ (60 Hz)(dB)	NA	_____	_____	101	NA	75	89

۴- نتیجه‌گیری

با بررسی‌ها و با مشاهده نتایج شبیه‌سازی و مقایسه با مقالات در کل می‌توان این نتیجه را گرفت که با معرفی و اجرای طرح گیرنده پیشنهادی می توان به این ویژگی‌ها دست یافت: کاهش نویز ارجاعی به ورودی و افزایش دقت دریافت سیگنال، کاهش

www.SID.ir

Archive of SID

توان مصرفی و در نتیجه طول عمر بیشتر باتری مصرفی، بهره مناسب مدار که نیاز به حساسیت بالا در بخش گیرنده آنالوگ به دیجیتال را از بین می‌برد و خود سبب کاهش هزینه‌های ساخت می‌شود.

مراجع

[1] J. Feng, N. Yan and H. Min, "A low-power low-noise amplifier for EEG/ECG signal recording applications," *IEEE International Conference on ASIC*, 2011, pp. 145-148, doi:10.1109/ASICON.2011.6157143.

[2] N. Verma, A. Shoeb, J. Bohorquez, J. Dawson, J. Guttag and A. P. Chandrakasan, "A Micro-Power EEG Acquisition SoC With Integrated Feature Extraction Processor for a Chronic Seizure Detection System," in *IEEE Journal of Solid-State Circuits*, vol. 45, no. 4, pp. 804-816, April 2010, doi:10.1109/JSSC.2010.2042245.

[3] J. Xu, R. F. Yazicioglu, B. Grundlehner, P. Harpe, K. A. A. Makinwa and C. Van Hoof, "A 160 μW 8-Channel Active Electrode System for EEG Monitoring," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 5, no. 6, pp. 555-567, Dec. 2011, doi:10.1109/TBCAS.2011.2170985.

[4] N. Y. Sutri, J. O. Dennis, M. H. M. Khir and M. U. Mian, "Noise minimization techniques for modulator demodulator circuits used for chopper stabilization in CMOS-MEMS sensor applications," *AFRICON*, 2015, pp. 1-5, doi:10.1109/AFRCON.2015.7332005.

[5] R. R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," in *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 958-965, June 2003, doi:10.1109/JSSC.2003.811979.

[6] M. Moradi, M. Dousti and P. Torkzadeh, "Designing a Low-Power LNA and Filter for Portable EEG Acquisition Applications," in *IEEE Access*, vol. 9, pp. 71968-71978, 2021, doi:10.1109/ACCESS.2021.3076160.

[7] X. Zhao, H. Fang, and J. Xu, "A transconductance enhanced recycling structure for folded cascode amplifier," *Analog Integr Circ Sig Process*, vol.72, pp.259–263,2012, doi:10.1007/s10470-012-9843-6.

[8] M. Akbari, S. Biabanifard, S. Asadi, and M. C. E. Yagoub, "Design and analysis of DC gain and transconductance boosted recycling folded cascode OTA," *AEU—International Journal of Electronics and Communications*, vol.68, no.11, 1047–1052, 2014, doi:10.1016/j.aeue.2014.05.007.

[9] Z. Xiao, F. Huajun, X. Jun, "DC gain enhancement method for recycling folded cascode amplifier in deep submicron CMOS technology," *IEICE electronics express*, vol. 8, pp. 1450-1454, Sep. 2011, doi:10.1587/elex.8.1450.

[10] A. Agnes, F. Maloberti and G. Martini, "Improved Chopper Stabilized Amplifier for Offset and 1/f Noise Cancellation," *IEEE International Conference on Electronics, Circuits and Systems*, 2006, pp. 529-532, doi: 10.1109/ICECS.2006.379842.

[11] N. Verma, A. Shoeb, J. Bohorquez, J. Dawson, J. Guttag and A. P. Chandrakasan, "A Micro-Power EEG Acquisition SoC With Integrated Feature Extraction Processor for a Chronic Seizure Detection System," in *IEEE Journal of Solid-State Circuits*, vol. 45, no. 4, pp. 804-816, April 2010, doi:10.1109/JSSC.2010.2042245.

[12] J. Yoo, L. Yan, D. El-Damak, M. A. B. Altaf, A. H. Shoeb and A. P. Chandrakasan, "An 8-Channel Scalable EEG Acquisition SoC With Patient-Specific Seizure Classification and Recording Processor," in *IEEE Journal of Solid-State Circuits*, vol. 48, no. 1, pp. 214-228, Jan. 2013, doi:10.1109/JSSC.2012.2221220.

www.SID.ir

Archive of SID

[13] A. A. Alhammad, T.B. Nazzal1 and S. A. Mahmoud, “A CMOS EEG detection system with a configurable analog frontend architecture,” Analog Integr Circ Sig Process, vol. 89, pp. 151–176, Aug. 2016, doi:10.1007/s10470-016-0826-x.

[14] M. Nasseriana, A. Peiravia and F. Moradi, “A fully-integrated 16-channel EEG readout front-end for neural recording applications,” *AEU - International Journal of Electronics and Communications*, vol. 94, pp. 109-121, Sep. 2018, doi:10.1016/j.aeue.2018.06.045

[15] C. -J. Lee and J. -I. Song, "A Chopper Stabilized Current-Feedback Instrumentation Amplifier for EEG Acquisition Applications," in *IEEE Access*, vol. 7, pp. 11565-11569, 2019, doi:10.1109/ACCESS.2019.2892502.

[16] Z. Hoseini, M. Nazari, K. -S. Lee and H. Chung, "Current Feedback Instrumentation Amplifier With Built-In Differential Electrode Offset Cancellation Loop for ECG/EEG Sensing Frontend," in *IEEE Transactions on Instrumentation and Measurement*, vol. 70, pp. 1-11, 2021, Art no. 2001911, doi:10.1109/TIM.2020.3031205.

www.SID.ir