Archive of SID

ترانزیستور اثر میدان فلز– نیمه هادی با ناحیه بدون ناخالصی در طرف درین برای اصلاح چگالی حامل ها و کاربردهای توان بالا

علی اصغر اروجی[1*]، اکرم عنبر حیدری[2] و زینب رمضانی[2]

اطلاعات مقاله

واژگان کلیدی:
ترانزیستور اثر میدان فلز-نیمه هادی کربید سیلیسیم ، گیت تو رفته دوبل، ولتاژ شکست، ماکزیمم توان خروجی.

چکیده

در این مقاله یک ترانزیستور جدید اثر میدان فلز-نیمه هادی با گیت تو رفته دوبل و ناحیه بدون ناخالصی در سمت درین ارایه می شود. ایده اصلی در این ساختار اصلاح چگالی حامل ها و توزیع میدان الکتریکی است . نتایج شبیه سازی نشان می دهد که ولتاژ شکست و ماکزیمم توان خروجی ساختار پیشنهادی به ترتیب ۵۷٪ و ۵۰٪ نسبت به ساختار مسفت با گیت تو رفته دوبل در طرف سورس بهبود یافته است. بنابر این ساختار پیشنهادی عملکرد بهتری در کاربردهای توان بالا خواهد داشت.

۱- مقدمه

در سال های اخیر تقاضا برای ترانزیستورهایی با سرعت بالا، پهنای باند وسیع افزایش پیدا کرده است. تکنولوژی مسفت کربید سیلیسیم کاندیدای خوبی برای کاربردهای فرکانس بالا و توان بالا می باشد. گاف انرژی و هدایت گرمایی بالای کربید سیلیسیم نسبت به سیلیسیم و گالیم آرسناید چندین مزیت را برای این ماده به همراه دارد. ترانزیستورهای مسفت کربید سیلیسیم برای ولتاژ بالا، توان بالا ودمای بالا بسیار مناسب هستند. این ترانزیستورها دارای میدان‌الکتریکی بحرانی بالا، سرعت اشباع الکترون بالا وهدایت گرمایی بالا می باشند[6-1].

هم چنین4H-SiC نسبت به 6H-SiC دارای توجه بیشتری می باشد زیرا موبیلیتی حامل های آن بالاتر و در حدود دو برابر می باشد. ترانزیستور 4H-SiC MESFET مورد استفاده برای کاربرد های توان، باید قادر باشد که جریان درین بالا و ولتاژ شکست بالایی را برای ترانزیستور بر آورده کند [4]. تا کنون ساختارهای زیادی برای بهبود مشخصات ذکر شده ارائه شده است[8-7]. برای برآورده شدن جریان درین بالا، یک ترانزیستور نیاز به چگالی ناخالصی بالا و هم چنین پهنای کانال بالا دارد. البته چگالی ناخالصی کانال بالا، باعث کاهش ولتاژ شکست می شود و پهنای کانال بالا نیز باعث کاهش نسبت طول گیت به پهنای کانال شده و در نتیجه باعث افزایش اثرات کانال کوتاه مانند DIBL خواهد شد و این امر باعث کاهش عملکرد قطعه می شود . جهت غلبه بر این مشکل در سال های اخیر یک ترانزیستور مسفت

* پست الکترونیک نویسنده مسئول: aliaorouji@ieee.org
۱. استاد، دانشکده مهندسی برق و کامپیوتر، دانشگاه سمنان
۲. کارشناس ارشد، دانشکده مهندسی برق و کامپیوتر، دانشگاه سمنان

www.SID.ir

Archive of SID

کربید سیلیسیم با گیت تو رفته دوبل در طرف سورس[۱] پیشنهاد شد که دارای یک ناحیه با پهنای کم در زیر گیت در طرف سورس برای کاهش اثرات کانال کوتاه و یک ناحیه با پهنای کانال بالا در طرف درین برای افزایش جریان درین می باشد [9]. این ساختار دارای عملکرد بهتری نسبت به ساختار مرسوم مسفت[۲] می باشد. البته در ساختار پیشنهادی، عملکرد قطعه به وسیله کاهش ولتاژ شکست کاهش می یابد زیرا این قطعه دارای پهنای کانال بزرگتری در زیر گیت و بین گیت و درین می باشد. بنابر این در این مقاله به منظور بهبود مشخصات مسفت با گیت تو رفته دوبل در طرف سورس ساختاری جدیدی به نام مسفت -با گیت تو رفته دوبل در طرف درین با ناحیه بدون ناخالصی[۳] پیشنهاد می شود. این ساختار دارای کانال با پهنای کم در طرف درین بوده و علاوه بر کاهش اثرات کانال کوتاه باعث افزایش ولتاژ شکست بدون افزایش ابعاد آن می شود. استفاده از لایه بدون ناخالصی در ناحیه بین گیت و درین سبب می شود که قسمتی از بار کانال حذف گردد و بنابراین از بار کل کانال کاسته می گردد. هم چنین این امر باعث می شود ولتاژ شکست و جریان درین به ترتیب افزایش و کاهش یابد.

۲- ساختار قطعه

شکل (۱-الف) و (۱-ب) ساختار قطعات مسفت با گیت تو رفته دوبل در طرف سورس و مسفت با گیت تورفته دوبل در طرف درین با ناحیه بدون ناخالصی را نمایش می دهند. برای به دست آمدن بهترین نتایج، ابعاد و موقعیت لایه ی ناخالصی در کانال بهینه سازی شده است. تمام پارامترهای ساختار و لایه ی بدون ناخالصی در جدول ۱ بیان شده است.

جدول۱- پارامترهای ساختار

مشخصات قطعه	نماد	مقدار
طول گیت	L_G	0/7µm
طول گیت-سورس	L_{GS}	0/5µm
طول گیت-درین	L_{GD}	1 µm
طول سورس	L_S	0/3µm
طول درین	L_D	0/3µm
ضخامت کانال	T_C	0/25µm
ضخامت لایه ی بافرp	T_p	0/5µm
چگالی ناخالصی لایه بافر p	N_a	$1/4*10^{15}\ cm^{-3}$
پهنای لایه ی بدون ناخالصی	W	0/3 µm
فاصله ی لایه ی بدون ناخالصی از لبه ی گیت	S	0/2 µm

پیوند شاتکی گیت از جنس نیکل بوده که دارای تابع کار5/1 eV می باشد. شبیه سازی ها به وسیله نرم افزار Atlas انجام شده [10] و نیمه هادی استفاده شده در این ترانزیستورها SiC می باشد[11,12].

۳- نتایج شبیه سازی

به طور کلی در ساختار مرسوم در غیاب هر گونه بایاس، ناحیه تخلیه در زیر ناحیه‌ی گیت یکنواخت است در بایاس صفر گیت، عمق لایه ی تخلیه به اندازه ی پتانسیل داخلی سد شاتکی است و مسیر جریان بین ناحیه ی تخلیه و لایه ی زیرین با مقاومت ویژه بزرگ است. اگر ولتاژدرین-سورس صفر داشته و گیت نسبت به نیمه هادی زیرین خود دارای پتانسیل منفی (معکوس) باشد یک بخش از این نیمه هادی از حامل ها تخلیه می شود و ناحیه ی تخلیه بزرگ تر می شود. در این حالت لایه ی تخلیه در زیر گیت متقارن می‌باشد و عمق آن به پتانسیل گیت وابسته است و مسیر جریان در کانال بین ناحیه ی تخلیه و لایه ی زیربنا مقاومت ویژه ی بزرگ است. با افزایش ولتاژ در سمت منفی و داشتن V_{DS} کم ناحیه ی

[۱] Source Side-Double Recessed 4H-SiC MESFET (SS)
[۲] Conventional MESFET
[۳] Drain Side-Double Recessed 4H-SiC MESFET with an undoped region (DS-UR)

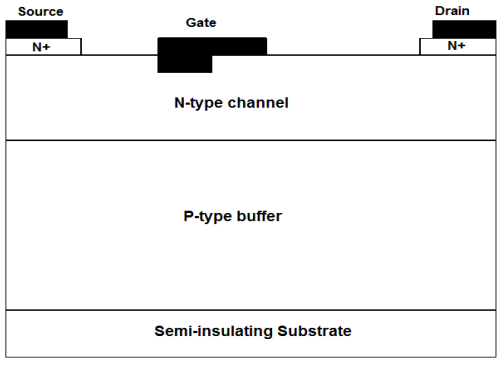
www.SID.ir

Archive of SID

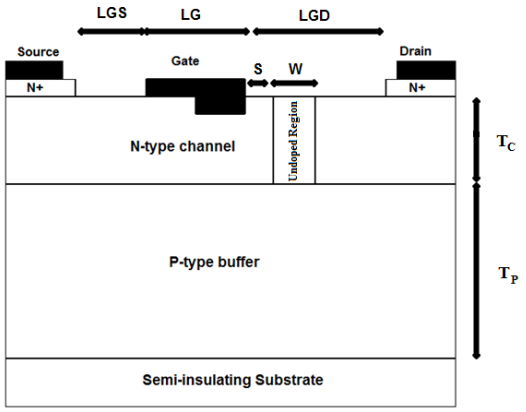
تخلیه بزرگ و بزرگتر شده و در نهایت کانال به فشردگی می رسد.

جریان درین-سورس علاوه بر ولتاژ گیت به ولتاژ درین-سورس وابسته است. حال اگر ولتاژگیت را ثابت در نظر بگیریم و V_{DS} را افزایش پیدا کند، لایه تخلیه غیر متقارن خواهد شد. زیر اختلاف پتانسیل بین گیت و لایه ی فعال زیر گیت در انتهای درین-نسبت به گیت، بزرگتر از اختلاف پتانسیل در انتهای سورس نسبت به درین است($V_{GD}>V_{DS}$). بنابر این درین نسبت به گیت فشرده تر می شود و مقدار میدان الکتریکی در آن منطقه افزایش می یابد. باافزایش V_{DS}، میدان در انتهای درین نسبت به گیت به اندازه‌ای خواهد رسیدکه در آن جا سرعت الکترون به اشباع می رساند. در فراتر از این مقدار که به ولتاژزانو مشهور است جریان به V_{DS} وابسته نیست و مقدار ثابتی خواهد . سرانجام در مقادیر خیلی بزرگ بایاس درین حامل‌های عبوری تحت تاثیر میدان الکتریکی خیلی بزرگ قرار گرفته و پدیده‌ی یونیزاسیون و شکست رخ می‌دهد. در ساختار پیشنهادی با استفادهیک ناحیه ی بدون ناخالصی و گیت تو رفته سمت درین چگالی حامل ها و میدان الکتریکی اصلاح شده و شکست در ولتاژ بالاتری اتفاق خواهد افتاد.

شکل ۲ نشان دهنده مشخصه میدان الکتریکی ترانزیستور های مسفت با گیت تو رفته دوبل در طرف سورس و مسفت با گیت تو رفته دوبل در طرف درین با ناحیه بدون ناخالصی می باشد.



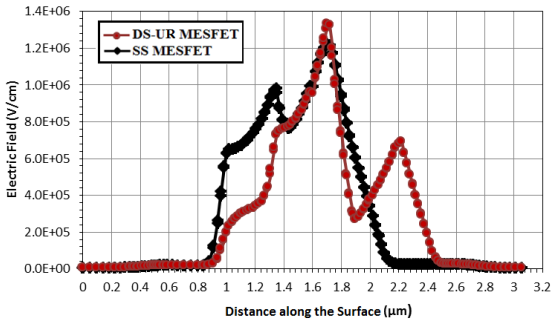
(الف)



(ب)

شکل ۱- ساختارهای (الف) مسفت با گیت تو رفته دوبل در طرف سورس و (ب) مسفت با گیت تو رفته دوبل در طرف درین با ناحیه بدون ناخالصی (ساختار پیشنهادی).

میدان برای هر دو ساختار در ولتاژ شکست مربوط به آن رسم گردیده است. با توجه به شکل مشاهده می گردد که در ساختار پیشنهادی دو قله در میدان آن وجود دارد که قله اضافه در ناحیه ای بین گیت و درین می باشد. این قله نسبت به قله اصلی از مقدار کم تری برخوردار است [13,15]. این امر سبب یکنواختی میدان در ناحیه کانال و افزایش ولتاژ شکست در ساختار پیشنهادی می شود. بررسی های بیشتر برای ولتاژ شکست نشان می دهد که پدیده شکست در ترانزیستورهای مسفت در گوشه گیت نزدیک درین رخ می دهد زیرا ماکزیمم میدان الکتریکی در گوشه گیت نزدیک درین به وجود می آید و باعث می شود که ماده داخل کانال به میدان الکتریکی بحرانی خود برسد.



شکل ۲- توزیع میدان الکتریکی در طول کانال مسفت با گیت تو رفته دوبل در طرف سورس و ساختار پیشنهادی.

www.SID.ir

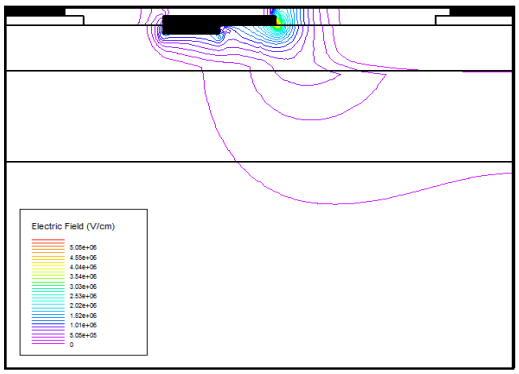
Archive of SID

شکل (۳-الف) و (۳-ب) توزیع دو بعدی میدان الکتریکی در مسفت با گیت تو رفته دوبل در طرف سورس و ساختار پیشنهادی را نشان می دهد. همانطور که مشاهده می شود توزیع میدان در ساختار پیشنهادی یکنواخت تر از ساختار مسفت با گیت تو رفته دوبل در طرف سورس می باشد. در ساختار مرسوم تجمع خطوط میدان در لبه ی گیت نزدیک درین است در حالی که در ساختار پیشنهادی به دلیل اصلاح حامل ها در این لبه خطوط به سمت درین پراکنده شده است و در طول ساختار کشیده شده است. لذا کاهش قابل توجه میدان کانال مشاهده می شود[15].

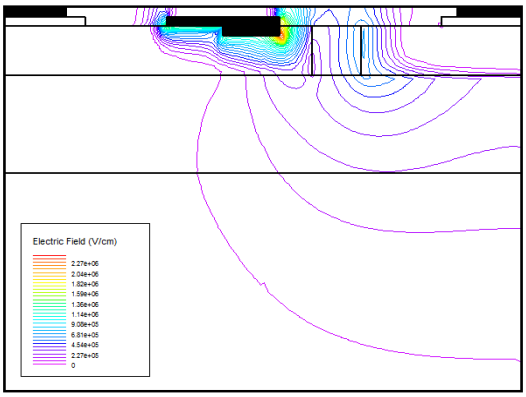
ولتاژ شکست که از مشخصه های مهم ترانزیستور می باشد در شکل ٤ نمایش داده شده است. این شکل در ولتاژ گیت برابر ولتاژ آستانه رسم گردیده است. ولتاژ شکست در ساختار مسفت با گیت تو رفته دوبل در طرف سورس برابر با ۱۰۵ V در حالی که در ساختار پیشنهادی این مقدار ۱۶۵ V می باشد. بنابراین افزایش ولتاژ شکست در ساختار پیشنهادی در اثر کاهش ماکزیمم میدان الکتریکی در گوشه گیت نزدیک درین به و جود می آید. شکل ۵ مشخصه جریان درین بر حسب ولتاژ درین برای مسفت با گیت تو رفته دوبل در طرف سورس و ساختار پیشنهادی را نشان می دهد. استفاده از لایه بدون ناخالصی در ناحیه بین گیت و درین سبب می شود از بار کل کانال کاسته می شود. با توجه به رابطه زیر در می یابیم که جریان درین با بار کانال رابطه ای مستقیم دارد [16]:

$$I_D(x) = Z \times Q_n(x) \times \nu(x) \qquad (1)$$

که در این رابطه Z پهنای کانال، Q_n بار کانال و V سرعت حامل ها می باشد. کاهش بار در ساختار پیشنهادی سبب می گردد که جریان درین نیز کاهش یابد. به عنوان نمونه در ولتاژ گیت ۲- ولت جریان درین از ۶۹۳ mA/mm درساختار پیشنهادی به ۶۲۲ mA/mm کاهش می یابد.

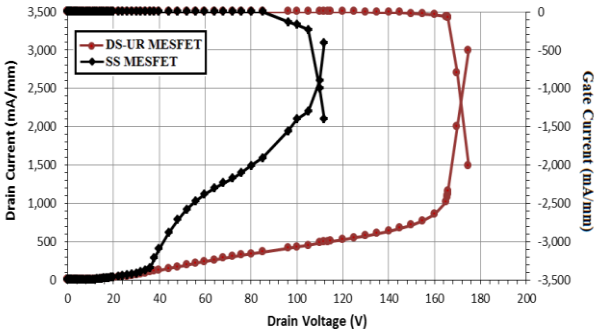


(الف)



(ب)

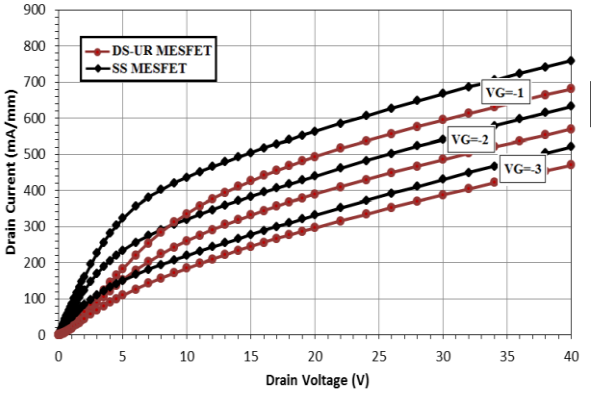
شکل ۳- توزیع دو بعدی میدان در (الف) مسفت با گیت تو رفته دوبل در طرف سورس و (ب) ساختار پیشنهادی.



شکل ۴- مقایسه میزان جریان درین و جریان گیت مسفت با گیت تو رفته دوبل در طرف سورس و ساختار پیشنهادی.

www.SID.ir

Archive of SID



شکل ۵- جریان درین برای مسفت با گیت تو رفته دوبل در طرف سورس و ساختار پیشنهادی.

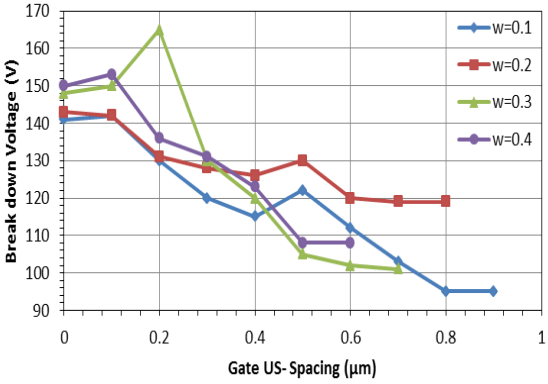
حداکثر چگالی توان خروجی برای یک تقویت کننده کلاس A از رابطه زیر بدست می آید [9]:

$$P_{\max} = \frac{I_{Dsat}(V_{BR} - V_{Knee})}{8} \qquad (2)$$

که در این رابطه V_{knee} ولتاژ زانویی می باشد. پس از محاسبه، حداکثر چگالی توان خروجی در ساختار پیشنهادی ۱۱/۶۶ W/mm می باشد در حالی که در ساختار مسفت با گیت تو رفته دوبل در طرف سورس مقدار 7/79 W/mm بدست آمده است. بنابراین چگالی توان خروجی به اندازه ۵۰٪ افزایش یافته است.

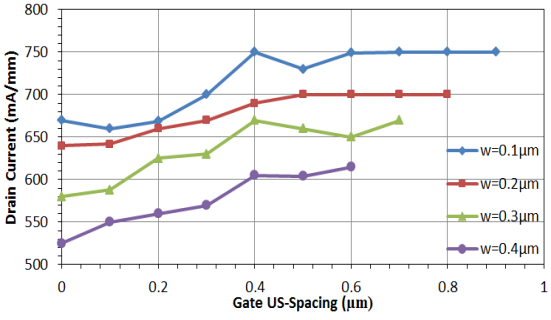
4- بهینه سازی ابعاد و موقعیت لایه بدون ناخالصی

لایه بدون ناخالصی بروی مشخصات DC اثرات قابل توجهی دارد که با تغییر موقعیت و ابعاد آن این مقادیر نیز تغییر می کنند. بنابراین بهینه سازی آن ها از اهمیت زیادی برخوردار می باشد. شکل ۶ نشان دهنده تغییرات ولتاژ شکست بر حسب فاصله بین گیت و لایه بدون ناخالصی به ازا طول های مختلف لایه بدون ناخالصی می باشد. در شکل ۷ تغییرات جریان درین بر حسب فاصله بین گیت و لایه بدون ناخالصی به ازا طول های مختلف لایه بدون ناخالصی در ولتاژ گیت ۲- ولت و ولتاژ درین ۴۰ ولت نمایش داده شده است.



شکل ۶- ولتاژ شکست بر حسب فاصله بین گیت و لایه بدون ناخالصی.

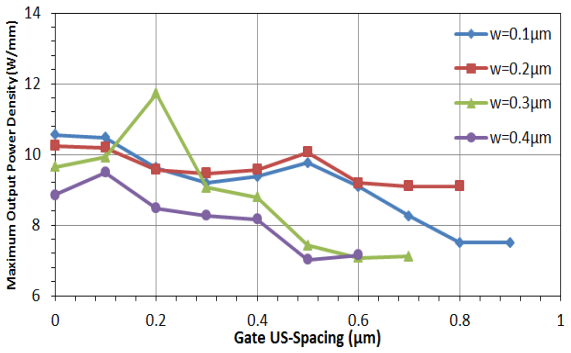
همانطور که از نمودار مشاهده می گردد با افزایش ابعاد لایه بدون ناخالصی جریان درین کاهش می یابد. تغییرات حداکثر چگالی توان خروجی نیز در شکل ۸ نمایش داده شده است. حال با در نظر گرفتن شکل های ۶ تا ۸ به منظور بهینه سازی دقیق، ابعاد و موقعیت این لایه مقادیر ۰/۳ µm و۰/۲ µm به ترتیب برای W و S بدست خواهند آمد.



شکل ۷- تغییرات جریان درین بر حسب فاصله بین گیت و لایه بدون ناخالصی

www.SID.ir

Archive of SID



شکل ۸- حداکثر چگالی توان خروجی بر حسب فاصله بین گیت و لایه بدون ناخالصی

۵-نتیجه گیری

یک ترانزیستور اثر میدان فلز-نیمه هادی با گیت تو رفته دوبل در طرف درین با ناحیه بدون ناخالصی پیشنهاد شد. نتایج شبیه سازی نشان می دهد که ولتاژ شکست ساختار پیشنهادی ۱۶۵ ولت و ولتاژ شکست برای ساختار مسفت با گیت تو رفته دوبل در طرف سورس، ۱۰۵ ولت می باشد و حداکثر چگالی توان خروجی به میزان ۵۰% افزایش می یابد. لذا این ترانزیستوربرای کاربرد های توان و ولتاژ بالا مناسب می‌باشد.

۶- مراجع

[1] Hjelmgrn, H., Allerstam F., Andersson, K., Nilsson, P. A., and Rorsman N.(2010). " Transient simulation of microwave, SiC MESFETs with improved trap models," IEEE Trans.Electron Devices, vol. 57, pp. 729–32.

[2] Sriram, S., Hagleitner, H., Namishia, D., Alcorn, T., Smith T., and Pulz, B. (2009). "High-gain SiC MESFETs using source-connected field plates", IEEE Trans. Electron Devices, vol. 30, pp. 952–3.

[3] Zhu, C.L., Rusli E., and Zhao P., (2007). "Dual-channel 4H-SiC metal semiconductor field effect transistors," Solid-StateElectron, vol. 51, pp. 343–4.

[4] Rusli, E., Zhu, C.L., Zhao, P., and Xia J. H., (2006). "Characterization of SiC MESFETs with narrow channel layer", Microelectron. Eng, vol. 83, pp. 72–4.

[5] Zhang, J., Ye, Y., Zhou, C., Luo, X., Zhang, B., and Li, Z., (2008). "High breakdown voltage 4H-SiC MESFETs with floating metal strips," Microelectron. Eng, vol. 85, pp. 89–92.

[6] Deng, X., Zhang, B., Li, Z., and Chen, Z., **(***2008).***"**Two-dimensional analysis of the surface state effects in *4H-SiC MESFETs," Microelectron. Eng, vol. 85, pp. 295–9.*

[7] Zeinab Ramezani, Ali A. Orouji, P. Keshavarzi, (2014). "A novel double-recessed 4H-SiC MESFET Using Scattering the Electric Field for High Power and RF Applications" Physica E: Low-dimensional Systems and Nanostructures, vol. 59, pp. 202–209.

[8] Amirhossein Aminbeidokhti and Ali A. Orouji, (2012). "A new double-recessed 4H-SiC MESFET with superior RF characteristics, International Journal of Electronics, pp. 1-9.

[9] Zhu, C.L., Rusli, E., Tin, C.C, Zhang, G. H., Yoon, S.F., and Ahn, J., (2006). "Improved performance of SiC MESFETs using double-recessed structure," Microelectron. Eng, vol. 83, pp. 92–5.

[10] ATLAS user's manual: Device simulation software, (2012). Silvaco International.

www.SID.ir

Archive of SID

[11] Ruff, M., Mitlehner, H., and Helbig, R., (1994). " SiC devices: physics and numerical simulation," IEEE Trans. Electron Devices, vol. 41, pp. 1040–54.

[12] Baliga, B.J., (1987). Modern Power Devices (New York: Wiley Interscience).

[13] Mahabadi, S.E.J., Orouji, A. A, Keshavarzi, P.,and Moghadam, H. A, (2011). "A new partial SOI-LDMOSFET with a modified buried oxide layer for improving self-heating and breakdown voltage," Semicond. Sci. Technol, vol. 26, pp. 95005–16.

[14] Zhang, J., Luo, X., Li, Z., and Zhang, B., (2007). "Improved double-recessed 4H-SiC MESFETs structure with recessed source/drain drift region," Microelectron. Eng, vol. 84, pp. 2888–91.

[15] Orouji, A. A., Aminbeidokhti, A., (2011). "A novel double-recessed 4H-SiC MESFET with partly undoped space region," Superlattices and Microstructures, vol. 50, pp. 680–690.

[16] Sze, S.M., Ng, K.K., (2007). Physics of Semiconductor Devices, third ed., John Wiley & Sons, New Jersey, pp. 386–398.

www.SID.ir