Archive of SID

ارائه یک ساختار جدید برای اینورترهای منبع ولتاژ چند سطحی تک‌فاز بر مبنای کاهش تعداد کلیدهای نیمه‌هادی

حسن فشکی فراهانی[۱،*]

اطلاعات مقاله

دریافت مقاله: ۱۳۹۴/۰۸/۰۷
پذیرش مقاله: ۱۳۹۵/۰۳/۰۵

واژگان کلیدی:
اینورترهای چندسطحی،
کلیدهای دو طرفه،
کاهش تعداد کلیدهای نیمه‌هادی،
کاهش THD،
مبدل تمام موج.

چکیده

در این مقاله یک توپولوژی جدید برای اینورترهای چند سطحی با استفاده از ماژول‌های چند سطحی و پل اینورتری ارائه شده است. یکی از ویژگی‌های اساسی این توپولوژی کاهش چشمگیر تعداد کلیدهای نیمه‌هادی و منابع تغذیه با افزایش تعداد سطوح ولتاژ خروجی می‌باشد. برای این ساختار آلگوریتمی جهت تعیین اندازه منابع ولتاژهای DC ارائه شده است. همچنین نحوه تعیین تعداد بهینه المان‌های مدار از جمله تعداد کلیدها، مدار درایور و منابع تغذیه برای دستیابی به بیشترین سطح ولتاژ در خروجی بدست آمده است. برای توپولوژی پیشنهادی نحوه کلیدزنی و تعیین بازه‌های کلیدزنی به منظور کاهش THD ارائه شده که با استفاده از این روش کلیدزنی، مقدار THD حداقل شده است. جهت ارزیابی و تایید عملکرد توپولوژی پیشنهادی یک نمونه اینورتر با تعداد سطوح ۱۲۵ سطحی شبیه‌سازی شده است. همچنین برای نشان دادن قابلیت ساختار پیشنهادی یک نمونه شکل موج ولتاژ محتوی هارمونیک‌های مرتبه پنجم و هفتم توسط این ساختار تولید شده و نتایج بدست آمده مورد ارزیابی قرار گرفته است.

۱- مقدمه

در سال‌های اخیر اینورترهای چند سطحی به دلیل قابلیت‌شان در کاربرد ولتاژ بالا، بازده بالا و تداخل الکترومغناطیسی کم (EMI) مورد توجه بیش‌تری قرار گرفته‌اند [۱]. با افزایش تعداد منابع ولتاژ DC و استفاده از روش کلیدزنی فرکانس پایه، شکل موج ولتاژ خروجی اینورتر تقریبا به شکل موج سینوسی نزدیک می‌شود. در این صورت تلفات کلیدزنی پایین بوده و به دلیل استفاده از چندین منبع ولتاژ DC، کلیدها استرس ولتاژ پایین‌تری را تجربه می‌کنند [۲]. در مقایسه با مبدل‌های مرسوم و با افزایش تعداد منابع ولتاژ dc (سطوح)، گام‌های ولتاژ کوچک منجر به تولید شکل موج خروجی با کیفیت بالاتر، تلفات کلیدزنی پایین‌تر، بازده بالاتر، و همچنین کاهش استرس‌های dv/dt روی بار می‌شوند و قابلیت کار با نیمه هادی‌های با سرعت پایین‌تر را می‌دهد [۴-۳].

در دهه‌ی اخیر، انواع مختلفی از ساختارهای چند سطحی ارائه شده است [۹-۵]. در حالت کلی، اینورتر چند سطحی به سه دسته‌ی کلی دیود کلمپ[۱۰]، خازن‌های شناور [۱۱] و پل H سری شده [۱۰] تقسیم می‌شود. در میان این اینورترها، اینورتر چند سطحی دیود کلمپ به دلیل تعداد زیاد دیود و خازن به کار رفته برای تولید سطوح مختلف ولتاژ در خروجی و تنظیم تعادل هر یک از ولتاژهای لینک DC خازن‌ها به کنترل‌های PWM پیچیده‌ای نیاز دارد. وقتی از اینورترهای چند سطحی خازن شناور استفاده می‌شود، مدار مبدل شامل المان‌های نسبتاً کم‌تری می‌شود با این وجود به دلیل خازن‌های زیاد حجم سیستم افزایش می‌یابد. CHB از چندین واحد تک‌فاز سلول‌های قدرت پل H با استفاده از دو پایه اینورتر موازی با منابع DC ایزوله شده ترکیب شده است. سلول‌های پل H معمولاً برای رسیدن به ولتاژ مطلوب و اعوجاج هارمونیکی پایین در طرف

* پست الکترونیک نویسنده مسئول: hfeshki@aiau.ac.ir
۱. استادیار، دانشکده فنی و مهندسی، واحد تهران مرکزی، دانشگاه آزاد اسلامی، تهران

www.SID.ir

Archive of SID

AC خودشان به صورت سری متصل می‌شوند. کنترل و عملکرد این اینورتر نسبت به دو مورد ذکر شده در بالا ساده و دارای ساختاری مقاوم است. به علت تداخل الکترومغناطیسی کم و بازده بالا با روش کنترل کلیدزنی فرکانس پایین، اینورتر چند سطحی CHB، ساختار رایجی دارد و کاربردهای متنوعی در صنعت از قبیل کاربرد در درایو با ولتاژ متوسط توان بالا [۱۲]، و جبران‌ساز توان راکتیو [۱۳] پیدا کرده است. عیب عمده‌ی اینورتر چند سطحی سری می‌تواند با استفاده از ولتاژهای باس DC نابرابر [۱۴] یا یک منبع ولتاژ [۱۵] توسعه یابد که این عمل امکان کاربردهای متفاوتی را برای این ساختار نشان می‌دهد.

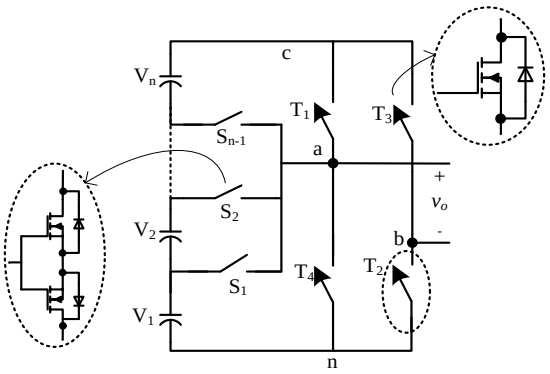
در طبقه‌بندی دیگر اینورترهای چند سطحی معروف به دو دسته طبقه‌بندی می‌شوند، اولی اینورتر چند سطحی با منبع ولتاژ DC مشترک مانند دیود کلمپ و خازن شناور می‌باشد و دومی اینورتر چند سطحی با منابع ولتاژ جداگانه مانند اینورتر چند سطحی سری شده (CHB) می‌باشد [۱۶]. اینورترهای چند سطحی جدیدی که اخیرا ارائه شده‌اند و دارای ساختارهایی هستند که منابع ولتاژ dc آن‌ها نیز جداگانه است در دسته‌بندی دوم قرار می‌گیرند [۵ و ۸ و ۱۷-۲۱].

اینورترهای چند سطحی معایبی نیز دارند. یکی از مهم‌ترین معایب، نیاز به کلیدهای نیمه‌هادی قدرت با تعداد زیاد می‌باشد. هر چند کلیدهای رنج ولتاژ پایین می‌توانند در اینورترهای چند سطحی مورد استفاده قرار گیرند، هر کلید به یک مدار گیت راه‌انداز جداگانه‌ای نیاز دارد. بنابراین در کاربردهای خاص، کاهش تعداد کلیدها و مدارات گیت راه‌انداز بسیار مهم است [۳۰-۲۲].

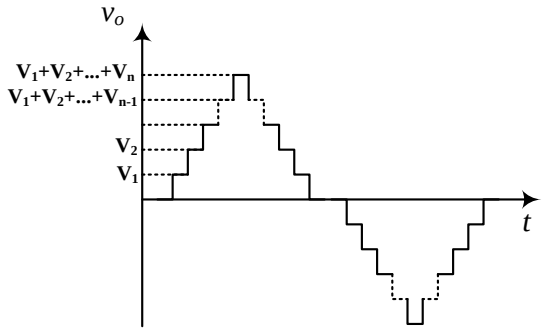
با توجه به موارد ذکر شده هدف این مقاله ارائه یک توپولوژی برای اینورترهای چند سطحی با تعداد کلیدهای نیمه‌هادی قدرت می‌باشد که برای این توپولوژی تعداد بهینه المانها تعیین شده است. همچنین نحوه کلیدزنی این توپولوژی جهت دستیابی به کمترین مقدار THD مورد ارزیابی قرار گرفته و با استفاده از نتایج شبیه‌سازی مورد تایید قرار گرفته است.

۲- ساختار پیشنهادی

ساختار پیشنهادی در شکل (۱) نشان داده شده است. این ساختار یک ماژول اینورتر چند سطحی نامیده می‌شود. که با استفاده تعدادی از این ماژول، می‌توان به یک اینورتر چند سطحی دست یافت.

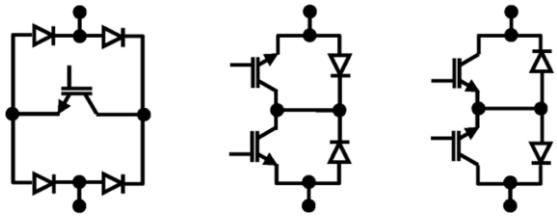


(الف)



(ب)

شکل ۱: الف - توپولوژی ارائه شده ب - شکل موج ولتاژ خروجی



(ج) (ب) (الف)

شکل ۲: سوئیچ‌های دوطرفه

این ساختار متشکل از n عدد منبع ولتاژ DC یا خازن، و n-1 عدد کلید استفاده می‌شود. این ماژول یک ولتاژ چند سطحی پلکانی یکطرفه (با پلاریته مثبت) را ایجاد می‌کند. که با اتصال خروجی این ماژول به یک پل اینورتری تکفاز می‌توان ولتاژ تولید شده را دو طرفه نمود. به عبارتی دیگر سطح ولتاژ تقریباً دو برابر می‌شود. پل اینورتری از چهار کلید یکطرفه استفاده می‌کند که این کلید یکطرفه می‌تواند متشکل از یک IGBT یا MOSFET با یک دیود آنتی پارالل سریع باشد. در شکل (۲) انواع ساختارهای کلیدهای

www.SID.ir

Archive of SID

دو طرفه نشان داده شده است.

در این ساختار، سطوح میانی توسط کلیدهای S_1 تا S_{n-1} ایجاد شده و سطوح صفر و حداکثر با استفاده از پل اینورتری ایجاد می‌شود. بنابراین با استفاده از این ساختار می‌توان به صورت شکل (۳) می‌توان به تعداد $2n+1$ سطح دست یافت.

جدول ۱: ترتیب کلیدزنی برای دستیابی به سطوح مختلف ولتاژ خروجی برای ماژول پیشنهادی

state	Switches states									V_o
	S_1	S_2	…	S_{n-2}	S_{n-1}	T_1	T_2	T_3	T_4	
1	0	0	…	0	0	1	1	0	0	$\sum_{i=1}^{n} V_i$
2	0	0	…	0	1	0	1	0	0	$\sum_{i=1}^{n-1} V_i$
3	0	0	…	1	0	0	1	0	0	$\sum_{i=1}^{n-2} V_i$
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
n-1	0	1	…		0	0	1	0	0	$V_1 + V_2$
n	1	0	…	0	0	0	1	0	0	V_1
n+1	0	0	…	0	0	0	0	0	0	*0*
n+2	0	0	…	0	1	0	0	1	0	$-V_n$
n+3	0	0	…	1		0	0	1	0	$-(V_n + V_{n-1})$
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
2n-1	0	0	…	0	0	0	0	1	0	$-\sum_{i=1}^{n-2} V_i$
2n	0	0	…	0	0	0	0	1	0	$-\sum_{i=1}^{n-1} V_i$
2n+1	0	0	…	0	0	0	0	1	1	$-\sum_{i=1}^{n} V_i$

در شکل (۱- ب)، شکل موج نمونه برای خروجی‌های ماژول و خروجی بعد از پل اینورتری نشان داده شده است. در این ساختار برای دستیابی به هر سطح ولتاژ، باید دو کلید از پل اینورتری هدایت کنند. لازم به ذکر است که کلیدهای T_1 و T_4 نمی‌توانند به صورت همزمان هدایت کنند. یکی از ویژگی‌های اساسی این ساختار، روشن شدن حداکثر دو کلید برای دستیابی به هر سطح می‌باشد. در جدول ۱ ترتیب کلیدزنی سوئیچ‌ها برای ماژول و پل اینورتر به منظور دستیابی به سطوح مختلف نمایش داده شده است.

در صورتی که کلید روشن باشد مقدار آن در جدول ۱ برابر با یک و در غیر این‌صورت صفر می‌باشد. در این حالت برای سادگی فرض شده است که افت ولتاژ سوییچ‌ها برابر با صفر باشد و ایده‌آل در نظر گرفته شده است.

برای یک ماژول با n منبع تغذیه، تعداد سطوح قابل دسترس برای خروجی v_o برابر با $2n+1$ می‌باشد. برای دستیابی به سطوح بالاتر می‌توان تعدادی از این ماژول‌ها را مطابق شکل (۳) به صورت متوالی بست. در این حالت ماژول‌های ۱ تا k به ترتیب با n_1 تا n_k عدد منبع تغذیه به صورت متوالی قرار می‌گیرند. تعداد سطوح ولتاژ خروجی هر ماژول برابر با $2n_k+1$ می‌باشد.

سطوح مختلف ولتاژی با استفاده از ترکیب حالت‌های مختلف کلیدزنی این ماژول‌های آبشارگونه می‌تواند ایجاد شود. با انتخاب مناسب ولتاژهای این ماژول‌ها می‌توان سطوح ولتاژی بین حداقل و حداکثر را بدست آورد که برابر است با:

$$v_{o,\max} = \sum_{i=1}^{k}\sum_{j=1}^{n_i} V_{ij} \qquad (۱)$$

$$v_{o,\min} = -\sum_{i=1}^{k}\sum_{j=1}^{n_i} V_{ij} \qquad (۲)$$

جدول ۲ نحوه کلیدزنی برای دستیابی به سطوح مختلف در حالت آبشارگونه را نشان می‌دهد. در این ساختار به منابع مختلف ولتاژی نیاز می‌باشد که می‌توان با استفاده از مقسم خازنی و یا خروجی برخی از سیستم‌های انرژی‌های نو مانند سیستم‌های فتوولتاییک، پیل سوختی و یا ذخیره‌سازهای انرژی مانند خازن‌ها و باطری‌ها استفاده نمود. البته می‌توان با استفاده از یک ترانسفورماتور با خروجی‌های مختلف و یکسوسازهای مناسب ضمن تامین منابع مورد نیاز، ایزولاسیون را نیز به وجود آورد.

۳- تعیین مقادیر منابع ولتاژ در ماژول‌ها

در صورتی که منابع ولتاژ در یک ماژول برابر باشد در این صورت اینورتر متقارن خواهد بود. لازم به ذکر است در صورتی که سیگنال‌های کلیدزنی برای ماژول‌ها به درستی انتخاب نشود، ممکن است برخی از سطوح از بین بروند. البته این حالت برای زمانی که اندازه منابع ولتاژ ماژول‌ها نیز به درستی انتخاب نشود، می‌تواند به وجود آید. در ساختار ارائه شده در این مقاله روابط کلی ارائه و در ادامه روابط برای حالت متقارن استفاده شده است. با انتخاب اولین منبع ولتاژ به عنوان مقدار مبنا می‌توان نوشت:

$$V_{base} = V_{11} = E \qquad (۳)$$

www.SID.ir

Archive of SID

جدول ۲: ترتیب کلیدزنی برای دستیابی به سطوح مختلف ولتاژ خروجی با اتصال متوالی ماژول‌های پیشنهادی

State	Switches states							V_o
2	S_{11}	T_{12}	…	-	-	-	-	V_{11}
1	0	0	…	-	-	-	-	0
	S_{1n}	T_{13}	…	-	-	-	-	$-V_{11}$
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
2n	T_{11}	T_{12}	…	-	-	-	-	$\sum_{i=1}^{n} V_i$
2n+1	T_{13}	T_{14}	…	-	-	-	-	$-\sum_{i=1}^{n} V_i$
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
$\prod_{i=1}^{k}(2n_i+1)-1$	T_{11}	T_{12}	…	$T_{k-1,1}$	$T_{k-1,2}$	T_{k1}	T_{k2}	$\sum_{i=1}^{n_k} V_{ki} + \sum_{i=1}^{k-1}\sum_{i=1}^{n_i} V_{1i}$
$\prod_{i=1}^{k}(2n_i+1)$	T_{13}	T_{14}	…	$T_{k-1,3}$	$T_{k-1,4}$	T_{k3}	T_{k4}	$-\sum_{i=1}^{n_k} V_{ki} - \sum_{i=1}^{k-1}\sum_{i=1}^{n_i} V_{1i}$

لذا باید مقادیر سایر منابع ولتاژ با توجه به مقدار مبنا و به صورت مضربی صحیحی از آن انتخاب شود. در صورتی که مضرب غیر صحیحی انتخاب شود، می‌تواند شکل موج از نظر وضعیت هارمونیکی بدتر شود. با توجه به توضیحات داده شده، می‌توان با استفاده از روابطی که در ادامه آمده است مقدار منابع را انتخاب نمود.

برای ماژول اول مقدار منابع ولتاژ به صورت زیر بدست خواهد آمد:

$$V_{1i} = V_{11} = E \quad i = 1,2,3,\ldots,n_1 \qquad (۴)$$

برای ماژول دوم می‌توان روابط زیر را نوشت:

$$V_{21} = V_{11} + 2\sum_{i=1}^{n_1} V_{1i} = [1+2n_1]\times E \qquad (۵)$$

$$V_{2i} = (1+2n_1)E \qquad i = 1,2,3,\ldots,n_2 \qquad (۶)$$

برای ماژول سوم نیز روابط به طور مشابه می‌تواند بدست آید:

$$V_{31} = V_{11} + 2\sum_{i=1}^{n_1} V_{1i} + 2\sum_{i=1}^{n_2} V_{2i} = (1+2n_1)(1+2n_2)\times E \qquad (۷)$$

$$V_{3i} = (1+2n_1)(1+2n_2)\times E \qquad i = 1,2,3,\ldots,n_3 \qquad (۸)$$

مجموع ولتاژها در ماژول سوم برابر است با:

برای ماژول m می‌توان روابط را به صورت زیر نوشت:

$$V_{m1} = V_{11} + 2\sum_{i=1}^{n_1} V_{1i} + 2\sum_{i=1}^{n_2} V_{2i} + \ldots + 2\sum_{i=1}^{m-1} V_{m-1,i}$$

$$= \prod_{i=1}^{m-1}(2n_i+1)\times E \qquad (۹)$$

$$V_{mi} = V_{m1} \qquad i = 1,2,3,\ldots,n_m \qquad (۱۰)$$

در حالت کلی اگر توپولوژی متقارن فرض شود، یعنی:

$$n_1 = n_2 = \ldots = n_m \qquad (۱۱)$$

با استفاده از روابط ذکر شده می‌توان مقدار حداکثر و حداقل ولتاژ خروجی را از رابطه زیر بدست آورد:

$$v_{o.\max} = \sum_{i=1}^{k}\sum_{j=1}^{n_i} V_{ij} = \sum_{i=1}^{k}(n_i \times V_{i1})$$

$$= \left(\frac{\prod_{i=1}^{k}(2n_i+1)-1}{2}\right)\times E \qquad (۱۲)$$

$$v_{o.\min} = -\sum_{i=1}^{k}\sum_{j=1}^{n_i} V_{ij} = -\sum_{i=1}^{k}(n_i \times V_{i1})$$

$$= -\left(\frac{\prod_{i=1}^{k}(2n_i+1)-1}{2}\right)\times E \qquad (۱۳)$$

تعداد سطوح ولتاژ خروجی از رابطه زیر بدست می‌آید:

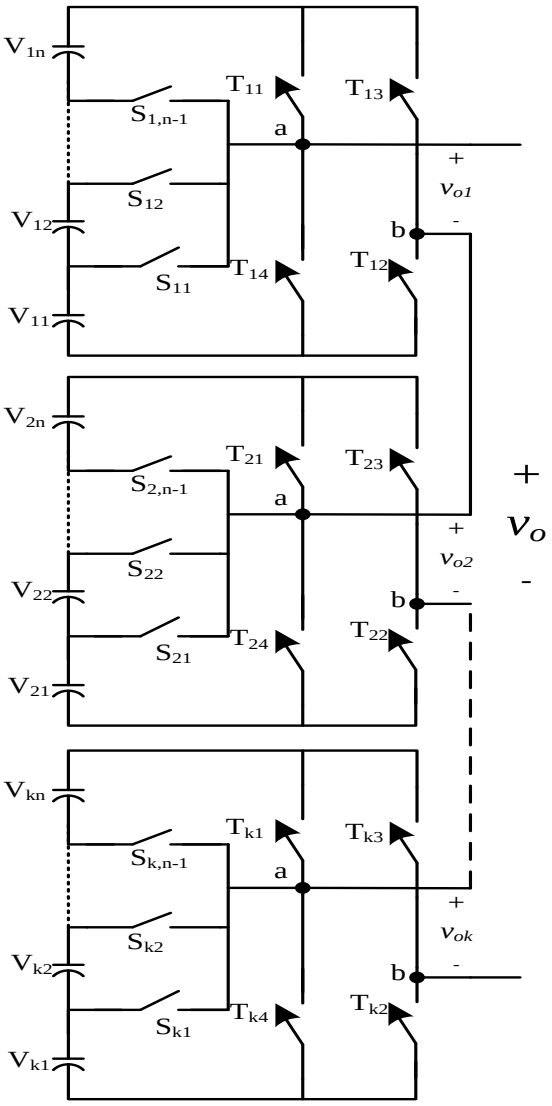
$$N_{level} = \prod_{i=1}^{k}(2n_i+1) = (2n_1+1)\times(2n_2+1)\times\ldots\times(2n_k+1) \qquad (۱۴)$$

تعداد کلیدهای استفاده شده از رابطه زیر تعیین می‌شود:

www.SID.ir

Archive of SID

$$N_{sw} = 2\left[\left(n_1 -1\right)+\left(n_2 -1\right)+\cdots+\left(n_k -1\right)\right]+4k$$
$$= k\left(2n+2\right) \qquad (۱۵)$$



شکل ۳: اتصال متوالی ماژول‌های پیشنهادی

۴- تعیین مقادیر بهینه المان‌ها

با توجه به اتصال متوالی ماژول‌ها می‌توان تعداد المان‌ها را به گونه‌ای انتخاب نمود تا با حداقل تعداد این المان‌ها به بیشترین سطح دسترسی پیدا نمود. به عنوان نمونه برای دستیابی به سطح ولتاژ ۳۱ سطحی می‌توان با استفاده از یک ماژول با ۱۴ کلید دو طرفه ($n=15$)، ۴ عدد کلید یک‌طرفه (مجموع ۳۲ عدد IGBT) و ۱۵ منبع تغذیه یا خازن، باید استفاده نمود. در حالی که اگر بتوان سه عدد از ماژول‌ها با تعداد یک عدد کلید دو طرفه، چهار عدد کلید یک‌طرفه و دو عدد خازن، به صورت سری و در مجموع با ۳ عدد کلید دوطرفه، ۱۲ عدد کلید یک‌طرفه (مجموع ۱۸ عدد کلید یک‌طرفه)، ۶ عدد منبع تغذیه یا خازن به سطح ولتاژ ۱۲۵ سطحی در خروجی دست یافت. به عبارت دیگر انتخاب تعداد سطوح هر ماژول و تعداد این ماژول‌ها باید به صورت بهینه انتخاب شود. که در این بخش به صورت کامل و با استفاده از روابط مناسب نحوه انتخاب این مقادیر بهینه ارائه شده است.

۴-۱- دستیابی به حداکثر سطح ولتاژی با تعداد کلیدهای مشخص و ثابت

یکی از مشخصه‌های اساسی اینورترهای چند سطحی دستیابی به بالاترین سطح ولتاژی با کمترین تعداد کلیدها می‌باشد. کاهش تعداد کلیدها نه تنها باعث کاهش هزینه کلیدها می‌شود، بلکه باعث کاهش تعداد درایورها، و همچنین کاهش پیچیدگی مدار خواهد شد. اما نکته اساسی در این زمینه نحوه انتخاب تعداد سطوح برای هر ماژول n، و تعداد ماژول‌ها k می‌باشد. در رابطه (۱۴) حاصلضرب اعداد که مجموع آنها دارای مقدار ثابتی می‌باشد زمانی می‌تواند حداکثر شود که این اعداد با هم برابر باشند به عبارتی:

$$n_1 = n_2 = \ldots = n_k = n \qquad (۱۶)$$

با استفاده از رابطه (۱۶)، روابط (۱۴) و (۱۵) را می‌توان به صورت زیر نوشت:

$$N_{level} = \left(2n+1\right)^k \qquad (۱۷)$$

$$N_{sw} = k\times(2n+2) \qquad (۱۸)$$

که با بدست آوردن مقدار k از رابطه (۱۸) و جایگزینی در رابطه (۱۷)، می‌توان رابطه تعداد سطوح بر حسب تعداد کلید را به صورت زیر نوشت:

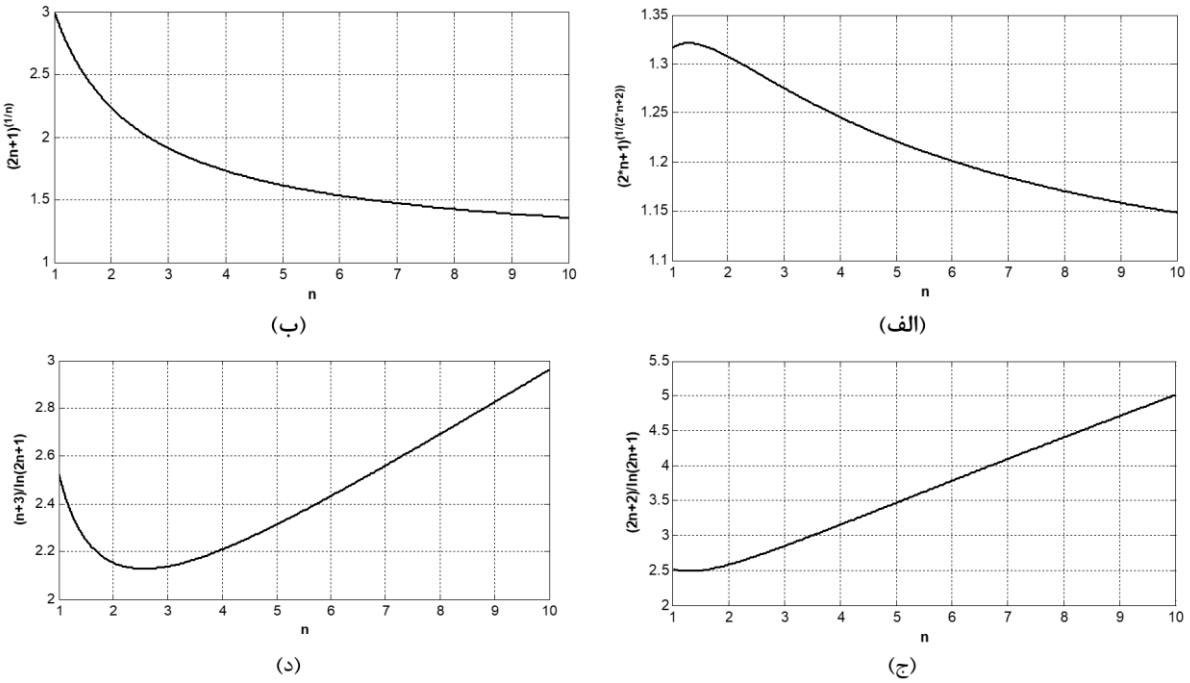
$$N_{level} = \left(2n+1\right)^{\frac{N_{sw}}{2n+2}} = \left[\, f_1(n)\right]^{N_{sw}} \qquad (۱۹)$$

$$f_1(n) = \left(2n+1\right)^{\frac{1}{2n+2}} \qquad (۲۰)$$

اگر تابع $f_1(n)$ بر حسب n ترسیم شود می‌توان تعداد بهینه المان‌های (سطوح) هر ماژول را تعیین کند. با توجه به شکل (۴-الف)، مشخص است با تعداد دو عدد منبع ولتاژ در هر ماژول یا یک کلید دوطرفه در هر ماژول می‌توان با کمترین تعداد کلید به بیشترین سطح ولتاژ دست یافت. لازم به ذکر است که تعداد سطوح هر ماژول عدد صحیح بوده و در صورتی که عدد اعشاری باشد، به نزدیکترین عدد گرد می‌شود.

www.SID.ir

Archive of SID



شکل(۴): تغییرات توابع $f_1(n)$، $f_2(n)$، $f_3(n)$ و $f_4(n)$ f4(n) بر حسب n

۴-۲- دستیابی به حداکثر سطح ولتاژی با تعداد منابع تغذیه کمتر

ممکن است در تعیین تعداد بهینه کلیدها، تعداد منابع بهینه انتخاب نشوند. در برخی کاربردها ممکن است محدودیتی در تعداد کلید وجود نداشته باشد و این محدودیت در تعداد منابع تغذیه DC باشد که باید به صورت بهینه انتخاب شود. تعداد منابع تغذیه از از رابطه زیر تعیین می‌شود:

$$N_{source} = \left(n_1 + n_2 + ... + n_k\right) = k.n \qquad (۲۱)$$

که با بدست آوردن k از رابطه فوق و جایگزینی آن در رابطه (۱۷) می‌توان رابطه تعداد سطوح بر حسب تعداد منابع را به فرم زیر نوشت:

$$N_{level} = \left(2n+1\right)^{\left(\frac{N_{source}}{n}\right)} = \left[\, f_2(n)\right]^{N_{source}} \qquad (۲۲)$$

$$f_2(n) = \left(2n+1\right)^{\frac{1}{n}} \qquad (۲۳)$$

در شکل(۴-ب)، تابع $f_2(n)$ بر حسب n ترسیم شده است و این شکل نشان می‌دهد که به ازای $n=1$ کمترین تعداد منابع تغذیه برای دستیابی به بیشترین سطح ولتاژ مورد نیاز می‌باشد. به عبارتی دیگر در این حالت باید ماژول‌ها به صورت آبشارگونه به یکدیگر متصل شوند.

۴-۳- دستیابی به کمترین تعداد سوییچ برای تعداد سطوح ثابت

اما مواقعی پیش می‌آید که تعداد سطوح مشخص می‌باشد که باید برای دستیابی به این سطوح از کمترین تعداد کلید استفاده نمود. اگر از رابطه (۱۹) لگاریتم گرفته شود می‌توان نوشت:

$$N_{sw} = \ln\left(N_{level}\right).f_3(n) \qquad (۲۴)$$

$$f_3(n) = \frac{(2n+2)}{\ln\left(2n+1\right)} \qquad (۲۵)$$

در رابطه (۲۴)، N_{level} مقدار ثابتی دارد و تعداد کلیدها زمانی حداقل می‌شود که تابع $f_3(n)$ حداقل شود. با توجه به شکل(۴-ج)، این تابع به ازای $n=2$ حداقل می‌شود. به عبارتی دیگر بهتر است از یک عدد سوئیچ دو طرفه در هر ماژول استفاده شود.

۴-۴- دستیابی به حداقل مدار درایور گیت برای تعداد ثابت سطوح ولتاژی

یکی از تجهیزات لازم برای کنترل کلیدها، درایور می‌باشد که معمولاً یک ولتاژ پالسی بین ۰ تا ۲۰V ایزوله را جهت روشن و خاموش نمودن کلیدها تولید می‌کند. در این ساختار با توجه به اینکه از کلیدهای دو طرفه استفاده شده

www.SID.ir

Archive of SID

است لذا تعداد درایورها می‌تواند به صورت بهینه انتخاب شود زیرا کلیدهای دو طرفه نیاز به یک درایور دارند. تعداد سیگنال‌های گیت مورد نیاز برابر است با:

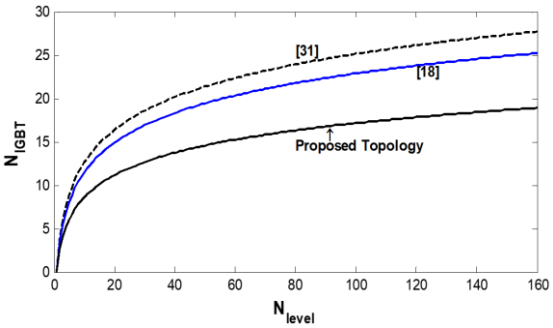
$$N_{driver} = (n+3)k \qquad (۲۶)$$

که می‌توان از رابطه (۱۷) مقدار k را محاسبه و در رابطه فوق جایگزین نمود که به صورت زیر خواهد شد:

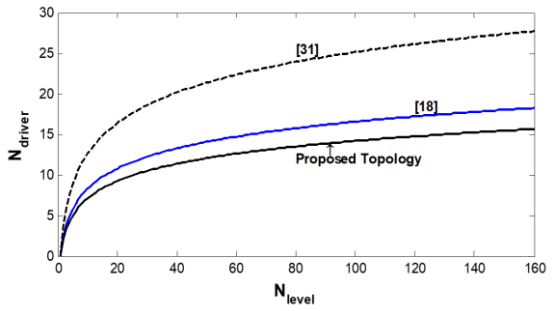
$$N_{driver} = (n+3).\frac{\ln(N_{level})}{\ln(2n+1)} = \ln(N_{level}).f_4(n) \qquad (۲۷)$$

$$f_4(n) = \frac{(n+3)}{\ln(2n+1)} \qquad (۲۸)$$

با توجه به شکل(۴-د)، به ازای $n=3$ یا استفاده از تعداد سه عدد منبع تغذیه در هر ماژول یا دو عدد کلید دو طرفه می‌توان تعداد درایورهای مورد نیاز را بهینه (حداقل) نمود.



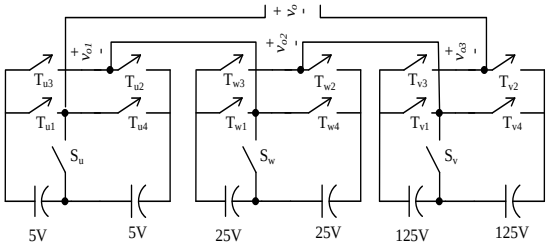
شکل ۵: تعداد IGBT ها بر حسب تعداد سطوح ولتاژ خروجی را برای ساختار پیشنهادی و مراجع [۳۱] و [۱۸]



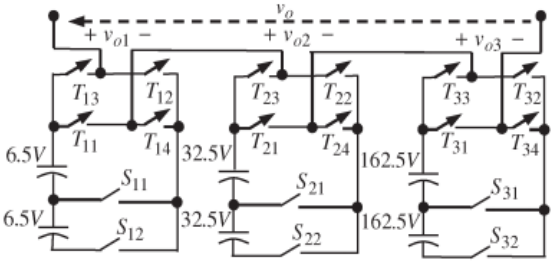
شکل ۶: تعداد سیگنالهای گیت مورد نیاز بر حسب تعداد سطوح ولتاژ خروجی را برای ساختار پیشنهادی و مراجع [۳۱] و [۱۸]

۵- مقایسه ساختار پیشنهادی با ساختار ارائه شده در مراجع [۳۱] و [۱۸]

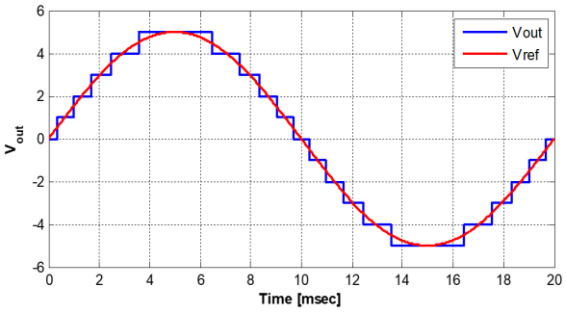
در ساختار ارائه شده برای دستیابی به $2n+1$ سطح نیاز به n منبع ولتاژ، $n-1$ عدد کلید دو طرفه و ۴ عدد کلید یکطرفه در هر ماژول می‌باشد در حالی که در ساختار [۱۸] تعداد کلیدهای یک‌طرفه، خازن یا منابع تغذیه یکسان، اما یکی تعداد کلیدهای دوطرفه مورد نیاز برای دستیابی در هر ماژول n عدد می‌باشد که از توپولوژی ارائه شده در این مقاله یک عدد در هر ماژول بیشتر می‌باشد. از نقطه نظر تقارن، هر دو نامتقارن می‌باشند زیرا مقدار ولتاژ DC در هر یک از ماژول‌ها برابر نمی‌باشد.



شکل ۷: ساختار بهینه از نظر تعداد کلید برای دستیابی به تعداد ۱۲۵ سطح ولتاژ در خروجی



شکل ۸: ساختار بهینه از نظر تعداد کلید برای دستیابی به تعداد ۱۲۵ سطح ولتاژ در خروجی [۱۸]



شکل ۹: نحوه گسسته‌سازی شکل موج ولتاژ خروجی برای یک اینورتر ۱۱ سطحی

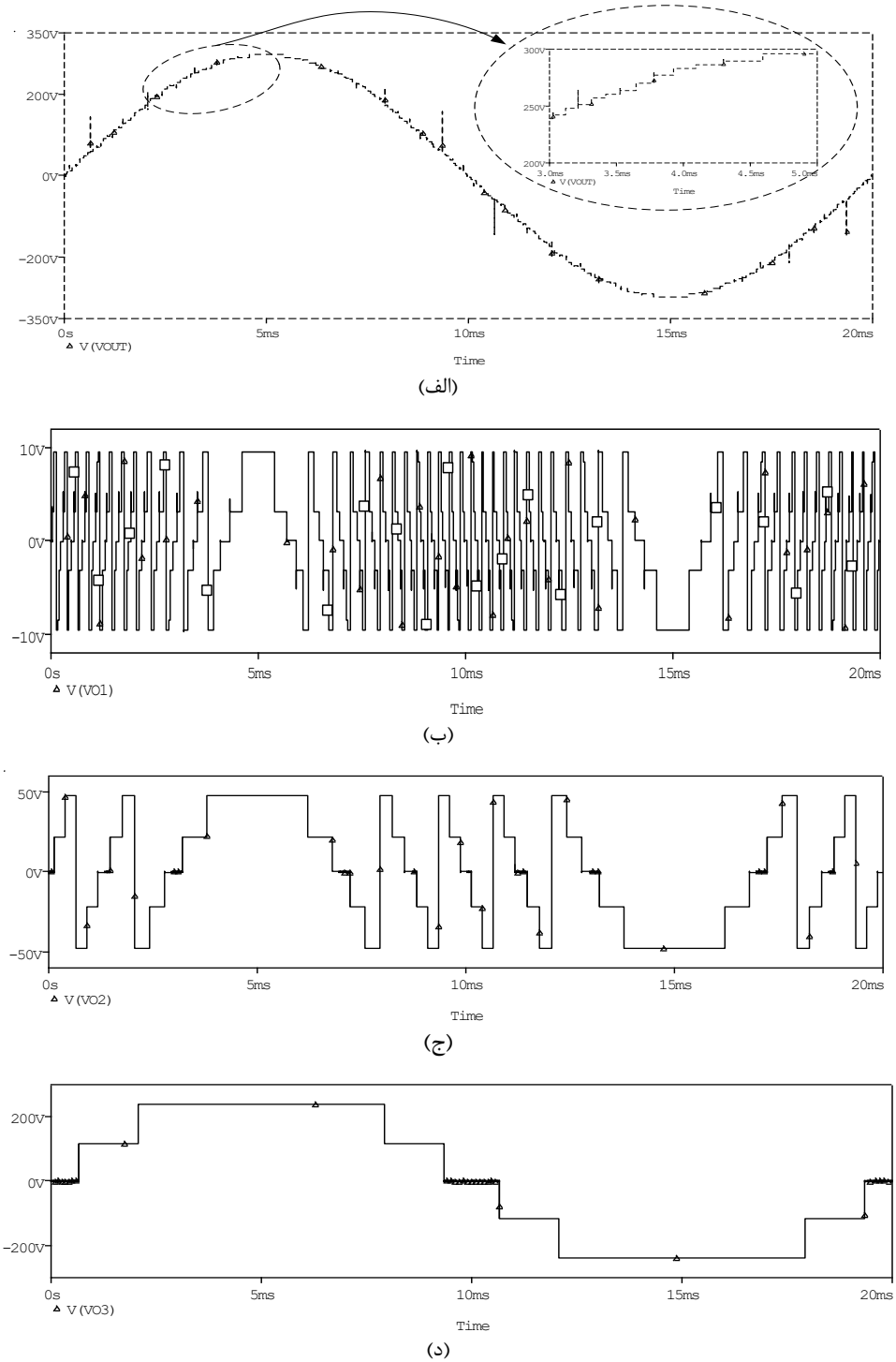
جدول ۳: مشخصات اینورتر طراحی شده

پارامتر	مقدار	واحد
تعداد سطوح	۱۲۵	عدد
تعداد منابع ولتاژ	۶	عدد
تعداد کلیدهای دو طرفه	۳	عدد
تعداد کلیدهای یک‌طرفه	۱۲	عدد
مقاومت بار	۴۰	اهم

www.SID.ir

Archive of SID

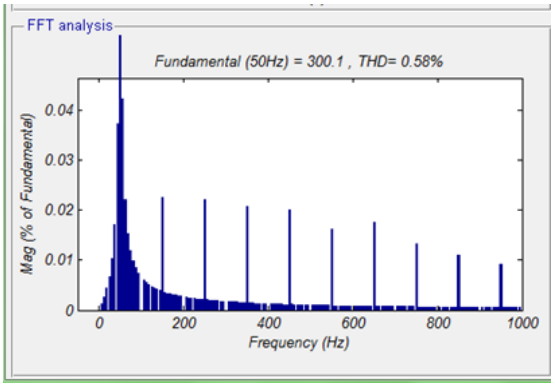
شکل (۵) رابطه تعداد IGBT ها در مقابل تعداد سطوح ولتاژ خروجی را برای ساختار پیشنهادی و توپولوژی‌های ارائه شده در [۳۱] و [۱۸] را نشان می‌دهد که به صورت چشمگیری ساختار پیشنهادی برای یک سطوح مشخص تعداد کلید کمتری استفاده می‌کند. لازم به ذکر است در شکل (۶) نیز تعداد سیگنالهای گیت مورد نیاز برای توپولوژی پیشنهادی و توپولوژی‌های ارائه شده در [۳۱] و [۱۸] را نشان می‌دهد که در این زمینه نیز اختلاف زیادی بین تعداد سیگنال‌های گیت ساختار پیشنهادی با دیگر ساختارها وجود دارد.



شکل ۱۰: شکل موج خروجی بدست آمده از نتایج شبیه‌سازی با استفاده از PSpice برای ولتاژ خروجی هارمونیکی الف) ولتاژ خروجی کل ب) ولتاژ خروجی طبقه اول ج) ولتاژ خروجی طبقه دوم د) ولتاژ خروجی طبقه سوم

www.SID.ir

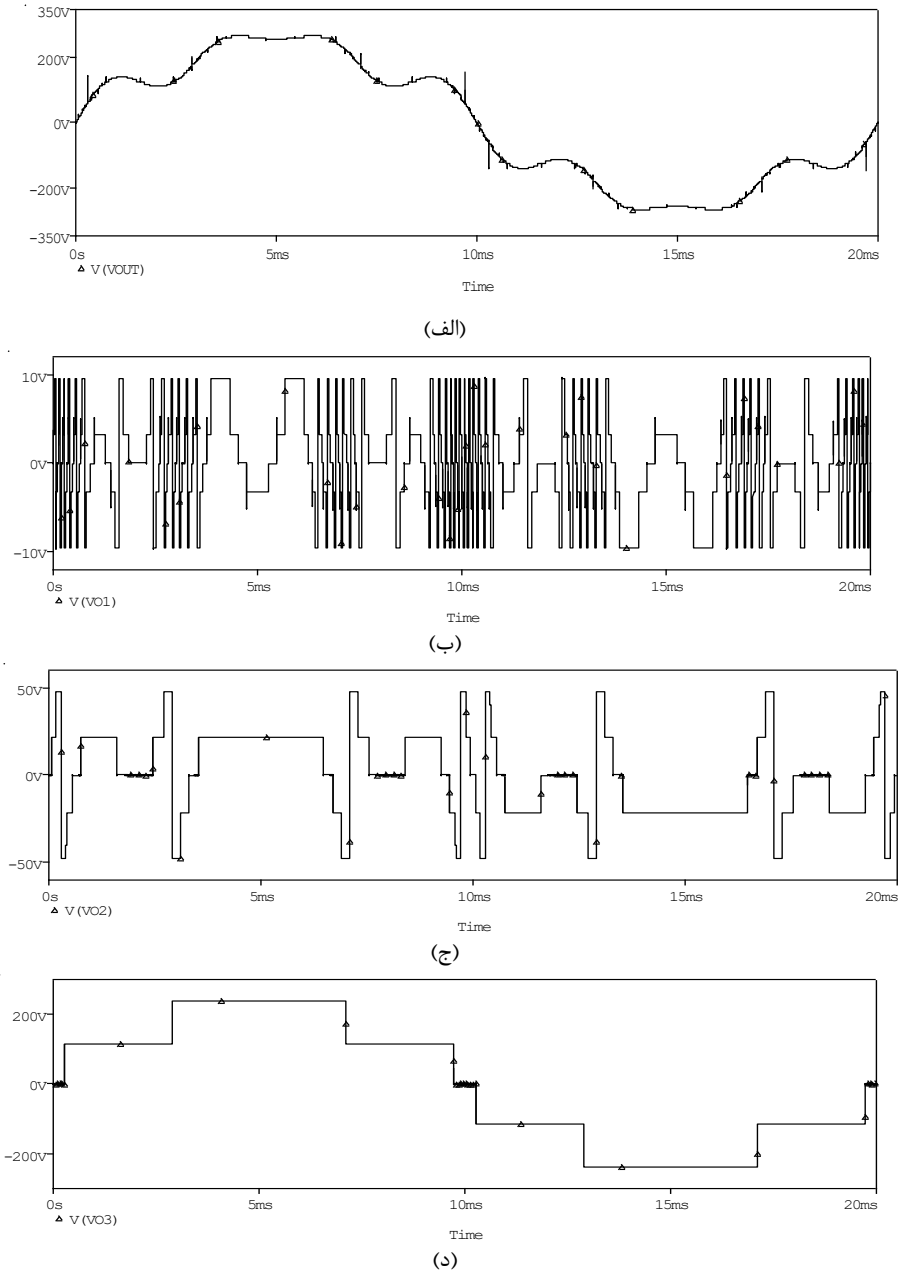
Archive of SID



شکل ۱۱: طیف فرکانسی ولتاژ خروجی

۶- طراحی اینورتر چند سطحی بر مبنای ساختار ارائه شده

در این بخش هدف طراحی یک نمونه اینورتر تکفاز با ۱۲۵ سطح و ولتاژ حداکثر ۳۱۰V (معادل ۲۲۰V موثر) مد نظر است. در این مطالعه از افت ولتاژ دو سر کلیدها صرف نظر شده است. ساختار بهینه بر اساس تعداد کلید کمتر با استفاده از روابط ارائه شده در بخش قبل در شکل (۷) نشان داده شده است.



شکل ۱۲: شکل موج خروجی بدست آمده از نتایج شبیه‌سازی با استفاده از PSpice برای ولتاژ خروجی هارمونیکی الف) ولتاژ خروجی کل ب) ولتاژ خروجی طبقه اول ج) ولتاژ خروجی طبقه دوم د) ولتاژ خروجی طبقه سوم

www.SID.ir

Archive of SID

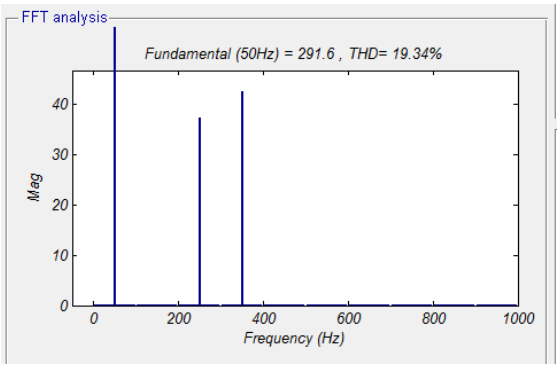
ساختار بهینه با کمترین کلید برای مرجع [۱۸] در شکل (۸) نشان داده شده است. در این ساختار برای دستیابی به ۱۲۵ سطح، از ۲۴ کلید استفاده شده است.

۷- نتایج شبیه‌سازی

در این مقاله اینورتر چندسطحی شکل (۷)، با تعداد سطوح ولتاژ برابر با ۱۲۵ سطح، با ولتاژ حداکثر ۳۱۰ ولت (معادل ۲۲۰ ولت موثر) طراحی شده مورد شبیه‌سازی قرار گرفته است.

از افت ولتاژ دو سر کلید صرف نظر شده است. این ساختار از کمترین تعداد کلید برای دستیابی به سطح ولتاژ ۱۲۵ سطحی می‌باشد. با توجه به شکل تعداد منابع ولتاژ و کلید استفاده شده به ترتیب ۶ و ۱۸ عدد می‌باشد. در این اینورتر بار اهمی و برابر با ۴۰ اهم در نظر گرفته شده است. در جدول ۳ مشخصات اینورتر ارائه شده است.

جهت شبیه‌سازی از نرم‌افزار PSpice استفاده شده است. در پیوست الف نحوه کلیدزنی برای هر یک از ۱۲۵ سطح اینورتر نشان داده شده است. سطوح روش‌های کلیدزنی فراوانی برای کلیدزنی وجود دارد که در این مقاله از روش کلیدزنی فرکانس پایه استفاده شده است. در این روش زوایای کلیدزنی با استفاده از گسسته‌سازی مشخص می‌شود که در شکل (۹) نحوه گسسته‌سازی برای یک اینورتر ۱۱ سطحی نشان داده شده است. با توجه به اینکه شکل موج خروجی، شکل موج مرجع را تعقیب نموده است، این شکل موج کمترین مقدار THD را دارد. با استفاده از زوایای بهینه بدست آمده سیگنال‌های فرمان هر یک از کلیدها تولید می‌شود.



شکل ۱۳: طیف فرکانسی ولتاژ خروجی

در شکل (۱۰) ولتاژ خروجی برای هر یک از طبقات به همراه ولتاژ خروجی نشان داده شده است که نشان می‌دهد ولتاژ خروجی تقریباً سینوسی می‌باشد. با توجه به این شکل بیشترین تغییرات مربوط به ولتاژ طبقه اول می‌باشد. در شکل (۱۱) طیف فرکانسی ولتاژ خروجی نشان داده است که دامنه هارمونیک‌های موجود بسیار پایین و THD برابر با ۰/۵۸٪ می‌باشد. در این حالت دامنه ولتاژ مولفه اصلی خروجی برابر با ۳۰۰V می‌باشد.

یکی دیگر از نتایج شبیه‌سازی، تولید یک شکل موج ولتاژ هارمونیکی با رابطه زیر می‌باشد:

$$V_{ref} = 550\sin(\omega t) + 70\sin(5\omega t) + 80\sin(7\omega t) \quad (۲۹)$$

که به راحتی می‌توان توسط این اینورتر با تعداد ۱۸ عدد کلید با دقت خوبی تولید نمود. برای این حالت شکل موج ولتاژ خروجی به همراه ولتاژ خروجی هر یک از طبقات در شکل (۱۲) نشان داده شده است که نشان می‌دهد که به راحتی می‌تواند هر شکل موجی را ایجاد نماید.

برای این حالت طیف فرکانسی در شکل (۱۳) مشخص شده است. در این شکل هارمونیک‌های ۵ و ۷ در خروجی وجود دارند و دامنه مولفه اصلی در حدود ۲۹۱/۶ ولت حداکثر و مقدار THD برابر با ۱۹/۳۴٪ می‌باشد.

۸- نتیجه‌گیری

در این مقاله یک توپولوژی جدید برای اینورترهای چند سطحی با استفاده از ماژول‌های چند سطحی و پل اینورتری ارائه شد. با توجه به نتایج ارائه شده در مقاله مشخص شد که نسبت به سایر توپولوژی‌های ارائه شده تعداد کلیدهای کمتری نیاز دارد. برای توپولوژی ارائه شده نحوه تعیین تعداد بهینه المان‌های مدار مانند تعداد کلیدها، منابع تغذیه (خازن)، تعداد مدار درایور برای دستیابی به تعداد مشخص سطوح ولتاژ ارائه شده است. همچنین با استفاده از روش گسسته‌سازی زوایای بهینه کلیدزنی انتخاب و نشان داده شده که THD در کمترین مقدار و در حدود ۰/۵۸٪ می‌باشد. همچنین برای نشان دادن کارائی توپولوژی ارائه شده برای تولید شکل موج ولتاژ هارمونیکی، یک نمونه شکل موج هارمونیکی محتوی هارمونیک‌های ۵ و ۷ نیز توسط ساختار پیشنهادی تولید شد که نتایج نشان دادند که بخوبی و با دقت مناسبی می‌توان جهت این مورد استفاده نمود. برای دستیابی به نتایج مطلوب ساختار پیشنهادی بر روی یک نمونه اینورتر ۱۲۵ سطحی پیاده‌سازی و توسط نرم‌افزار PSpice مورد شبیه‌سازی قرار گرفت.

www.SID.ir

Archive of SID

۹- مراجع

[1] J. Rodriguez, J. S. Lai, and F. Z. Peng, "Multilevel inverters: a survey of topologies, controls, and applications", IEEE Transactions on industrial electronics, Vol. 49, NO. 4, August 2002, pp. 724-738.

[2] K. El-Naggar and T. H. Abdelhamid, "Selective harmonic elimination of new family of multilevel inverters using genetic algorithms", Energy Conversion and Management, Vol. 49, NO. 1, January 2008, pp. 89-95.

[3] J. Chiasson, L. Tolbert, K. McKenzie, and Z. Du, "Real-time computer control of a multilevel converter using the mathematical theory of resultants", Mathematics and computers in simulation, Vol. 63, NO. 3-5, November 2003, pp. 197-208.

[4] Z. Pan and F. Z. Peng, "Harmonics optimization of the voltage balancing control for multilevel converter/inverter systems", In: Industry Applications Conference, 39th IAS Annual Meeting. Seattle, WA, USA, USA, Conference Record of the IEEE, Vol. 4, October 2004, pp. 2194-2201.

[5] E. Babaei, M. T. Haque, and S. H. Hosseini, "A novel structure for multilevel converters", In: Electrical Machines and Systems, ICEMS, Proceedings of the Eighth International Conference, Nanjing, China, Vol. 2, October 2005, pp. 1278-1283.

[6] E. Babaei, S. Hosseini, G. Gharehpetian, M. T. Haque, and M. Sabahi, "Reduction of dc voltage sources and switches in asymmetrical multilevel converters using a novel topology", Electric Power Systems Research, Vol. 77, NO. 8, June 2007, pp. 1073-1085.

[7] Y. Hinago and H. Koizumi, "A single-phase multilevel inverter using switched series/parallel dc voltage sources", Industrial Electronics, IEEE Transactions, September 2009, pp. 1962-1967.

[8] S. Laali, K. Abbaszadeh, and H. Lesani, "A new algorithm to determine the magnitudes of dc voltage sources in asymmetric cascaded multilevel converters capable of using charge balance control methods", In: Electrical Machines and Systems (ICEMS), 2010 International Conference, Vol. x, NO. xx, October 2010, pp. 56-61.

[9] J. Leon, S. Vazquez, A. J. Watson, L. G. Franquelo, P. W. Wheeler, and J. M. Carrasco, "Feed-forward space vector modulation for single-phase multilevel cascaded converters with any DC voltage ratio", IEEE Transactions on Industrial Electronics, Vol. 56, NO. 2, February 2009, pp. 363 – 367.

[10] R. Baker and L. Bannister, "Electric Power Converter", Massachusetts Institute of Technology, assignee. United States patent US 3,867,643, February 1975.

[11] T. Meynard and H. Foch, "Multi-level conversion: high voltage choppers and voltage-source inverters", In: Power Electronics Specialists Conference, PESC'92 Record., 23rd Annual IEEE, June 1992, pp. 397-403.

[12] J. Rodríguez, S. Bernet, B. Wu, J. O. Pontt, and S. Kouro, "Multilevel voltage-source-converter topologies for industrial medium-voltage drives", IEEE Transactions on industrial electronics, Vol. 54, NO. 6, December 2007, pp. 2930-2945.

[13] J. Ainsworth, M. Davies, P. Fitz, K. Owen, and D. Trainer, "Static var compensator (STATCOM) based on single-phase chain circuit converters", IEE Proceedings-Generation, Transmission and Distribution, Vol. 145, NO. 4, July 1998, pp. 381-386.

[14] P. Wheeler, L. Empringham, and D. Gerry, "Improved output waveform quality for multi-level H-bridge chain converters using unequal cell voltages", 8th International Conference on Power Electronics and Variable Speed Drives, London, UK, September 2002, pp. 536 – 540.

[15] Z. Du, L. M. Tolbert, J. N. Chiasson, and B. Özpineci, "A cascade multilevel inverter using a single DC source", In Applied Power Electronics Conference and Exposition, APEC'06. Twenty-First Annual IEEE, March 2006, pp. 5.

[16] S. J. Park, F. S. Kang, S. E. Cho, C. J. Moon, and H. K. Nam, "A novel switching strategy for improving modularity and manufacturability of cascaded-transformer-based multilevel inverters", Electric Power Systems Research, Vol. 74, NO. 3, June 2003, pp. 409-416.

[17] E. Babaei, A. Dehqan, and M. Sabahi, "Improvement of the performance of the cascaded multilevel inverters using power cells with two series legs", Journal of Power Electronics, Vol. 13, NO. 2, 2013, pp. 223-231.

[18] J. Ebrahimi, E. Babaei, and G. B. Gharehpetian, "A new multilevel converter topology with reduced number of power electronic components", IEEE Transactions on industrial electronics, Vol. 59, NO. 2, February 2012, pp. 655-667.

[19] P. Lezana and J. Rodríguez, "Mixed multicell cascaded multilevel inverter", In: Industrial Electronics, ISIE 2007. IEEE International Symposium, June 2007, pp. 509-514.

[20] L. Li, D. Czarkowski, Y. Liu, and P. Pillay, "Multilevel space vector PWM technique based on phase-shift harmonic suppression", In: Applied Power Electronics Conference and Exposition, APEC 2000. Fifteenth Annual IEEE, Vol. 1, 2000, pp. 535 - 541.

www.SID.ir

Archive of SID

[21] J. Mahdavi, A. Agah, A. Ranjbar, and H. Toliyat, "Extension of PWM space vector technique for multilevel current-controlled voltage source inverters", In: Industrial Electronics Society, IECON'99 Proceedings. The 25th Annual Conference of the IEEE, Vol. 2, 1999, pp. 583-588.

[22] Y. Nabati and E. Babaei, "A new dc-dc converter with high voltage gain and low voltage stress on power switches", International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles (ESARS), Aachen, Germany, March 2015, pp. 1 – 6.

[23] A. A. Gandomi, S. Saeidabadi, S. H. Hosseini, E. Babaei, and M. Sabahi, "Transformer-based inverter with reduced number of switches for renewable energy applications", IET Power Electronics, Vol. 8, NO. 10, August 2015, pp. 1875-1884.

[24] E. Babaei, S. Laali, and Z. Bayat, "A Single-Phase Cascaded Multilevel Inverter Based on a New Basic Unit With Reduced Number of Power Switches", IEEE Transactions on industrial electronics, Vol. 62, NO. 2, February 2015, pp. 922-929.

[25] E. Zamiri, S. Hamkari, M. Moradzadeh, and E. Babaei, "A new cascaded multilevel inverter structure with less number of switches", In: The 5th Annual International Power Electronics, Drive Systems and Technologies Conference (PEDSTC), Tehran, Iran, February 2014, pp. 199-204.

[26] E. Babaei and M. Seyed Mahmoodieh, "Calculation of output voltage ripple and design considerations of SEPIC converter", IEEE Transactions on Industrial Electronics, Vol. 61, NO. 3, March 2014, pp. 1213 - 1222.

[27] E. Babaei, S. Laali, and S. Alilu, "Cascaded Multilevel Inverter with Series Connection of Novel H-Bridge Basic Units", IEEE Transactions on Industrial Electronics, Vol. 61, NO. 12, April 2014, pp. 6664 - 6671.

[28] E. Babaei, M. F. Kangarlu, and M. Sabahi, "Extended multilevel converters: an attempt to reduce the number of independent DC voltage sources in cascaded multilevel converters", IET Power Electronics, Vol. 7, NO. 1, January 2014, pp. 157-166.

[29] E. Babaei and S. S. Gowgani, "Hybrid multilevel inverter using switched capacitor units", IEEE Transactions on industrial electronics, Vol. 61, NO. 9, September 2014, pp. 4614-4621.

[30] E. Babaei, S. Alilu, and S. Laali, "A new general topology for cascaded multilevel inverters with reduced number of components based on developed H-bridge", IEEE Transactions on Industrial Electronics, Vol. 61, NO. 8, August 2014, pp. 3932-3939.

[31] E. Babaei, "A cascade multilevel converter topology with reduced number of switches", IEEE Transactions on power electronics, Vol. 23, NO. 6, November 2008, pp. 2657 - 2664.

www.SID.ir