Archive of SID

ساختار جدید ترانزیستور اثر میدانی نانو لوله کربنی تونل‌زنی با دوپینگ خطی در ناحیه درین: شبیه‌سازی عددی کوانتومی

بهروز عبدی‌تهنه[۱]، علی نادری[۲،*]

اطلاعات مقاله

دریافت مقاله: ۱۳۹۴/۰۷/۰۷
پذیرش مقاله: ۱۳۹۵/۰۳/۱۸

واژگان کلیدی:
تونل زنی،
$LD-T-CNTFET$،
شبیه‌سازی عددی کوانتمی،
NEGF،
توان مصرفی،
فرکانس قطع.

چکیده

برای اولین بار، در این مقاله یک ترانزیستور اثر میدانی نانو لوله کربنی تونل‌زنی جدید پیشنهاد شده است که در این ساختار جدید به جای استفاده از یک دوپینگ سنگین در ناحیه درین ساختار متداول، از یک دوپینگ خطی استفاده شده است. این دوپینگ از وسط ناحیه درین به صورت خطی به سمت ناحیه کانال گسترش یافته است. میزان ناخالصی در محل اتصال کانال - درین صفر است. این ساختار ترانزیستور اثر میدانی نانو لوله کربنی تونل‌زنی با دوپینگ خطی ($LD-T-CNTFET$) نامیده می‌شود. رفتار الکتریکی افزاره پیشنهادی با شبیه‌سازی عددی کوانتومی و با استفاده از روش تابع گرین غیرتعادلی (NEGF) مورد بررسی قرار گرفته است. نتایج شبیه‌سازی نشان می‌دهد که رفتار حالت روشن، حالت خاموش، نوسان زیر آستانه و کلیدزنی ساختار پیشنهادی در مقایسه با ساختار متداول بهبود می‌یابد. همچنین ساختار $LD-T-CNTFET$ در مقایسه با ساختار متداول دارای فرکانس قطع بالاتری است و در نتیجه کاندیدای مناسبی برای کاربردهای با توان مصرفی کم و فرکانس بالا می‌باشد.

۱- مقدمه

با کاهش ابعاد فیزیکی ترانزیستورهای اثر میدانی نانو لوله کربنی با رفتار ماسفتی (MOSCNT)، جریان نشتی حالت خاموشی (I_{OFF}) در ولتاژهای درین - سورس (V_{DS}) بزرگ به علت تونل زنی مستقیم سورس - درین به طور قابل‌توجهی افزایش می‌یابد. این مکانیسم انتقال باعث ایجاد یک بار تودهایی در ناحیه کانال می‌شود و مانع می‌شود که گیت به طور کامل به حالت خاموشی تغییر حالت دهد [۱ و ۲]. بنابراین کوچک کردن این افزاره‌ها به دلیل محدودیت‌های مربوط به توان مصرفی، محدود می‌شود. برای جلوگیری از این توان مصرفی نامطلوب، CNTFET های تونل‌زنی ($T-CNTFET$) پیشنهاد شده است [۱ و ۲]. نشتی زیر آستانه عاملی مهم در افزایش توان مصرفی حالت آماده به کار در مدارات CMOS می‌باشد [۲]. این پارامتر بخش قابل‌توجهی از توان مصرفی در تراشه‌های مدرن را شامل می‌شود [۳]. محدوده تئوری نوسان زیر آستانه برای MOSCNT ها $60mV/decade$ در دمای اتاق است اما $T-CNTFET$ دارای عملکردی بهتر از این مقدار است [۲ و ۴]. گزارش شده است ترانزیستورهای اثر میدانی (FET) که در ناحیه تونل‌زنی باند به باند ($T-FET$) عمل می‌کنند دارای نوساناتی زیر $60mV/decade$ می‌باشند [۴-۶] [۲]. در $T-CNTFET$ مشخصه دوپینگ می‌تواند از نوع $p-i-n$ و یا $n-i-p$ باشد [۷]. در این افزاره‌ها دوپینگ ناحیه سورس می‌تواند از نوع p (n) و در سمت درین از نوع n (p) باشد و ناحیه کانال نیز به صورت ذاتی می‌باشد [۷]. این افزاره‌ها عملکردی زیر محدوده تئوری دارند و برای کاربردهایی با توان مصرفی بسیار کم مناسب هستند [۲]. در این ساختار، ولتاژ گیت جریان تونل‌زنی باند به باند را کنترل می‌کند [۷]. با وجود مزیت‌های فراوان

* پست الکترونیک نویسنده مسئول: a.naderi@kut.ac.ir
۱. کارشناس ارشد، مهندسی برق- الکترونیک، دانشگاه صنعتی کرمانشاه
۲. استادیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی کرمانشاه

www.SID.ir

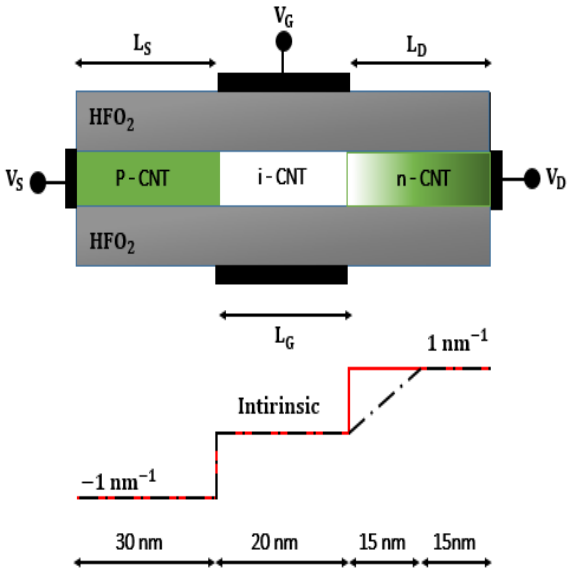
Archive of SID

$T-CNTFET$، این نوع از افزاره‌ها دارای مشکلاتی مانند جریان حالت روشن (I_{ON}) کوچک و جریان حالت خاموش (I_{OFF}) بزرگ هستند و نوسان زیر آستانه کمتر از $60mV/decade$ تنها در یک فاصله V_{GS} بسیار محدود بدست می‌آید [۵ و ۸]. روش‌های بسیاری برای جبران ضعف‌های $T-FET$ پیشنهاد شده است [۱۲-۸] [۵]، اما متاسفانه این ساختارها نیز نمی‌توانند به طور کامل باعث بهبودی رفتار $T-FET$ در کانال‌های کوتاه شوند. برای بهبود بیشتر در عملکرد این افزاره‌ها، در این مقاله یک ساختار جدید برای $T-CNTFET$ پیشنهاد شده است که علاوه بر کاهش نوسان زیر آستانه و I_{OFF}، باعث اندکی افزایش در جریان حالت روشن نیز می‌شود. این ساختار جدید همچنین باعث کاهش توان مصرفی، افزایش سرعت کلیدزنی و بهبود فرکانس قطع در مقایسه با $T-CNTFET$ های متداول می‌شود. در این ساختار جدید ناحیه درین به دو قسمت مساوی تقسیم شده است. قسمتی که نزدیک به ناحیه کانال واقع است دارای دوپینگ خطی است به گونه‌ایی که میزان ناخالصی از وسط ناحیه درین به صورت خطی به سمت ناحیه کانال گسترش یافته و میزان ناخالصی در محل اتصال به کانال به صفر می‌رسد. برای نخستین بار در این مقاله، با استفاده از شبیه سازی کوانتمی دو بعدی (2D) ساختار $LD-T-CNTFET$ شبیه‌سازی شده است. سپس مشخصات الکتریکی مهم $LD-T-CNTFET$ مانند مشخصات خروجی، I_{OFF}، نوسان زیر آستانه، سرعت کلیدزنی، توان مصرفی و فرکانس قطع بدست آمده‌اند. نتایج بررسی نشان می‌دهد که ساختار پیشنهاد شده، پارامترهای مذکور را به طور قابل توجهی در مقایسه با ساختار متداول بهبود می‌دهد.

در ادامه در بخش ۲، ساختار افزاره پیشنهادی و روش شبیه سازی و در بخش ۳، نتایج شبیه سازی همراه با بحث‌های مورد نیاز ارایه می‌گردد. در بخش ۴ نیز نتیجه‌گیری این مقاله ارایه خواهد شد.

۲- مشخصات ساختار $LD-T-CNTFET$ و روش شبیه‌سازی

ساختار و نحوه توزیع دوپینگ در $LD-T-CNTFET$ و $T-CNTFET$ متداول در شکل (۱) نشان داده شده است. در این ساختارها از یک ناحیه با چگالی زیاد در سمت سورس و درین استفاده شده است که ناخالصی در سمت سورس از نوع p و برابر با یک بر نانو متر می‌باشد، ناخالصی سمت درین از نوع n بوده و برابر با یک بر نانو متر است. در این ساختارها طول نواحی سورس / درین و کانال به ترتیب برابر با ۳۰nm و ۲۰nm است. طول هر کدام از قسمت‌های سمت درین در ساختار پیشنهادی برابر با ۱۵nm است. از یک نانو لوله کربنی زیگزاگ (۰ , ۱۳) به عنوان کانال استفاده شده است که دارای شکاف باند انرژی در حدود ۰/۸۲ الکترون ولت است. ضخامت اکسید گیت آن ۲nm و ثابت دی الکتریک ۱۶ است. فرض می‌شود که سورس ، درین و کانال بدون همپوشانی هستند. دما نیز در ۳۰۰°K ثابت در نظر گرفته شده است. فاصله بین اتمی اتمهای کربن نیز ۰/۱۴ نانومتر در محاسبات لحاظ شده است.



شکل ۱: برش عرضی و مشخصه دوپینگ $LD-T-CNTFET$ (خط - نقطه) و $T-CNTFET$ متداول (خط)

در این مقاله به منظور شبیه‌سازی رفتار افزاره، معادله شرودینگر با استفاده از روش تابع گرین غیرتعادلی (NEGF) همراه با معادله پواسون تا رسیدن به یک همگرایی به صورت تکراری حل می‌شود. با حل معادله پواسون، توزیع پتانسیل روی افزاره با استفاده از شرایط مرزی مانند ولتاژ گیت، درین و سورس محاسبه شده (حل الکترواستاتیکی مسئله) و به عنوان ورودی به معادله شرودینگر داده می‌شود. معادله‌ی شرودینگر چگالی بار جدیدی را در طول نانو لوله بدست می‌آورد و به عنوان ورودی به معادله پواسون می‌دهد. این حلقه بین دو معادله

www.SID.ir

Archive of SID

تکرار می‌شود تا یک خود سازگاری ایجاد شده و بعد از آن جریان محاسبه گردد [۱۳].

تابع گرین به صورت رابطه (۱) توصیف می‌شود [۱۴]:

$$G(E) = [(E + i\eta^{+})I - H - \Sigma_S - \Sigma_D]^{-1} \qquad (۱)$$

که در آن E انرژی، η^{+} یک مقدار مثبت بسیار کوچک، I ماتریس واحد، H ماتریس همیلتونی نانو لوله، Σ_S و Σ_D به ترتیب ماتریسهای خود انرژی سورس و درین هستند. همان‌طور که از رابطه (۱) می‌توان دید، فرض می‌شود که انتقال بالستیک می‌باشد [۱۴]. محاسبه همیلتونی نانو لوله در این مقاله بر اساس روش بستگی قوی و با در نظر گرفتن نزدیکترین همسایگی بوده و یک اوربیتال p_z از میان اوربیتالهای x ، y و z برای هر اتم استفاده شده است. ماتریس همیلتونی برای زیر باند با عدد کوانتمی زاویه‌ایی q در نانو لوله زیگزاگ (n , 0) به صورت زیر بدست می آید [۱۴]:

$$H = \begin{bmatrix} U_1 & b_{2q} & 0 & \dots \\ b_{2q} & U_2 & t & \dots \\ \dots & t & U_3 & b_{2q} \\ \dots & \dots & \dots & \dots \end{bmatrix}_{N\times N} \qquad (۲)$$

که در آن b_{2q} برابر با $b_{2q} = 2t\cos(\pi q/n)$ است در این رابطه q و n به ترتیب مربوط به عدد کوانتمی زاویه‌ایی و کایرالیته نانو لوله است و $t \approx 3eV$ بیان‌کننده انرژی پیوند کربن - کربن در مدل تنگ بست می‌باشد، U_j نیز بیان‌کننده پتانسیل سطحی نانو لوله است که توسط معادله پواسون قابل محاسبه است [۱۴].

همه‌ی آرایه‌های ماتریس خود - انرژی سورس (Σ_S) به غیر از آرایه (۱ ، ۱) که به صورت رابطه (۳) تعریف می‌شود برابر با صفر است [۱۴].

$$\sum\nolimits_S(1,1) = \frac{(E-U_1)^2 + t^2 + b^2{}_{2q}}{2(E-U_1)} \pm \frac{\sqrt{[(E-U_1)^2 + t^2 + b^2{}_{2q}]^2 - 4(E-U_1)^2t^2}}{2(E-U_1)} \qquad (۳)$$

تمام آرایه‌های ماتریس خود - انرژی درین (Σ_D) به جزء آرایه (N , N) که مشابه رابطه (۳) تعریف می‌شود برابر با صفر است، با این تفاوت که U_N به جای U_1 قرار می‌گیرد [۱۴].

برای بدست آوردن عناصر قطر ماتریس همیلتونی، در رابطه (۲) باید از معادله پواسون استفاده کرد. در شبیه‌سازی‌ها معادله پواسون به صورت رابطه (۴) محاسبه می‌گردد [۱۴]:

$$\nabla^2 U_j(r,z) = -\frac{q}{\varepsilon}\rho(r,z_j) \qquad (۴)$$

که در آن $U_j(r,z)$ پتانسیل الکترواستاتیکی، ε ثابت دی‌الکتریک و $\rho(r,z_j)$ چگالی بار می‌باشد. پتانسیل الکترواستاتیکی محاسبه شده به عنوان ورودی به معادله شرودینگر استفاده می‌شود. معادله شرودینگر نیز با استفاده از فرمالیسم NEGF حل می‌شود و چگالی بارها (ρ) محاسبه می‌شود و پس از خودسازگاری جریان مطابق با رابطه (۵) محاسبه می‌شود [۱۴]:

$$I = \frac{2q}{h}\int T(E)[F(E-E_{FS}) - F(E-E_{FD})t]dE \qquad (۵)$$

که در آن q بار الکترون، h ثابت پلانک و $T(E)$ ضریب انتقال است که به صورت رابطه (۶) محاسبه می‌شود [۱۴]:

$$T(E) = \text{trace}\,(\Gamma_s G \Gamma_d G^{+}) \qquad (۶)$$

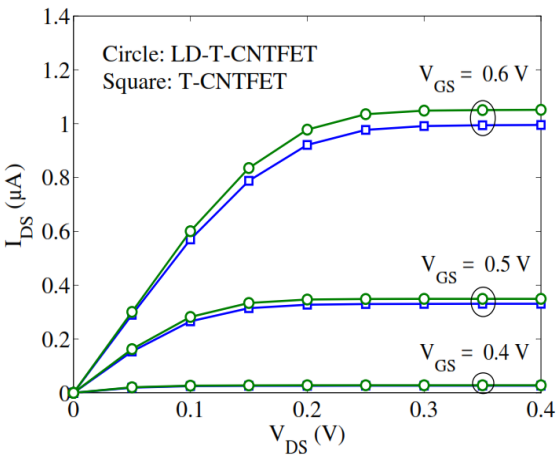
۳- نتایج شبیه‌سازی و بحث‌ها

در این بخش مشخصات خروجی ساختار $LD-T-CNTFET$ توضیح داده می‌شود و با ساختار متداول در یک طول کانال برابر مقایسه می‌گردد. برای ولتاژ درین – سورس از ۰ تا ۰.۴V و ولتاژ گیت – سورس ۰.۴ ، ۰.۵ و ۰.۶V جریان درین – سورس (I_{DS}) بر حسب V_{DS} برای طول کانال ثابت ۲۰nm در شکل (۲) رسم شده است. مطابق این شکل I_{ON} در ساختار $LD-T-CNTFET$، اندکی بیشتر از ساختار متداول است. این خصوصیت ساختار پیشنهادی به افزایش ضریب انتقال آن نسبت داده می‌شود [۱۵]. توزیع خطی ناخالصی باعث شیب‌دار شدن توزیع پتانسیل در ناحیه درین گردیده که در حالت اشباع باعث سهولت در عبور حامل‌ها در سمت درین و نهایتاً اندکی افزایش در جریان حالت روشن می‌شود. در این افزاره‌ها هنگامی که ولتاژ گیت به سمت مقادیر مثبت افزایش می‌یابد باند هدایت (E_C) در ناحیه کانال، بتدریج پایین‌تر از باند ظرفیت (E_V) در سمت سورس قرار می‌گیرد و احتمال تونل‌زنی در محل اتصال کانال - سورس بیشتر شده و جریان تونل‌زنی شروع به افزایش می‌کند. دیاگرام باند انرژی برای هر دو افزاره تحت بایاس ولتاژ گیت - سورس (V_{GS}) مثبت در شکل (۳) رسم شده است. این

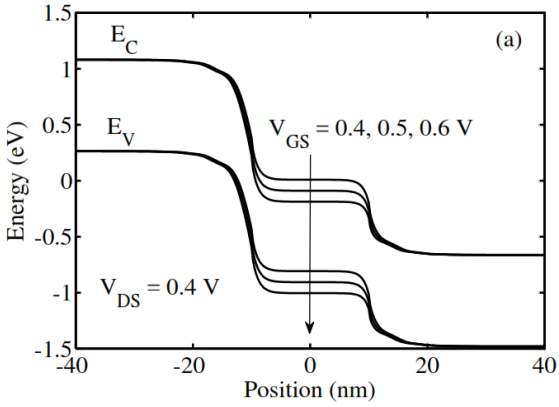
www.SID.ir

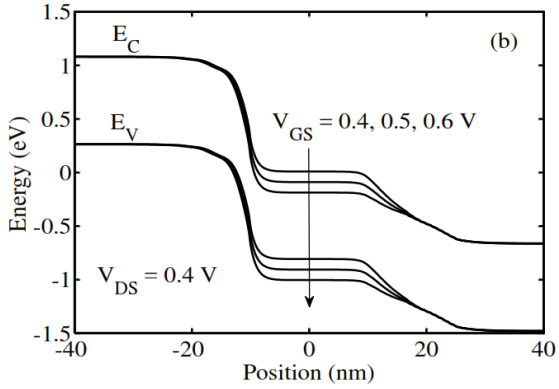
Archive of SID

افزایش جریان به دلیل زیاد بودن ضریب انتقال در ساختار پیشنهادی است که باعث افزایش احتمال عبور حفره از سد گیت - سورس می شود.



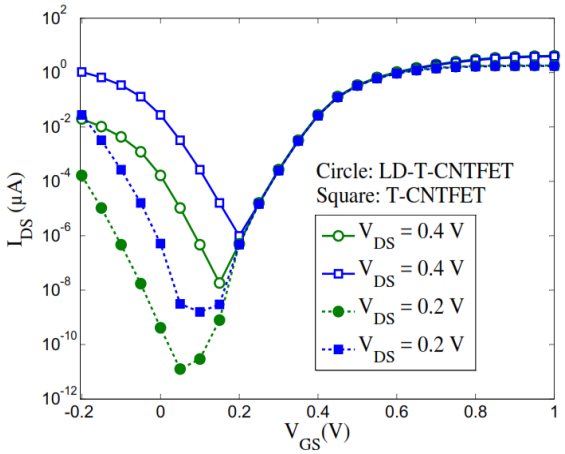
شکل ۲: مشخصات $I_{DS}-V_{DS}$ ساختارهای $LD-T-CNTFET$ (خط - دایره) و $T-CNTFET$ متداول (خط - مربع) در $V_{GS}=۰.۴\ ,\ ۰.۵\ ,\ ۰.۶\,V$





شکل ۳: دیاگرام باند انرژی (a) ساختارهای $T-CNTFET$ متداول و (b) $LD-T-CNTFET$ تحت بایاس ولتاژ گیت - سورس مختلف و $V_{DS}=۰.۴V$

مشخصات جریان درین - سورس بر حسب ولتاژ گیت - سورس ($I_{DS}-V_{GS}$) برای V_{DS} مختلف در شکل (۴) نشان داده شده است. در ساختار پیشنهادی I_{OFF} حدود ۲ برابر کمتر از ساختار متداول است. به منظور نشان دادن دلیل این بهبودی، دیاگرام باند انرژی افزاره‌ها ، تحت بایاس $V_{DS}=۰.۴V$ و $V_{GS}=-۰.۲V$ در شکل (۵) نشان داده شده‌اند. در این شکل واضح است که به دلیل استفاده از دوپینگ خطی در ناحیه درین ساختار $LD-T-CNTFET$ سد تونل‌زنی در محل اتصال کانال – درین پهن‌تر می‌شود، احتمال تونل‌زنی در ناحیه خاموش کاهش یافته و لذا I_{OFF} کاهش می‌یابد. از شکل‌های (۲) و (۴) می‌توان نتیجه گرفت که ساختار پیشنهادی دارای رفتار حالت روشنی، خاموشی بهتری است و در نتیجه نسبت جریان (I_{ON}/I_{OFF}) بهتری در مقایسه با ساختار متداول دارد.



شکل ۴: مقایسه مشخصات $I_{DS}-V_{GS}$ ساختارهای $LD-T-CNTFET$ (خط - دایره) و $T-CNTFET$ متداول (خط - مربع) برای V_{DS} های مختلف

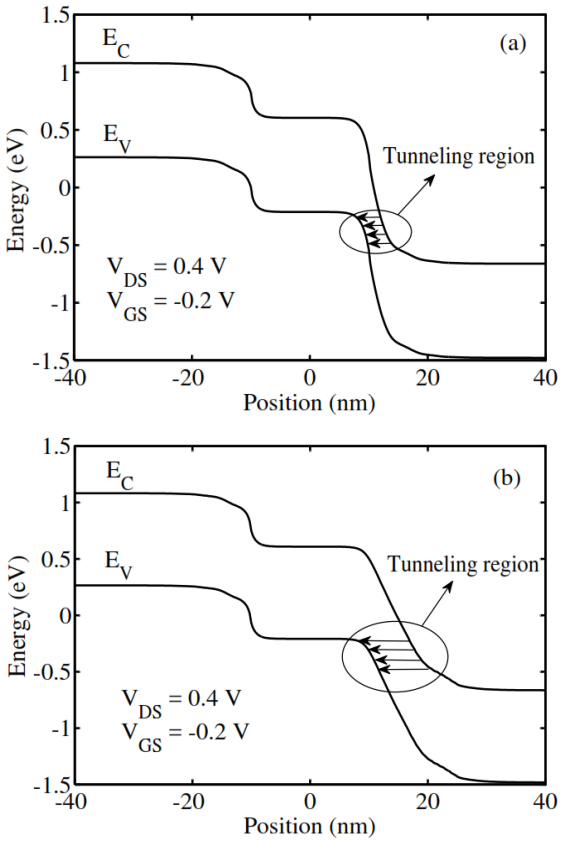
برای مقایسه بیشتر، نسبت I_{ON}/I_{OFF} بر حسب I_{ON} برای $V_{DS}=۰.۴V$ در شکل (۶) نشان داده شده است. برای رسم این شکل از روش ارایه شده در مرجع [۱۵ و ۱۶] استفاده گردیده است، برای استخراج این نمودار مقدار V_{DS} در V_{DD} ثابت نگه داشته شده و برای V_{GS} پنجره‌ای به عرض V_{DD} استفاده شده است. به این ترتیب که از روی نمودار شکل (۴) $I_{DS}-V_{GS}$ ، یک مقدار برای V_{GS} به عنوان ولتاژ روشن انتخاب شده و $V_{GS}-V_{DD}$ به عنوان ولتاژ خاموش برای آن در نظر گرفته شده است. در این دو ولتاژ، جریان روشن و خاموش محاسبه گردیده‌اند. این پنجره با تغییر V_{GS} ، جابجا شده و مقادیر مختلف جریان روشن و خاموش اندازه‌گیری شده‌اند. در اینجا V_{DD} همان ولتاژ تغذیه و برابر با ۰/۴ ولت است. برخی ساختارها نسبت جریان روشن به خاموش را افزایش می‌دهند اما همزمان

www.SID.ir

Archive of SID

جریان حالت روشن را بسیار تخریب می‌کنند و درصد این تخریب قابل توجه بوده و ممکن است بهبود در نسبت جریان را تحت الشعاع قرار دهد. بنابراین با ترسیم این نمودار می‌توان در جریان اشباع برابر، نسبت جریان‌ها را باهم مقایسه نمود و قضاوت بهتری راجع به بهبود در نسبت جریان ساختار پیشنهادی داشت. از این شکل واضح است که در تمامی جریان‌های روشن اندازه‌گیری شده، ساختار $LD-T-CNTFET$ دارای نسبت جریان بزرگتری در مقایسه با ساختار معمولی است. افزایش نسبت جریان در ساختار $LD-T-CNTFET$ به این دلیل است که I_{ON} مقدار اندکی در مقایسه با ساختار متداول افزایش می‌یابد و I_{OFF} بسیار کمتر از ساختار متداول است که باعث افزایش نسبت جریان می‌شود. همچنین از این شکل واضح است که نسبت جریان هر کدام از افزاره‌ها دارای یک ماکزیمم است. مقدار ماکزیمم I_{ON} تابعی از V_{GS} است که از ساختاری به ساختار دیگر متفاوت است. باید به این نکته توجه کرد که افزایش V_{GS} بیش از این نقطه بایاس بحرانی، تاثیری بر سد کانال - سورس ندارد و فقط I_{OFF} را افزایش می‌دهد.

نوسان زیر آستانه یکی از پارامترهای کلیدی در کوچک‌سازی ترانزیستورها است. این پارامتر باعث افزایش توان مصرفی در تراشه‌های مدرن می‌شود. افزاره‌ایی با شیب زیر آستانه بزرگ (نوسان زیر آستانه کوچک) قابل اطمینان‌تر است [۳]. محدوده تئوری نوسان زیر آستانه برای MOSCNT در دمای اتاق $60\,mV/decade$ است [۱۷] اما درافزاره های $T-CNTFET$ به دلیل این که شیب زیر آستانه آنها زیاد است دارای نوسان زیر آستانه کمتر از این محدوده است که یکی از مهمترین مزایای این ساختارها محسوب می‌شود. رابطه معروف برای بدست آوردن این پارامتر به صورت $SS = \Delta V_{GS} / \Delta \log(I_{DS})$ می‌باشد [۳]. نوسان زیر آستانه ساختارهای پیشنهادی و متداول بر حسب ولتاژ گیت در $V_{DS}=0.4\,V$ در شکل (۷) نشان داده شده است. از شکل واضح است که $LD-T-CNTFET$ نوسان زیر آستانه بسیار کمتری در مقایسه با ساختار متداول دارد. مقدار نوسان زیر آستانه برای طول کانال $20\,nm$ در $V_{DS}=0.4\,V$ و $V_{GS}=0.225\,V$ در ساختار پیشنهادی $33/36\,mV/dec$ است و برای ساختار متداول $42/49\,mV/dec$ است. دلیل بهبودی نوسان زیر آستانه این است که با استفاده از توزیع دوپینگ پیشنهادی، سد کانال – درین بیشتر از ساختار متداول گسترش می‌یابد و امکان تونل‌زنی باند به باند حامل‌ها در ولتاژهای گیت زیر آستانه و منفی کاهش می‌یابد. لذا نشتی زیر آستانه کاهش یافته و می‌توان گفت که با استفاده از توزیع دوپینگ پیشنهادی توانایی کنترل گیت بر ناحیه کانال زمانی که در زیر ناحیه آستانه قرار دارد بیشتر می‌شود.



شکل ۵: دیاگرام باند انرژی در طول افزاره در $V_{GS}=-0.2\,V$ و $V_{DS}=0.4\,V$ برای (a) $T-CNTFET$ متداول و (b) $LD-T-CNTFET$

برای ارزیابی رفتار کلیدزنی، زمان تاخیر (τ) و حاصل‌ضرب توان در تاخیر (PDP) که به عنوان انتقال انرژی به ازای هر تغییر وضعیت در یک کلیدزنی شناخته می‌شود، هر دو ساختار با یکدیگر مقایسه می‌شود. این دو مورد از مهم‌ترین پارامترها برای بررسی رفتار حالت روشن و خاموش افزاره هستند به خصوص برای افزاره‌هایی که بر اساس تونل‌زنی عمل می‌کنند. زیرا یکی از دلایل اصلی گرایش به این نوع از افزاره‌ها این است که دارای توان مصرفی بسیار کم می‌باشند و برای کاربردهایی با توان مصرفی بسیار کم مناسب می‌باشند [۲]. به این منظور از روابط مطرح شده در مرجع [۱۳] استفاده شده است. این دو پارامتر توسط

www.SID.ir

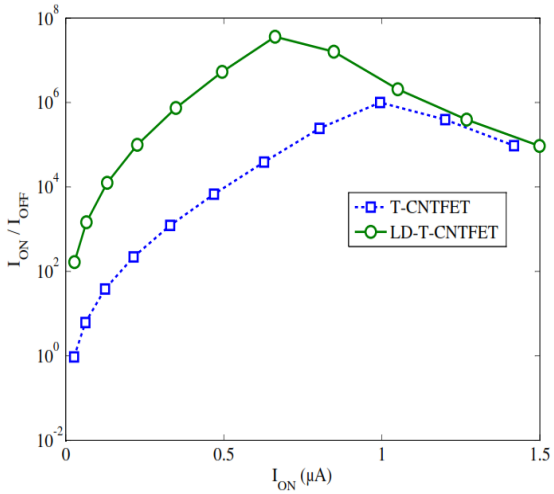
Archive of SID

روابط (۷) و (۸) تعریف می‌شوند:

$$\tau = (Q_{ON} - Q_{OFF})/I_{ON} \quad (۷)$$

$$PDP = (Q_{ON} - Q_{OFF})V_{DD} \quad (۸)$$

در این تعاریف $Q_{ON/OFF}$ نشان‌دهنده بار افزاره در حالت روشن و خاموش می‌باشد [۱۳]. قابل ذکر است که این دو پارامتر به شدت به شرایط بایاس بستگی دارند. این دو پارامتر در شکل‌های (۸) و (۹) بر حسب I_{ON} در V_{DS} =۰.۴V برای ساختار $LD-T-CNTFET$ و $T-CNTFET$ متداول نشان داده شده است. طبق این شکل‌ها، ساختار پیشنهادی نسبت به ساختار متداول برای کاربردهایی با توان مصرفی پایین و سرعت زیاد مناسبتر است زیرا دارای کمترین τ و PDP است. τ و PDP در ساختار پیشنهادی به طور قابل توجهی در مقایسه با ساختار متداول بهبود می‌یابد زیرا ساختار $LD-T-CNTFET$ به میزان اندکی باعث افزایش I_{ON} می‌شود و همانطور که از رابطه (۷) مشخص است افزایش I_{ON} باعث کاهش زمان تاخیر می‌شود، از طرف دیگر به علت استفاده از دوپینگ خطی در ناحیه درین، حجم بارهایی که باید در زمان تغییر وضعیت از حالت روشن به حالت خاموش و یا برعکس در داخل ترانزیستور جابجا شوند در ساختار پیشنهادی کمتر از ساختار متداول است. در نتیجه برای یک مقدار مشخص جریان I_{ON}، مطابق با روابط (۷) و (۸)، توان مصرفی و زمان تاخیر در ساختار پیشنهادی کمتر از ساختار متداول است.



شکل ۶: نسبت I_{ON}/I_{OFF} بر حسب I_{ON} برای $T-CNTFET$ متداول (خط - مربع) و $LD-T-CNTFET$ (خط - دایره) در V_{DS} =۰.۴V

فرکانس قطع ترانزیستور توسط رابطه (۹) تعیین می‌شود [۱۸]:

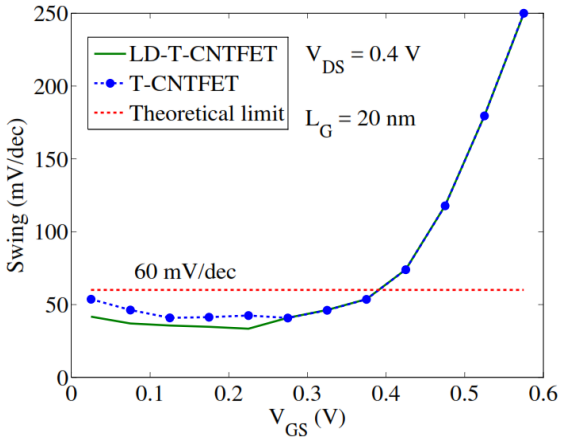
$$f_T = \frac{1}{2\pi}\frac{g_m}{C_g} \quad (۹)$$

که در این رابطه هدایت - انتقالی (g_m) و خازن گیت (C_g) به ترتیب توسط روابط (۱۰) و (۱۱) تعریف می‌شوند [۱۸]:

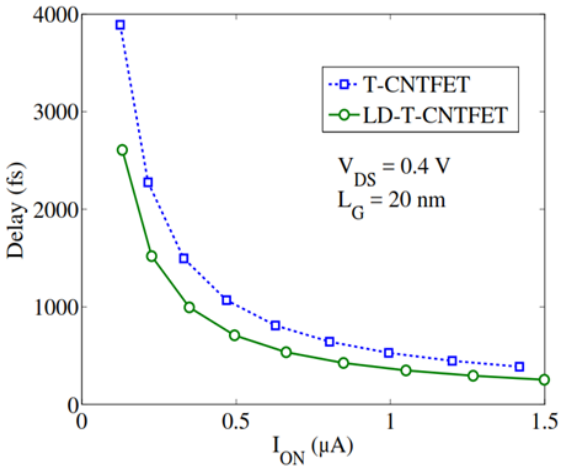
$$g_m = \left.\frac{\partial I_d}{\partial V_g}\right|_{V_d} \quad (۱۰)$$

$$C_g = \left.\frac{\partial Q_g}{\partial V_g}\right|_{V_d} \quad (۱۱)$$

که در آن پارامتر Q_g مجموع بار گیت است [۱۸].



شکل ۷: منحنی نوسان زیر آستانه بر حسب ولتاژ گیت ساختارهای $LD-T-CNTFET$ (خط) و $T-CNTFET$ متداول (خط – نقطه) در V_{DS} =۰.۴V



شکل ۸: منحنی τ بر حسب I_{ON} برای هر دو ساختار پیشنهادی و متداول در V_{DS} =۰.۴V

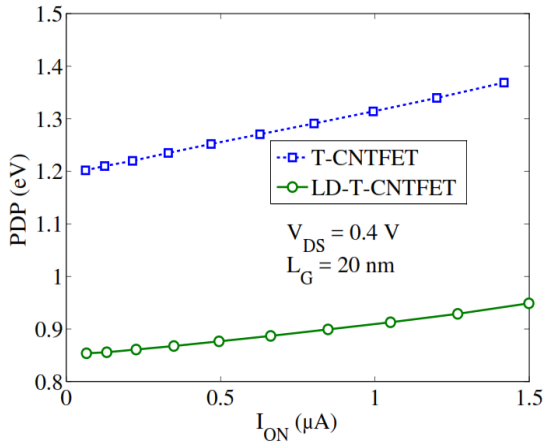
شکل (۱۰) اثر تغییرات طول کانال بر فرکانس قطع (f_T) ساختار $LD-T-CNTFET$ و $T-CNTFET$ متداول را نشان می‌دهد، فرکانس قطع تحت بایاس V_{DS} =۰.۴V محاسبه شده است. می‌توان دید که با

www.SID.ir

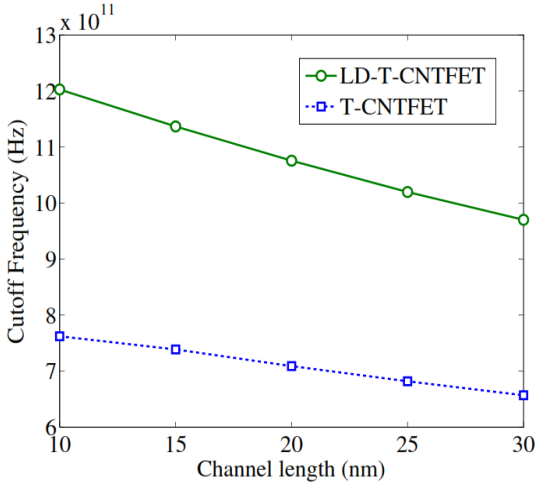
Archive of SID

افزایش طول کانال فرکانس قطع کاهش می‌یابد. همچنین از این شکل واضح است که ساختار پیشنهادی در تمامی طول‌های کانال دارای فرکانس قطع بیشتری است. فرکانس قطع ساختار پیشنهادی تقریبا در تمامی طول‌های کانال به سطح تراهرتز (THz) می‌رسد این در حالی است که فرکانس قطع ساختار متداول در هیچ طول کانالی به سطح THz نمی‌رسد. فرکانس قطع بدست آمده از شبیه سازی برای ساختار پیشنهادی و ساختار متداول در طول کانال ۱۰ نانومتر به ترتیب برابر با ۱.۲۰۳ THz و ۷۶۱.۹ GHz است. برای توضیح دلیل این بهبودی، مشخصات g_m و Cg در شکل‌های (۱۱) و (۱۲) رسم شده است. طبق رابطه (۹) برای افزایش فرکانس قطع دو کار را می‌توان انجام داد، اول اینکه g_m را افزایش داد زیرا رابطه مستقیم با فرکانس قطع دارد و دوم اینکه Cg را کاهش داد زیرا طبق این رابطه خازن گیت رابطه معکوسی با فرکانس قطع دارد. همان‌طور که از شکل (۱۱) مشخص است ساختار $LD-T-CNTFET$ دارای g_m بیشتری نسبت به ساختار متداول است که این یک عامل برای افزایش فرکانس قطع می‌باشد. g_m نشان دهنده حساسیت کنترل ارتفاع سد افزاره به ولتاژ گیت است. هنگامی که افزاره در ناحیه اشباع عمل می‌کند، با افزایش ولتاژ گیت ارتفاع سد کاهش یافته و جریان حالت روشن زیاد می‌گردد. حساسیت بیشتر ارتفاع سد به ولتاژ گیت به معنای g_m بیشتر است. شکل (۱۲) نیز نشان می‌دهد که ساختار $LD-T-CNTFET$ دارای خازن گیت کمتری است که به عنوان عاملی دیگر برای افزایش فرکانس قطع مطرح می‌باشد.

در الکترونیک معمولاً بهبود در مشخصات افزاره باعث تنزل برخی دیگر از پارامترهای افزاره می‌شود و ساختار پیشنهادی در این مقاله نیز از این قاعده مستثنی نیست. در بررسی موارد تخریبی ناشی از اعمال ساختار پیشنهادی میتوان به موارد ذیل اشاره کرد. تفاوت ساختار $LD-T-CNTFET$ با ساختار پایه در توزیع ناخالصی خطی در ناحیه درین است. این توزیع از لحاظ ساخت کمی پیچیده‌تر از توزیع یکسان است. بنابراین ساخت آن نیازمند دقت بیشتری نسبت به ساختار پایه است. افزایش پیچیدگی، تقریباً ویژگی مشترک تمامی ساختارهای جدیدی است که برای بهبود عملکرد افزاره‌ها پیشنهاد می‌شود. همچنین بررسی تغییرات ولتاژ آستانه با تغییر در ولتاژ درین - سورس در شکل (۱۳) نشان داده شده است. در دو ولتاژ درین - سورس ۰/۳ و ۰/۶ ولت و با تغییر ولتاژ گیت - سورس رفتار ولتاژ آستانه مورد مطالعه قرار گرفته است. دیده می‌شود که تغییر در ولتاژ آستانه ساختار پیشنهادی کمی بیش از ساختار پایه است. این نشان دهنده آن است که سد موجود برای عبور حامل‌ها در ساختار پیشنهادی با تغییر در ولتاژ درین سورس بیشتر تحت تاثیر قرار می‌گیرد و با توجه به اینکه در حالت ایده‌آل، ولتاژ آستانه نباید وابسته به ولتاژ درین - سورس باشد می‌توان گفت که ساختار پایه در این مشخصه کمی بهتر از ساختار پیشنهادی عمل می‌کند. قابل ذکر است ساختارهای جدیدی که باعث تثبیت ولتاژ آستانه با تغییر در ولتاژ درین سورس می‌شوند عمدتا باعث کاهش جریان حالت روشن می‌شوند.



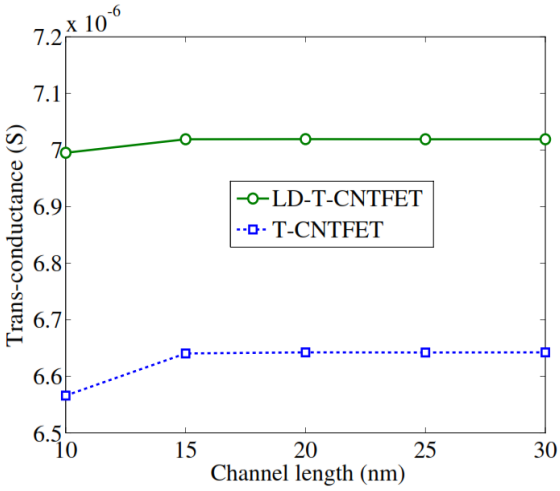
شکل ۹: منحنی PDP بر حسب I_{ON} برای هر دو ساختار پیشنهادی و متداول در $V_{DS}=۰.۴V$



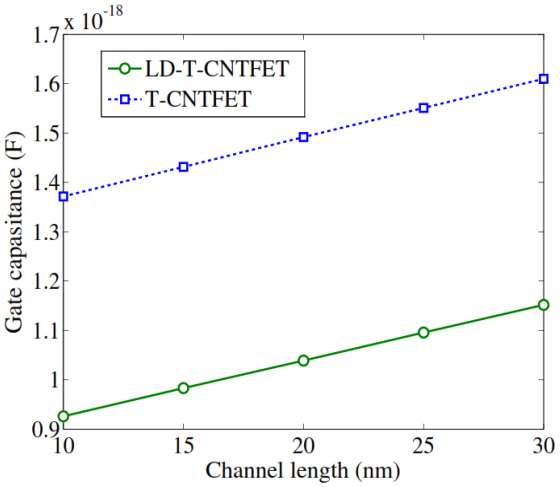
شکل ۱۰: فرکانس قطع بر حسب طول کانال‌های مختلف برای ساختار $LD-T-CNTFET$ و $T-CNTFET$ تحت بایاس $V_{DS}=۰.۴V$

www.SID.ir

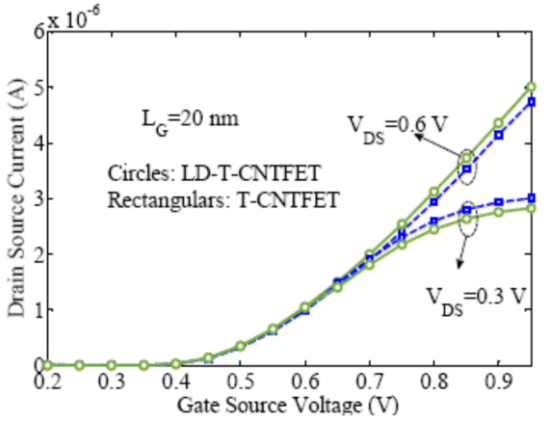
Archive of SID



شکل ۱۱: هدایت - انتقالی (g_m) بر حسب طول کانال‌های مختلف برای ساختار $LD-T-CNTFET$ و $T-CNTFET$ تحت بایاس $V_{DS}=۰.۴V$



شکل ۱۲- خازن گیت (Cg) بر حسب طول کانال‌های مختلف برای ساختار $LD-T-CNTFET$ و $T-CNTFET$ تحت بایاس $V_{DS}=۰.۴V$



شکل ۱۳: تغییر در ولتاژ آستانه با تغییر در ولتاژ درین سورس برای ساختار $LD-T-CNTFET$ و $T-CNTFET$

۴- نتیجه گیری

به منظور بهبود عملکرد $T-CNTFET$ متداول، در این مقاله نوعی خاص از توزیع دوپینگ برای این افزاره‌ها پیشنهاد شده است. در این ساختار جدید ناحیه درین به دو قسمت مساوی تقسیم شده است. قسمتی که نزدیک ناحیه کانال قرار دارد دارای دوپینگ خطی است. با استفاده از روش تابع گرین غیر تعادلی (NEGF)، مشخصات الکتریکی ساختار پیشنهادی با ساختار متداول مقایسه گردید. نتایج این مقایسه‌ها نشان می‌دهد که ساختار پیشنهادی باعث افزایش نسبت جریان، هدایت انتقالی و فرکانس قطع می‌شود و همچنین موجب کاهش جریان نشتی، نوسان زیر آستانه، زمان تاخیر، توان مصرفی و خازن‌های گیت می‌گردد. بنابراین از این ساختار جدید می‌توان در کاربردهای با توان مصرفی کم، سرعت بالا استفاده نمود. علاوه بر این می‌توان از این ساختار در کاربردهایی که نیاز به فرکانس بالا دارند بهره برد.

www.SID.ir

Archive of SID

۵- مراجع

[1] D. L. Pulfrey, and L. Chen, "Comparison of p-i-n and n-i-n carbon nanotube FETs regarding high-frequency performance", Solid-State Electronics, Vol. 53, NO. 9, September 2009, pp. 935-939.

[2] S. O. Koswatta, D. E. Nikonov, and M. S. Lundstrom, "Computational study of carbon nanotube p-i-n tunnel FETs", InElectron Devices Meeting, IEDM Technical Digest. IEEE International, December 2005, pp. 518-521.

[3] A. Naderi, and P. Keshavarzi, "Novel carbon nanotube field effect transistor with graded double halo channel", Superlattices and Microstructures, Vol. 51, NO. 5, May 2012, pp. 668-679.

[4] S. Poli, S. Reggiani, A. Gnudi, E. Gnani and E. Baccarani, "Computational study of the ultimate scaling limits of CNT tunneling devices", IEEE Transactions on Electron Devices, Vol. 55, NO. 1, January 2008, pp. 313-321.

[5] L. Leem, A. Srivastava S. Li, B. Magyari-Köpe, G. Iannaccone, J. S. Harris, and G. Fiori, "Multi-scale simulation of partially unzipped CNT hetero-junction tunneling field effect transistor", InElectron Devices Meeting (IEDM), IEEE International, December 2010, pp. 32-35.

[6] W. Y. Choi, B. G. Park, J. D. Lee, and T. J. K. Liu, "Tunneling field-effect transistors (TFETs) with subthreshold swing (SS) less than 60 mV/dec", IEEE Electron Device Letters, Vol. 28, NO. 8, August 2007, pp. 743-745.

[7] M. Pourfath, H. Kosina, and S. Selberherr, "Tunneling CNTFETs", Journal of Computational Electronics, Vol. 6, NO. 1-3, September 2007, pp. 243-246.

[8] H. Wang, S. Chang, Y. Hu, H. He, J. He, Q. Huang F. He, and G. Wang, "A Novel Barrier Controlled Tunnel FET", IEEE Electron Device Letters, Vol. 35, NO. 7, July 2014, pp. 798-800.

[9] M. Ossaimee, S. Gamal, and A. Shaker, "Gate dielectric constant engineering for suppression of ambipolar conduction in CNTFETs", Electronics Letters, Vol. 51, NO. 6, March 2015, pp. 503-504.

[10] O. M. Nayfeh, C. N. Chleirigh, J. Hennessy, L. Gomez, J. L. Hoyt, and D. A. Antoniadis, "Design of tunneling field-effect transistors using strained-silicon/strained-germanium type-II staggered heterojunctions", IEEE Electron Device Letters, Vol. 29, NO. 9, September 2008, pp. 1074-1077.

[11] V. Nagavarapu, R. Jhaveri, and J. C. Woo, "The tunnel source (PNPN) n-MOSFET: A novel high performance transistor", IEEE Transactions on Electron Devices, Vol. 55, NO. 4, April 2008, pp. 1013-1019.

[12] S. Saurabh, and M. Kumar, "Novel attributes of a dual material gate nanoscale tunnel field-effect transistor", IEEE transactions on Electron Devices, Vol. 58, NO. 2, February 2011, pp. 404-410.

[13] R. Yousefi, and S. S. Ghoreyshi, "Numerical Study of Ohmic-Schottky Carbon Nanotube Field Effect Transistor", Modern Physics Letters B, Vol. 26, NO. 15, June 2012, pp. 1250096.

[14] Z. Jamalabadi, P. Keshavarzi, and A. Naderi, "SDC-CNTFET: stepwise doping channel design in carbon nanotube field effect transistors for improving short channel effects immunity", International Journal of Modern Physics B, Vol. 28, NO. 7, March 2014, pp. 1450048-1-1450048-17.

[15] R. Yousefi, K. Saghafi, and M. K. Moravvej-Farshi, "Numerical Study of Lightly Doped Drain and Source Carbon Nanotube Field Effect Transistors", IEEE Transactions on Electron Devices, Vol. 57, NO. 4, April 2010, pp. 765-771.

[16] J. Guo, A. Javey, H. Dai, and M. Lundstrom, "Performance analysis and design optimization of near ballistic carbon nanotube field-effect transistor", InElectron Devices Meeting, IEDM Technical Digest. IEEE International, December 2004, pp. 703-706.

[17] A. A. Orouji, and Z. Arefinia, "Detailed simulation study of a dual material gate carbon nanotube field-effect transistor", Physica E: Low-dimensional Systems and Nanostructures, Vol. 41, NO. 4, February 2009, pp. 552-557.

[18] W. Wang, T. Zhang, L. N. Li, G. Yue, and x. Yang, "High-frequency and switching performance investigations of novel lightly doped drain and source hetero-material-gate CNTFET", High-frequency and switching performance investigations of novel lightly doped drain and source hetero-material-gate CNTFET, Vol. 21, May 2014, pp. 132-139.

www.SID.ir