Archive of SID

دانشگاه جامع امام حسین(ع)
دانشکده و پژوهشکده فنی و مهندسی

مجله علمی-پژوهشی «علوم و فناوری‌های پدافند غیرعامل»
سال اول، شماره ۲، زمستان ۱۳۸۹: ص ۸۵-۷۵

Available online:
www.adst.ir

طراحی و پیاده‌سازی بانک فیلتر منطبق موازی در رادارهای فشرده‌سازی پالس

رضا کیوان‌شکوه[1*]، مجید اخوت[2]

۱- کارشناس ارشد، ۲- استادیار، دانشگاه جامع امام حسین(ع)، پژوهشکده مخابرات و الکترونیک فجر
E-mail: kayvanshokooh@yahoo.com

(دریافت: ۸۸/۱۲/۱۱ ، پذیرش: ۸۹/۰٤/۲۹)

چکیده

در این مقاله، استفاده از بانک فیلتر منطبق موازی بر مبنای کدهای باینری فازی برای غلبه بر شیفت فازی در رادارهای ثابتی که از تکنیک فشرده‌سازی پالس بهره می‌برند پیشنهاد شده است. تلفات عدم تطبیق ناشی از شیفت داپلر هدف با استفاده از فیلترهای موازی زوج یا فرد کاهش می‌یابد. با افزایش تعداد فیلترها در بازه سرعت هدف و نزدیک شدن فرکانس‌های مرکزی فیلترها به یکدیگر، همپوشانی فیلترها افزایش یافته و در نتیجه، تلف در خروجی کاهش می‌یابد. تضعیف در خروجی فیلتر منطبق گیرنده به‌خاطر سرعت اهداف هوایی، با استفاده از نرم‌افزار MATLAB تحلیل شده و راه‌حلی برای محاسبه حداقل تعداد فیلتر مورد نیاز که حداقل تلفات SNR را تأمین کند، پیشنهاد شده است. در انتها دو روش برای پیاده‌سازی فیلترهای موازی با FPGA در گیرنده راداری اهداف هوایی ارائه شده است که با هم مقایسه شده‌اند.

کلیدواژه‌ها: فشرده‌سازی پالس راداری؛ فیلتر منطبق؛ شیفت فازی؛ تلفات عدم تطبیق؛ کدهای باینری فازی

Design and Implementation of Parallel Matched Filter Bank in Pulse Compression Radars

R. Keyvan Shokooh[1*], M. Okhovat[2]
FAJR Research Center, Imam Hossein University
E- mail: kayvanshokooh@yahoo.com

Abstract

In this paper, exploitation of parallel matched filters bank based on binary phase code is proposed, to overcome shift Doppler in ground based radars which use pulse compression technique. The mismatch loss due to target Doppler shift in radar receiver reduced by odd or even number of these parallel filters. By increasing the number of filters over target velocity axis the central Doppler frequencies of the neighbor filters approach together and consequently the overlap increases and results in the straddling loss decrease in output. Using MATLAB software, the attenuation in the output of the receiver matched filter due to airborne target velocity was analyzed and a solution to calculate minimum number of filters is proposed for minimum loss of SNR. Finally, two methods for implementation of parallel matched filters on FPGA in the airborne targets radar receiver are presented and compared.

Keywords: Radar Pulse Compression; Matched Filter; Phase Shift; Binary Phase Codes

www.SID.ir

Archive of SID

۱. مقدمه

در فشرده‌سازی پالس به منظور افزایش برد، در فرستنده پالس را پهن می‌کنند، در حالی که برای دسترسی به سلول‌های با تفکیک‌پذیری کوچک و بهبود تفکیک‌پذیری به پالس‌های باریک نیاز می‌باشد. یک پالس کوتاه، پهنای باند طیفی گسترده‌ای دارد و اگر یک پالس بلند بخواهد همان پهنای باند طیفی پالس کوتاه را داشته باشد، می‌بایست در فرکانس یا فاز مدوله شود. در این مقاله فرض بر این است که یک رادار همدوس فشرده‌ساز پالس کد شده فازی در محیطی نویزی قرار داشته باشد.

فیلتر منطبق[1]، یک فیلتر بهینه خطی باند پایه است که پاسخ ضربه آن به ازاء سیگنالی خاص، SNR را در واحد زمان در خروجی پردازشگر سیگنال حداکثر می‌نماید. خروجی فیلتر منطبق تنها به انرژی سیگنال وابسته است و به شکل موج آن هیچ وابستگی ندارد. در رادار، اکوی بازگشتی از هدف نقطه‌ای در واقع نسخه تأخیر یافته زمانی[2] یا شیفت داپلر یافته[3] سیگنال ارسالی است. در روش متعارف، فیلتر منطبق بین سیگنال دریافتی و نسخه‌ای از کد ارسالی، همبستگی متقابل می‌گیرد.

هرگاه فاصله بین رادار و هدف تغییر کند، فرکانس دریافتی توسط گیرنده رادار نسبت به فرکانس کاری رادار تغییر خواهد کرد. لذا سیگنال‌های بازگشتی از هدف متحرک دارای شیفت فرکانس داپلری متناسب با سرعت هدف می‌شوند. شیفت داپلر در واقع شیفت فاز پیوسته‌ای را روی سیگنال دریافتی اعمال می‌نماید که باعث عدم تطبیق بین سیگنال ارسالی و دریافتی در فیلتر منطبق و تحمیل تلفی به سامانه می‌گردد. در واقع فرکانس داپلر به‌خاطر تغییرات سرعت هدف و در نتیجه، فرکانس داپلر متغیر و وجود سیگنال لحظه‌ای براساس دیدن هدف در زمانیکه بیم اصلی آنتن از روی آن عبور می‌کند، ماهیتی غیر ایستا دارد ولی ما در اینجا آن را ایستا فرض می‌کنیم.

رادار فشرده‌سازی پالس دیجیتال با کد باینری فازی به طول N و عرض زیر پالس τ را در نظر بگیرید. مشکل اساسی این رادارها علاوه بر برد کور بیشتر، آشکارسازی اهداف هوایی با سرعت بالا می‌باشد که استفاده از پالس‌های بلند در ارسال، مشکل فشرده‌سازی پالس در زمان واقعی[4] را تشدید می‌کند[۳-۱].

در این مقاله در ۷ بخش به موارد زیر اشاره شده است: پس از مقدمه و در بخش دوم، مدلسازی سیگنال و نویز ارائه شده است. در بخش سوم تابع تضعیف ناشی از عدم تطبیق سیگنال دریافتی در فیلتر منطبق محاسبه و نمودار آن نشان داده شده است. در بخش چهارم الگوریتم پیاده‌سازی بانک فیلتر منطبق موازی و دو روش ممکن برای پیاده‌سازی با تعداد فیلترهای زوج و فرد در آن مقایسه شده‌اند. در بخش پنجم هم روش پیاده‌سازی بانک فیلتر منطبق موازی روی چیپ‌های FPGA ارائه شده و مقایسه‌ای بین روش‌های مذکور انجام شده است.

۲. مدلسازی سیگنال و نویز

در رادارهای همدوس، سیگنال بازگشتی از هدف می‌تواند هر دو مدولاسیون دامنه و فاز را داشته باشد. سیگنال بازگشتی از هدف در یک رادار همدوس فشرده‌ساز پالس کد شده فازی را می‌توان به‌صورت زیر نوشت[۷]:

$$R(t) = a_r(t)e^{j2\pi(f_o+f_D)t} \qquad (۱)$$

که در آن $a_r(t)$ دامنه سیگنال بازگشتی است که بر اساس نمونه‌های مدل سورلینگ مدل می‌شود و f_o فرکانس ارسالی است. در این رابطه f_D نشان‌دهنده فرکانس داپلر ناشی از حرکت هدف می‌باشد.

به‌طور کلی سیگنال راداری در پردازشگر رادار، به‌صورت زیر خواهد بود:

$$Y=R+1 \qquad (۲)$$

که در آن R نشان‌دهنده سیگنال بازگشتی از هدف با رابطه بیان شده در معادله (۱) و I نشان‌دهنده تداخل (مجموع نویز و کلاتر) می‌باشد.

$$Y = [y_0 \;\; y_1 \;\; \dots \;\; y_{N-1}]^t \qquad (۳)$$

$$R = [r_0 \;\; r_1 \;\; \dots \;\; r_{N-1}]^t \qquad (۴)$$

$$I = [i_0 \;\; i_1 \;\; \dots \;\; i_{N-1}]^t \qquad (۵)$$

1. Matched Filter
2. Time-Delayed
3. Doppler-Shifted
4. Real Time

www.SID.ir

Archive of SID

نویز دریافتی در سیگنال بازگشتی از هدف، ناشی از ترکیب نویز داخلی سامانه رادار (نویز گیرنده) و نویز خارجی (محیطی) است. از جمله نویزهای خارجی می‌توان به نویز خورشیدی، نویز اتمسفر و نیز نویز ناشی از احتراق در تجهیزات توان و دیگر منابع ساخت بشر اشاره نمود. نویز داخلی شامل نویز ایجاد شده توسط مشخصه دمای نویز آنتن، نویز فاز ناشی از نوسان‌سازها و نویز حرارتی گیرنده است. در فرکانس‌های بالاتر از UHF، اثرات نویزهای خارجی آنقدر کم می‌شود که می‌توان نویز دریافتی را فقط مربوط به نویز داخلی گیرنده دانست. نمونه‌های نویز همیشه در خروجی گیرنده وجود دارند و هیچ‌وقت نمی‌توان آن‌ها را به صفر رساند. نویز گیرنده که بیشتر مربوط به نویز حرارتی ناشی از حرکت الکترون‌ها در قطعات نیمه هادی می‌باشد، معمولاً به‌صورت مختلط سفید گوسی در نظرگرفته می‌شود. با رعایت نرخ نمونه‌برداری نایکوئیست، نمونه‌های متوالی نویز با همدیگر ناهمبسته می‌شوند. در زیر، بردار نمونه‌های نویز به همراه ویژگی طیفی آن ارایه شده است:

$$N = [\, n(O) \;\; n(T_3) \;\; n(2T_s) \;\; \dots \;\; n((N-1)T_s)\,]^t \qquad (۶)$$

که در آن T_3 برابر زمان نمونه‌برداری است. نویز گیرنده از نظر طیفی سفید است و تابع توزیع دامنه آن گوسی فرض می‌شود. در رابطه زیر σ_n^2 برابر با توان نویز است.

$$E\{n_i n_j\} = \begin{cases} \sigma_n^2 & i = j \\ 0 & i \neq j \end{cases} \qquad (۷)$$

بنابراین ماتریس کواریانس نویز به‌صورت زیر قابل بیان است:

$$R_n = \sigma_n^2 \, I_n \qquad (۸)$$

که در آن I_n ماتریس همانی $N\times N$ است.

۳. محاسبه تابع تضعیف ناشی از عدم تطبیق سیگنال دریافتی در فیلتر منطبق

اهداف هوایی با سرعت‌های بالا مانند هواپیما و دیگر اهداف پرنده نسبت به اهداف زمینی مانند نفر پیاده یا خودرو نظامی، شیفت داپلر بزرگ‌تری را ایجاد می‌کنند که در خروجی فیلتر منطبق سبب کاهش سطح گلبرگ اصلی، تغییر ساختار و افزایش سطوح گلبرگ‌های فرعی و در نهایت عدم تطبیق بیشتر و افزایش تلفات SNR می‌گردد. با فرض اینکه زاویه بردار سرعت هدف و خط دید رادار (θ) باشد، سرعت شعاعی هدف برابر $V_R = V\cos\theta$ می‌شود، که V سرعت یا دامنه بردار سرعت است. در نتیجه شیفت فرکانس داپلر به‌صورت زیر بیان می‌گردد[۲]:

$$f_D = \frac{2V_R}{\lambda} = \frac{2V_R}{C} f_0 \;, \quad \omega_D = 2\pi f_D \qquad (۹)$$

شیفت فازی درون یک پالس با عرض T، برابر $2\pi f_D T$ است. اگر $D = f_D T$ باشد، در D=1 فاز روی دایره 2π درون پالس می‌چرخد. در کدهای باینری فازی معمولاً D<0.5 یا برای اطمینان بیشتر آن را کمتر از 0.3 در نظر می‌گیرند. به عنوان مثال سرعت نفر پیاده بسیار کم و تقریباً 3m/s و خودروهای سبک نیز حداکثر 40m/s سرعت دارند، در راداری با فرکانس موج حامل 11GHz، شیفت داپلر این‌گونه اهداف حداکثر 2.9KHz خواهد شد. در حالی که با همین مشخصات راداری، اهداف هوایی با سرعتی در حدود 850Km/h، شیفت داپلری در حدود 17.3KHz دارند که شیفت فازی معادل 6.2 درجه در هر میکرو ثانیه ایجاد خواهند کرد. اگر طول پالس مدوله شده راداری در ارسال بیشتر از 29μs باشد، در پالس دریافتی ۱۸۰ درجه شیفت فازی رخ خواهد داد، ولی اگر شرط $N\tau f_D \langle 0.3$ برقرار باشد، شیفت فازی در پالس دریافتی ایجاد نخواهد شد. با توجه به‌سرعت هدف و برای اجتناب از شیفت فازی، محدودیتی به حداقل عرض زیر پالس τ و طول کد N تحمیل می‌گردد. در کدهای طولانی، تلف عدم تطبیق ناشی از شیفت داپلر هدف در خروجی فیلتر منطبق، با استفاده از فیلترهای موازی که هر کدام با سرعت‌های مختلفی از هدف تطبیق یافته‌اند، کاهش می‌یابد[۵].

با فرض اینکه سیگنال‌های ارسال و بازگشتی به‌ترتیب با S_n و R_n نشان داده شوند، خروجی فیلتر منطبق مرسوم به‌صورت زیر می‌باشد:

$$y(m) = \sum_{k=0}^{N-1} S_k R_{k+m}^* \qquad (۱۰)$$

www.SID.ir

Archive of SID

که شیفت داپلر تحمیل شده بـه سـیگنال ارسـالی در سـیگنال بازگشتی را می‌توان به‌صورت زیر نشان داد:

$$R_n = S_n e^{j\omega_D n} \qquad (۱۱)$$

خروجی فیلتر منطبق به ازاء کد ارسالی C_n به‌صورت زیر نوشته می‌شود:

$$y(m) = \sum_{k=0}^{N-1} C_k C_{k+m}^{*} e^{-j\omega_D (k+m)} \qquad (۱۲)$$

با نمونه برداری از سیگنال خروجی در شرایط ایده‌آل m=0، و با فرض $|C_k|^2 = 1$ و نرمالیزاسیون خروجی با N، داریم:

$$y(0) = \frac{1}{N} \sum_{k=0}^{N-1} e^{-j\omega_D k} \qquad (۱۳)$$

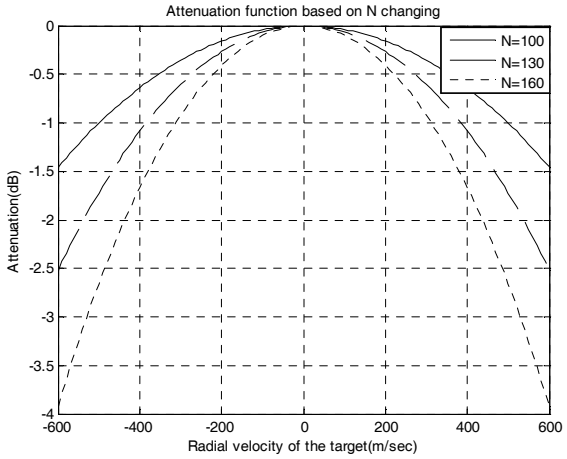
مقدار $y(0)$ اختلاف بین سیگنال‌های ارسال و دریافت را بیـان می‌کند که این اختلاف همان تضعیف ناشی از سـرعت شـعاعی هدف (فرکانس داپلـر) مـی‌باشـد کـه آن را بـا $(A(\omega_D))$ نـشان می‌دهیم. مقدار دامنه $|A(\omega_D)|$ را می‌توان به‌صورت زیر نوشت:

$$|A(\omega_D)| = \frac{1}{N} \left| \frac{\sin\left(\frac{\omega_D N}{2}\right)}{\sin\left(\frac{\omega_D}{2}\right)} \right| \qquad (۱۴)$$

نمـودار زیـر بـرای راداری بـا فرکـانس مـوج حامـل 11GHz و تفکیک‌پذیری برد 10m و به ازاء مقادیر مختلف N، تابع تضعیف $|A(\omega_D)|$ برای اهدافی تا حداکثر سرعت 600m/s در شـکل (۱) تحلیل شده است.

حداقل سرعت شعاعی هدف که بـه ازاء تـابع تـضعیف صـفر، بـا شرط $\frac{\omega_D N}{2} = k\pi$ حاصل می‌شود، برابر است با:

$$minV_R\big|_{A(\omega_D)=0} = \frac{C}{2f_0 \tau N} \qquad (۱۵)$$



شکل ۱. تابع تضعیف ناشی از عدم تطبیق فیلتر براساس تغییرات **N**

۴. الگوریتم پیاده‌سـازی بانـک فیلتـر منطبـق موازی

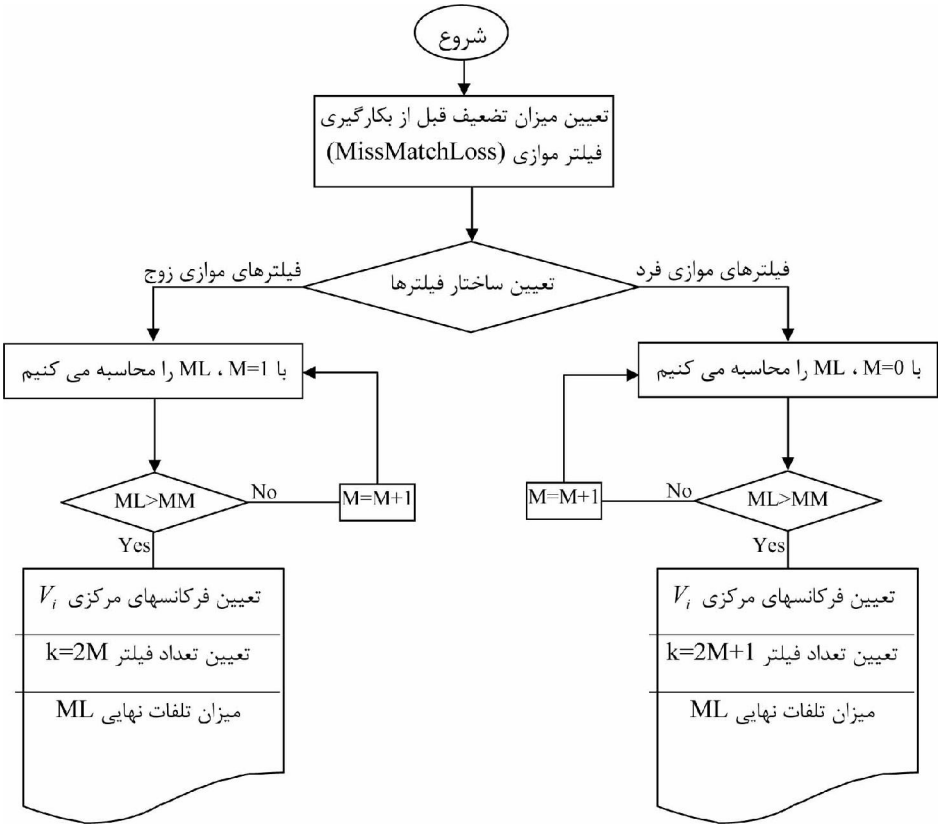
اگر در ساختار فیلترهای منطبق موازی به k فیلتر مـوازی نیـاز باشد، حداقل تعداد فیلتر مورد نیاز می‌تواند زوج یا فرد باشد. از نظر سخت‌افزاری در فیلترهای موازی فـرد، یـک فیلتـر بیـشتر مورد استفاده قرار می‌گیرد ولی در عوض فرکانس‌هـای نزدیـک به شیفت داپلر صفر نیز در محاسبات منظور مـی‌گـردد. لـذا در رادارهایی با پس‌زمینه کلاتری قوی که اهـداف سـریع در آن‌هـا قرار می‌گیرند، استفاده از این نوع بانک فیلتر برای آشکارسـازی پیشنهاد می‌شود.

حداقل تعداد فیلتر مورد نیاز برای جبران تلفات عدم تطبیق، به حداکثر سرعت شعاعی هـدف Max-V_R، فرکـانس مـوج حامـل رادار f_0 ، طول دنباله کد N و حداقل تفکیـک‌پـذیری بـرد رادار δR بستگی دارد. بـا اسـتفاده از الگـوریتم نـشان داده شـده در شکل(۲)، در ساختار فیلترهای مـوازی، بـرای فرکـانس داپلـری بـین فرکـانس مرکـزی دو فیلتـر مجـاور، یـک حـداکثر تلـف straddling مابین نقطه‌های بهینه پاسـخ فیلتـر در نظـر گرفتـه می‌شود که با افزایش تعداد فیلترهای موازی، این مقدار کـاهش می‌یابد.

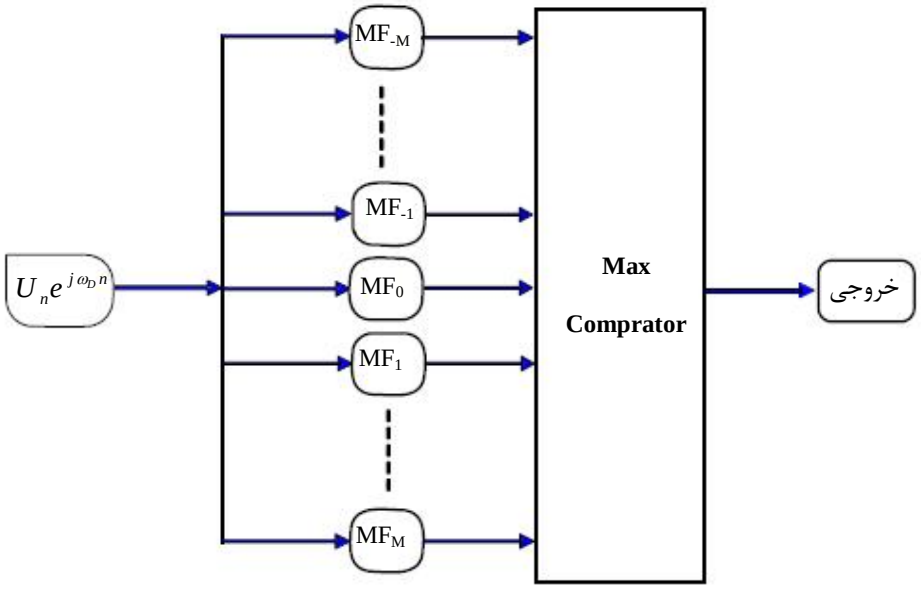
به‌عنوان مثال ساختار گیرنده رادار با فیلترهای منطبـق مـوازی فرد در شکل(۳) نـشان داده شـده اسـت. در سیـستم پیـشنهاد شده، از k=2M+1 فیلتر موازی‌فرد استفاده می‌شود. MF_0 فیلتر منطبق برای شیفت داپلر صفر، MF_1 فیلتر منطبق برای شـیفت داپلر ω_1 و MF_M فیلتر منطبق برای شیفت داپلر ω_M است.

www.SID.ir

Archive of SID



شکل ۲. الگوریتم ساختار فیلترهای موازی



شکل ۳. ساختار فیلترهای موازی فرد

www.SID.ir

Archive of SID

از آنجایی که جهت حرکت هدف ناشناخته است و اهداف، هم می‌توانند دور و هم نزدیک شوند، لذا ساختار این فیلترهای منطبق در فرکانس‌های داپلر متقارن است، یعنی این فیلترها برای k=1,2,…, M مقادیر ω_K و ω_{-K} را می‌توانند اختیار کنند. به‌دلیل اینکه فرکانس داپلر هدف نامعلوم است، فیلترها به‌صورت یکنواخت روی محور فرکانس توزیع می‌گردند. توزیع فیلترها در محور فرکانس به ازاء تضعیف هر فیلتر در شکل(۴) نشان داده شده است.

نقطه مشترک دو فیلتر مجاور روی محور فرکانس داپلر، حداکثر تلف و حداقل تلف مابین نقطه‌های بهینه پاسخ فیلتر را خواهد داشت:

$$V_{int(i)} = \frac{2i+1}{2M+1} V_{max} \qquad (۱۶)$$

که i= -M, … ,-1 , 0, 1, … ,M است و رابطه زیر حداکثر تلف در نقاط مشترک $V_{\mathrm{int}(i)}$ را بیان می‌کند:

$$ML = \frac{1}{N} \left| \frac{\sin\left(\frac{\omega_{int(i)} N}{2}\right)}{\sin\left(\frac{\omega_{int(i)}}{2}\right)} \right| \qquad (۱۷)$$

که شیفت فازی $\omega_{\mathrm{int}(i)}$ ناشی از فرکانس داپلر نقاط مشترک از رابطه زیر به‌دست می‌آید:

$$\omega_{int(i)} = 2\pi \frac{2\left(\frac{V_{max}}{2M+1}\right)}{C} f_0 T_S \qquad (۱۸)$$

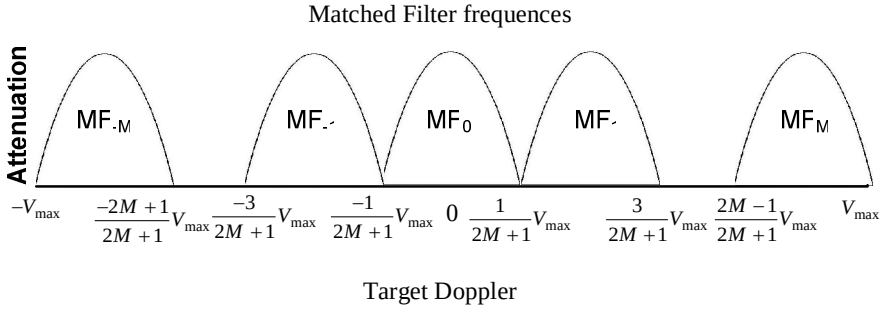
براساس الگوریتم ارائه شده با M=0 شروع به محاسبه حداکثر تلف (ML) می‌نماییم. اگر حداکثر تلف محاسبه شده کوچک‌تر از تلف مجاز سیستم باشد، یک فیلتر کافی است، یعنی به همان روش مرسوم از یک فیلتر منطبق درگیرنده استفاده می‌نماییم. در غیر این صورت، M را تا حدی افزایش می‌دهیم تا تلف کل فیلترهای موازی، کوچکتر از تلف مجاز سیستم گردد، بدین ترتیب از M نهایی به‌دست آمده تعداد کل فیلتر(k) محاسبه می‌شود.

با استفاده از M به‌دست آمده و فرکانس داپلر مرکزی فیلترها ($V_{f_D}(i)$)، k فیلتر به‌دست آمده را در محدوده معین سرعت روی محور داپلر هدف جای می‌دهیم. با توجه به یکسان بودن پهنای باند تمامی فیلترها، فرکانس‌های مرکزی به یکدیگر نزدیک شده و فیلترها روی هم می‌افتند، در نتیجه مقدار SNR قرار گرفته بین فرکانس‌های مرکزی دو فیلتر مجاور نسبت به حالت تک فیلتری افزایش خواهد یافت.

$$V_{f_D}(i) = \frac{2i}{k} V_{max} \qquad (۱۹)$$

که i= -M, … -2-1,0,1,2,…,M

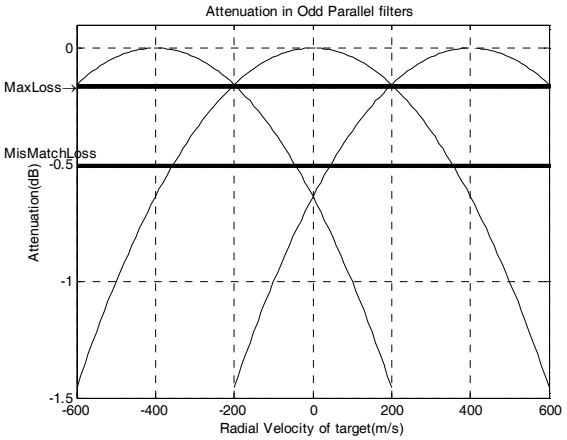
راداری با فرکانس موج حامل 11GHz، تفکیک‌پذیری برد 10m، طول کد N=100 و میزان حداکثر تلف مجاز سیستم 0.5dB برای اهداف هوایی با حداکثر سرعت 600m/s را در نظر بگیرید، حداکثر تلف عدم تطبیق این رادار در نمودار شکل (۵) تحلیل شده است.



شکل ۴. توزیع یکنواخت فیلترهای موازی فرد روی محور داپلر

www.SID.ir

Archive of SID

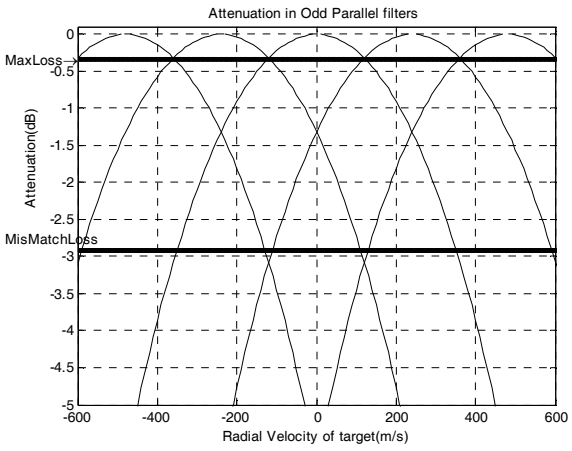


شکل ۵. تضعیف در خروجی ساختار ۳ فیلتر موازی

همان‌طور که در شکل(۵) نشان داده شده است، با استفاده از ۳ فیلتر موازی، حداکثر تلف به کمتر از تلف مجاز سیستم (از 0.5dB به 0.1577dB) می‌رسد. می‌بینیم که فرکانس‌های داپلر مرکزی فیلترها در 400 m/s-، 0 ، 400 m/s قرار دارند.

با تغییر پارامترهای راداری N=169 وf_0=15.5GHz تضعیف ناشی از داپلر هدفی با سرعت 360m/s به 2.9dB افزایش می‌یابد. اگر بخواهیم تلف straddling به کمتر از 0.5dB برسد، در ساختار فیلترهای موازی به فیلترهای بیشتری برای جبران نیاز است که این موضوع در شکل (۶) نشان داده شده است.

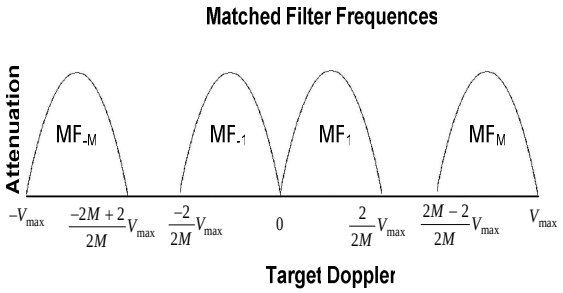
با ۵ فیلتر موازی، حداکثر تلف از 2.9dB به 0.3231dB کاهش می‌یابد که فرکانس داپلر مرکزی فیلترها در سرعت‌های 480m/s, -240m/s , 0 , 240m/s , 480m/s- واقع شده‌اند.



شکل ۶. تضعیف در خروجی ساختار ۵ فیلتر موازی جهت تلف با تغییر پارامترهای راداری

همان‌طور که در الگوریتم ساختار فیلترهای موازی بیان شد، تعداد فیلترهای موازی زوج، برابر k=2M فیلتر است، و تفاوت آن با تعداد فیلترهای فرد در این است که برای شروع محاسبه، مقدار M صفر نخواهد بود. همانند قبل MF_1 فیلتر منطبق برای شیفت داپلر ω_1 و MF_M فیلتر منطبق برای شیفت داپلر ω_M است، و به این ترتیب شیفت داپلر نیز هم به‌صورت مثبت و هم به‌صورت منفی خواهد بود.

شکل(۷) توزیع یکنواخت فیلترها در محور داپلر به ازاء تضعیف هر فیلتر را نشان می‌دهد.



شکل ۷. توزیع یکنواخت فیلتر روی محور داپلر در فیلتر موازی زوج

همان‌طور که در شکل (۷) نیز نشان داده شده، نقاط مشترک فیلترهای مجاور روی محور فرکانس داپلر، حداکثر تلف را خواهند داشت:

$$V_{int(i)} = \frac{2i}{2M} V_{max} \qquad (۲۰)$$

که i= -(M-1),…, -2,-1,0,1,2,…,(M-1)

با استفاده از نقاط مشترک $V_{int(i)}$ در (۲۰)، می‌توان حداکثر تلف را با استفاده از (۱۷) محاسبه کرد. فرکانس داپلر نقاط مشترک $\omega_{int(i)}$ با رابطه زیر بیان می‌گردد:

$$\omega_{int(i)} = 2\pi \frac{2\left(\frac{V_{max}}{2M}\right)}{C} f_0 T_S \qquad (۲۱)$$

فرآیند به‌دست آوردن حداقل تعداد فیلترهای زوج، همانند روال فیلترهای فرد می‌باشد. با این تفاوت که با M=1 شروع به محاسبه ML می‌نماییم. در M=1، اگر تلف محاسبه شده کوچک‌تر از تلف مجاز سیستم باشد، دو فیلتر کافی است و این

www.SID.ir

Archive of SID

دو فیلتر منطبق به‌صورت متقارن در دو طرف مرکز محور داپلر قرار می‌گیرند. در غیر این صورت M را تا جایی که ML کوچکتر از تلف مجاز سیستم گردد، افزایش می‌دهیم. با استفاده از M نهایی به‌دست آمده، تعداد کل فیلتر (k=2M) و فرکانس مرکزی این فیلترها به‌صورت زیر به‌دست می‌آید:

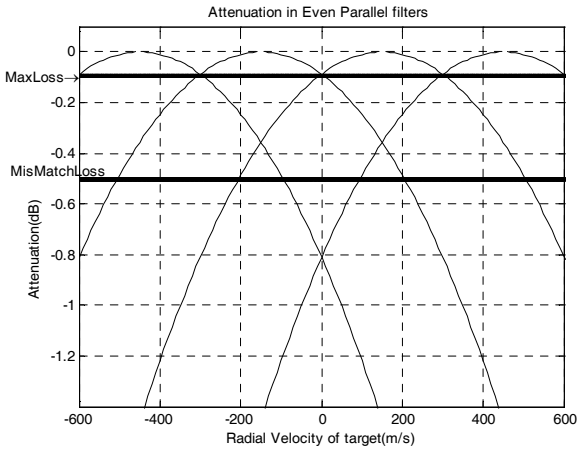
$$V_{f_D}(i) = \frac{2i-1}{k} V_{max} \qquad (۲۲)$$

که i= -(M-1),…,- 1,0,1, …,(M-1)

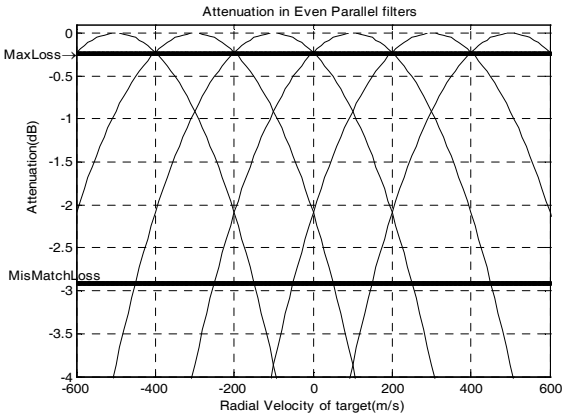
راداری با فرکانس موج حامل 11GHz، تفکیک‌پذیری برد 10m، طول کد N=100 و تلف مجاز سیستم 0.5dB برای اهداف هوایی با حداکثر سرعت 600m/s را در نظر بگیرید، حداکثر تلف عدم تطبیق در شکل (۸) نشان داده شده است. همان‌طور که از شکل (۸) مشاهده می‌شود، با استفاده از ۴ فیلتر، حداکثر تلف عدم تطبیق از 0.5dB به 0.0886dB می‌رسد و فرکانس داپلر مرکزی فیلترها در سرعت‌های 450m/s,150m/s, -450m/s, -150m/s قرار گرفته است.

با تغییر پارامترهای راداری N=169 و f_0=15.5GHz، تضعیف ناشی از داپلر هدفی با سرعت 360m/s به 2.9dB افزایش می‌یابد. برای رسیدن به حداکثر تلف straddling کمتر از 0.5dB، مطابق شکل (۹) به ۶ فیلتر نیاز می‌باشد.

در این مورد حداکثر تلف straddling به 0.224dB رسیده و فرکانس داپلر مرکزی این ۶ فیلتر در سرعت‌های 500m/s,300m/s,100m/s,-100m/s,-300m/s,-500m/s, واقع شده‌اند.



شکل ۸. تضعیف در خروجی ساختار ۴ فیلتر موازی



شکل ۹. تضعیف در خروجی ساختار ۶ فیلتر موازی جهت جبران تلف با تغییر پارامترهای راداری

۵. مقایسه پیاده‌سازی بانک فیلتر منطبق موازی روی چیپ‌های FPGA

همان‌طور که در بخش قبلی بیان شد، در گیرنده‌های همدوس[1] با حفظ فاز سیگنال ارسالی، اهداف متحرک از میان کلاترهای قوی با استفاده از پدیده داپلر آشکار می‌شوند، اما اهداف سریع سبب ایجاد شیفت فازی ناشی از فرکانس داپلر بزرگ در سیگنال دریافتی می‌گردند و فاز سیگنال دریافتی در زمانی که شیفت داپلر زیاد باشد تغییر می‌کند. دو راه حل برای پیاده‌سازی پیشنهاد می‌گردد که به بررسی و مقایسه آنها می‌پردازیم.

بلوک دیاگرام یک گیرنده MTI با استفاده از بانک فیلتر موازی در شکل (۱۰) نشان داده شده است. با فرض اینکه سیگنال ارسالی $s(t)$ با عرض T به‌صورت باینری فازی مدوله شده باشد، این سیگنال پس از برخورد به هدف متحرک دارای شیفت داپلر f_D می‌گردد و خروجیهای دیجیتالی I و Q به‌صورت زیر خواهد شد:

$$I = \int_0^T |s(t)|^2 \cos(2\pi f_D t + \varphi) dt$$

$$= \int_0^T \cos(2\pi f_D t + \varphi) dt = \frac{1}{2\pi f_D}\left[\sin(2\pi f_D + \varphi) - \sin\varphi\right]$$

$$Q = \int_0^T |s(t)|^2 \sin(2\pi f_D t + \varphi) dt$$

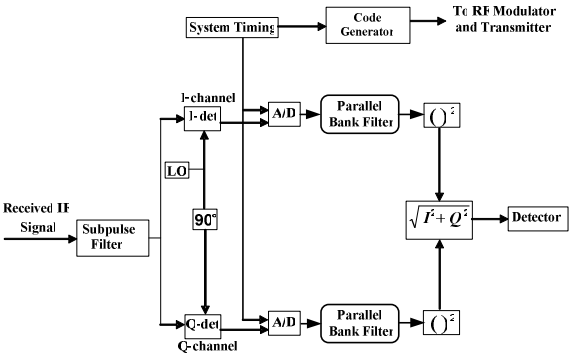
$$= \int_0^T \sin(2\pi f_D t + \varphi) dt = \frac{1}{2\pi f_D}\left[-\cos(2\pi f_D + \varphi) + \cos\varphi\right]$$

(۲۳)

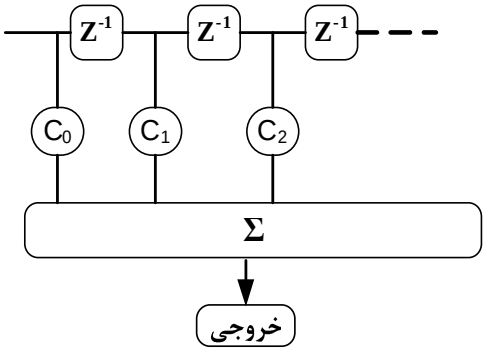
1. Coherent

www.SID.ir

Archive of SID



شکل ۱۰. بلوک دیاگرام سیستم فشرده‌سازی پالس دیجیتال با استفاده از فیلترهای منطبق موازی



شکل ۱۱. بخشی از فیلتر منطبق جبران‌کننده شیفت فرکانس داپلر اهداف سریع

که فاز φ یک متغیر تصادفی با توزیع یکنواخت بین $[0,2\pi]$ است. در گیرنده MTI، این خروجی‌های دیجیتالی I و Q به‌صورت $\sqrt{I^2+Q^2}$ با هم ترکیب می‌شوند. پس:

$$y=\sqrt{I^2+Q^2}=\frac{\sin \pi f_D T}{\pi f_D}=T\ \sin c\left(f_D T\right) \qquad (۲۴)$$

در صورتی که هیچ داپلری وجود نداشته باشد، خروجی y=T شده و حداکثر انطباق (بدون تلف) رخ خواهد داد، اما با حضور شیفت داپلر، خروجی تابعی از $sinc(f_DT)$ می‌شود.

همان‌طور که در شکل(۱۰) نشان داده شده، از سیگنال‌های حقیقی I و مجازی Q توسط A/D نمونه‌برداری می‌شود، به‌طوری که از هر سلول تفکیک‌پذیری برد، یک یا چند نمونه می‌توان برداشت. این نمونه‌های دیجیتالی به رجیسترهای مجزایی که همان ورودی‌های فیلترهای منطبق هستند، شیفت داده می‌شوند که براساس کلاک‌های خاصی وارد فیلترهای منطبق خواهند شد.

همان‌طور که در شکل (۱۱) نشان داده شده است، در هر کلاک دیتای ورودی به شاخه ضرب‌کننده (تپ‌ها) در ضرایب فیلتر منطبق ضرب می‌شود. فیلترهای منطبق موجود در بانک فیلتر، با توجه به بازه معین سرعت اهداف و براساس فرکانس‌های داپلر مختلف مرتب شده‌اند. ضرایب هر یک از فیلترهای منطبق موجود در بانک فیلتر، متناظر با یکی از فرکانس‌های داپلر مورد انتظار، علاوه بر عناصر دنباله کد K_i، در $cos(2\pi f_D(iT_s))$ نیز ضرب می‌گردد.

که f_D فرکانس داپلر هدفی با محدوده سرعت مشخص، i متناظر با شماره ضرب‌کننده و T_s زمان نمونه‌برداری است.

$$\begin{aligned}
C_0 &= K_0 \\
C_1 &= K_1 \times cos\left(2\pi f_D\left(T_s\right)\right) \\
C_2 &= K_2 \times cos\left(2\pi f_D\left(2T_s\right)\right) \qquad (۲۵) \\
&\vdots \\
C_N &= K_N \times cos\left(2\pi f_D\left(NT_s\right)\right)
\end{aligned}$$

به این ترتیب بخشی از سیگنال کسینوسی ناشی از شیفت فازی داپلر که روی سیگنال دریافتی افتاده جبران شده و در نهایت با جمع مقادیر تمامی تپ‌ها جبران بهتری به‌دست می‌آید و تلفات داپلر کاهش خواهد یافت.

سپس خروجی جمع‌کنندهٔ تمامی فیلترهای منطبق، توسط یک مقایسه‌کننده مورد ارزیابی قرار می‌گیرد و حداکثر انطباق، وجود هدف در یکی از این فیلترها را نشان می‌دهد.

یکی دیگر از روش‌های جبران تلف داپلر، ایجاد ساختار جدیدی برای فشرده‌سازی پالس به منظور عدم ارتباط بین برد آشکارسازی و تحمل در برابر داپلر[1] (تخریب فاز) می‌باشد. در این روش یک فیلتر منطبق مرسوم در فشرده‌سازی پالس به بانک فیلتری با فیلترهای منطبق و پهنای باندهای کوتاه‌تر تبدیل می‌شود. این بانک فیلتر یک گروه همبسته موازی را تشکیل می‌دهد. در واقع یک فیلتر منطبق به طول nB به n فیلتر کوتاه با پهنای باند B تبدیل می‌شود که در بانک فیلتر موازی به‌صورت صعودی مرتب می‌شوند. بخشی از کد مرجعی که در فیلتر منطبق اصلی وجود دارد، در هر یک از فیلترها قرار

www.SID.ir

Archive of SID

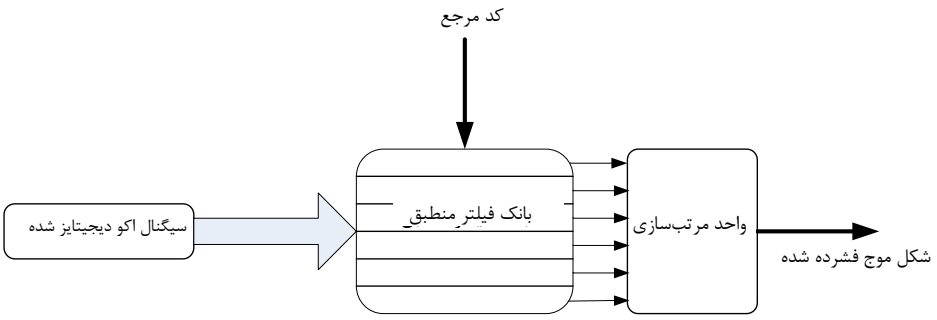
داده می‌شود. به‌همین ترتیب سیگنال دریافتی نیز به چند بخش تقسیم شده و هر بخش به یکی از فیلترهای موازی وارد می‌شود که بین کد مرجع همان بخش با سیگنال دریافتی متناظر، همبستگی متقابل[2] گرفته می‌شود. همان‌طور که در شکل (۱۲) نشان داده شده است، خروجی تمامی فیلترها برای بازسازی نهایی و قرار گرفتن در کنار یکدیگر به واحد مرتب‌سازی وارد می‌شود تا خروجی حقیقی فیلتر منطبق را تولید کند[۴].

در روش پیشنهادی این مقاله، با استفاده از زبان توصیف نرم‌افزاری VHDL می‌توان بانک فیلتر منطبق موازی را در FPGA پیاده‌سازی نمود. اگر فرض کنیم از یک چیپ Xilinx Spartan™-3 XC3S400 با ۴۰۰ هزار گیت در طراحی فیلتر منطبق مرسوم استفاده شود، برای پیاده‌سازی فیلترهای منطبق موازی می‌توان از چیپ‌های FPGA قوی‌تری مانند XC3S4000/L یا XC3S5000 استفاده کرد[۶].

در روش اول پیشنهاد می‌شود، برای استفاده بهینه از گیت‌های موجود (جلوگیری از افزایش حجم سخت‌افزار)، با توجه به ثابت بودن طول فیلترهای منطبق (تعداد تپ‌ها)، بجای استفاده از بانک فیلترهای موازی، از یک فیلتر منطبق مرسوم در هر کانال I و Q با بانک ضرایب متناظر با فرکانس داپلر استفاده شود. با فرض اینکه ماژولی بتواند فرکانس داپلر هدف را تعیین نماید، این ضرایب از بانک مورد نظر فراخوانده شده و روی ضرایب فیلتر منطبق هر کانال بار می‌شوند.

در روش دوم پیشنهاد می‌شود که با توجه به بازه معین سرعت هدف و مشخصات راداری مرتبط با محاسبات حداکثر تلف و فرکانس مرکزی فیلترها که در بخش قبل بحث شده، با محاسبه مقدار M و تعیین ساختار فیلتر موازی زوج یا فرد، تعداد فیلترها مشخص می‌شود. با دریافت سیگنال ویدئو، با Mهای مختلف ($M=0,\pm1,\pm2,\ldots$) بانک فیلتر موازی تشکیل می‌شود. بدین ترتیب به‌طور همزمان سیگنال دریافتی از تمامی فیلترهای بانک فیلتر عبور کرده و با مقایسه بهترین پاسخ، SNR با کمترین تلف ناشی از شیفت داپلر در خروجی ظاهر خواهد شد.

در سیستم‌های Real Time، روش استفاده از یک فیلتر منطبق مرسوم با ضرایب $cos(2\pi f_D(iT_s))$ نسبت به استفاده از چند فیلتر منطبق موازی در بانک فیلتر، زمان‌بر است، ولی بانک فیلتر موازی با توجه به افزایش حجم سخت‌افزار، شرایط بهتری را دارد، علاوه بر اینکه با پیشرفت تکنولوژی، سخت‌افزارهای جدید مشکل افزایش حجم سخت‌افزار را مرتفع خواهند نمود. در روش اول، در عمل تعیین فرکانس داپلر هدفی با سرعت بالا بسیار مشکل و نیاز به تجهیزات جانبی دارد، به همین دلیل اختصاص یک محدوده فرکانسی برای بانک ضرایب فیلتر ضروری است. در نتیجه علاوه بر بحث Real Time، دقت این روش نیز کم است.



شکل ۱۲. بانک فیلتر گروه همبسته موازی

1. Doppler Tolerance
2. Cross Correlation

www.SID.ir

Archive of SID

۶. نتیجه‌گیری

روش‌هایی که از تطبیق اطلاعات به‌دست آمده از هدف، با اطلاعات ذخیره شده در بانک ذخیره اطلاعات از نظر عدم رعایت زمان واقعی، زمان‌بر بودن، نیاز به بانک اطلاعات گسترده، حجم پردازشی زیاد و پیچیدگی بیشتر با روش پیشنهادی در این مقاله قابل مقایسه است. از آنجائیکه امکان دسترسی به دیتای واقعی هدف‌های راداری و جمع‌آوری اطلاعات آنها از نظر طبقه‌بندی مقدور نمی‌باشد، دقت شبیه‌سازی‌های انجام شده آزمایشگاهی می‌باشد.

در این مقاله برای پیاده‌سازی بانک فیلتر منطبق موازی در FPGA، دو روش ارائه شده با هم مقایسه گردید و نشان داده شد که استفاده از بانک فیلتر موازی، با وجود حجیم شدن سخت افزار، از نظر زمان واقعی کارآیی بهتری دارد. تضعیف خروجی فیلتر منطبق برای اهداف هوایی سریع شبیه‌سازی، تحلیل و مورد بررسی قرار گرفت. با الگوریتم پیشنهاد شده، تعداد فیلتر منطبق مورد نیاز در بانک فیلتر برای جبران شیفت داپلر هدف محاسبه گردید و نشان داده شد که با تغییر پارامترهای راداری مؤثر، این تلف افزایش خواهد یافت که با بالا بردن تعداد فیلترهای منطبق، می‌توان آنرا تا حد قابل قبولی برای سیستم راداری کاهش داد. همچنین از مزایای استفاده از بانک فیلتر موازی پیشنهاد شده در این مقاله می‌توان به حذف بهتر کلاتر و انتگرال‌گیری همدوس پالس‌ها با تلف کمتر اشاره کرد.

۷. مراجع

[1] Stimson, George W. "Introduction to AIRBORN Radar."; Second edition, New Jersey: SciTech, 1998.

[2] Merrill, I. Skolnik "Introduction to Radar Systems."; Third edition, Mc Grow-Hill, 2001.

[3] Levanon, N.; Mozeson, E. "Radar Signals."; New York: Wiley, 2004.

[4] Xin, Wu; Weixian, Liu; Lei, Zhao; Fu, J. S. "Chaotic Phase Code for Radar Pulse Compression.". IEEE National Radar Conference 2001, 279-283.

[5] Wirth, Wulf-Dieter "Radar Techniques Using Array Antenna."; The Institution of Electrical Engineers, London, UK, 2001.

[6] Andraka, Ray; Berkun, Andrew "FPGA Make a Radar Signal Processor on a Chip a Reality." IEEE Proceeding of the 3rd Asilomar Conference on Signal, System, and Computer, Monterey USA 1999.

[7] Haykin, Simon "Adaptive RADAR Signal Processing."; John Wiley & Sons, 2007.

www.SID.ir

Archive of SID

www.SID.ir