Archive of SID

مجله علمی پژوهشی «علوم و فناوری های پدافند غیرعامل»
سال سوم، شماره۲، تابستان ۱۳۹۱؛ ص ۱۰۲-۹۵

طراحی یک مدار XOR-XNOR کم مصرف مقاوم در برابر نویز

وحید عطار[۱]، محمد حسین قزل ایاغ[۲*]، امیر مسعود میری[۲]

۱- دانشجوی کارشناسی ارشد، ۲- استادیار، گروه الکترونیک، دانشگاه جامع امام حسین (ع)

(دریافت: ۱۳۹۰/۰۴/۱۲، پذیرش: ۰۲/ ۱۳۹۱/۰۲)

چکیده

با توجه به نقش اصلی گیت‌های XNOR-XOR و با توجه به این که مدارهای بلوک‌های ساختاری، پایه مدارهای محاسباتی بسیاری، از جمله ضرب‌کننده‌ها، تمام جمع‌کننده‌ها، مقایسه‌گرها و دیگر مدارها هستند، روش‌های جدید برای این مدارها به منظور بهبود دادن سرعت و توان پیشنهاد شده است. با کاهش مقیاس به فناوری زیرمیکرون (Deep Submicron) امنیت نویز یک پارامتر هم اهمیت با توان، سرعت و فضا شده است. در این مقاله عملکرد مدارات XOR-XNOR گوناگونی مقایسه شده و یک گیت XOR-XNOR توان پایین و مقاوم در برابر نویز با ۱۰ ترانزیستور طراحی و ارائه شده است. در پدافند غیرعامل مقاومت در برابر اختلال‌های الکترومغناطیسی که به صورت نویز در مدارهای الکترونیکی ظاهر می‌شود، بسیار حائز اهمیت است. بنابراین افزایش مقاومت در برابر نویز به محافظت مدارها در مقابله با اختلال‌های الکترومغناطیسی کمک خواهد کرد. نتیجه‌های شبیه‌سازی در فناوری (µm) ۰/۱۸ در نرم‌افزار HSPICE و در تمام رنج ولتاژهای تغذیه از (V) ۰/۶ تا (V) ۳/۳ نشان می‌دهد که مدار پیشنهادی توان مصرفی پایین‌تر، PDP بهتر و مصونیت نویز مناسبی نسبت به آخرین مدارهای XOR-XNOR گزارش شده را داراست.

کلیدواژه‌ها: گیت XOR-XNOR ، حاصل‌ضرب توان-تأخیر (PDP)، مصونیت در برابر نویز.

Design of a New Low Power XOR-XNOR Circuit with Improved Noise Immunity

V. Attar, M. H. Ghezel Ayagh*, A. M. Miri
Department of Electronic, Imam Hossein University
(Received: 04/21/2012; Accepted: 07/03/2011)

Abstract

Due to the main role of XOR-XNOR gates as the building blocks of many basic arithmetic circuits such as multiplexers, full adders, compressors etc, new methods of improving the speed and power consumption performance has been reported. As the dimensions have been reduced to deep submicron scale, noise immunity has also become an important parameter along with speed, power consumption and size. Herein, the functional properties of a number of these XOR-XNOR gates are compared and a new low power XOR-XNOR gates with improved noise immunity XOR-XNOR gates using 10 transistors is proposed. In passive defense issues, the immunity to electromagnetic disturbances is of paramount importance. Therefore increasing the circuits' immunity to noise will help the circuits' function properly against electromagnetic disturbances. The simulation results with 0.18(µm) technology in an Hspice software for all supply ranges from 0.6(V) to 3.3(V) has shown that the new proposed circuit has lower power consumption, an improved PDP with better noise immunity compared to the previous reported circuits.

Keywords: XOR-XNOR Gates, PDP, Noise Immunity.

* Corresponding author E-mail: ghezel@gmail.com

www.SID.ir

Archive of SID

۱. مقدمه

گیت‌های XOR و XNOR از واحدهای پایه تشکیل دهنده مدارهای مختلف که عملیات ریاضی و محاسباتی را انجام می‌دهند، هستند. مدارهای تمام جمع کننده‌ها[1]، مقایسه کننده‌ها و سایر مدارهای دیجیتال مشابه، بلوک‌های ساختمانی عملیاتی مانند ضرب و تقسیم را شکل می‌دهند. آنها بخشی از مسیر بحرانی محاسبات هستند که بر عملکرد کلی سیستم تأثیرگذارند و چنانچه عملکرد این واحدهای پایه بهینه شوند، بر روی عملکرد کلی سیستم تأثیر به سزایی می‌گذارند. بنابراین طراحی و تحلیل دقیق لازم است تا بتوان عملکرد بهینه این واحدها را به‌دست آورد. در سطح مدار، طراحی مطلوب، طراحی است که بتواند علاوه بر جلوگیری از کاهش ولتاژ خروجی، مصرف پایین، تأخیر کمتر در مسیر بحرانی و حتی ایمنی در برابر نویز در ولتاژهای پایین منبع تغذیه را به همراه داشته باشد. بنابراین تعداد کمتری ترانزیستور در پیاده‌سازی مدار و سادگی چیدمان را می‌توان به سایر الزامات اضافه کرد. از جهتی در پدافند غیرعامل، مقاومت در برابر اختلال‌های الکترومغناطیس که به‌صورت نویز در مدارهای الکترونیکی ظاهر می‌شود، از مهم‌ترین مسائل است. بنابراین افزایش مقاومت در برابر نویز کمک به محافظت مدارها برای مقابله با اختلال‌های الکترومغناطیسی خواهد کرد.

در مدارهای XOR و XNOR به‌ویژه هم‌زمانی در خروجی بسیار مورد نیاز است. در تعدادی از مقالات مورد مطالعه قرار گرفته، پیاده‌سازی‌های مختلفی از عملکرد XOR-XNOR ارائه شده است [۱-۵].

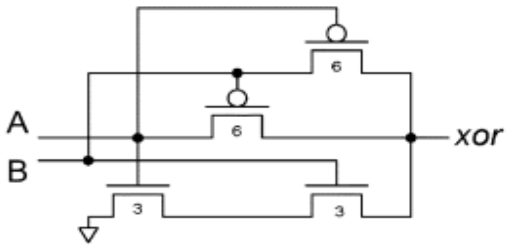
در این مقاله ضمن بررسی و تحلیل عملکرد مدارهای ارائه شده در مراجع فوق، پیشنهاد جدیدی ارائه شده است که علاوه بر افزایش مصونیت در برابر نویز، نسبت به مدار مشابه نیز در برخی از ولتاژهای تغذیه نسبت به مدارهای XOR-XNOR قابل دسترس در گزارش‌ها دارای توان مصرفی پایین‌تری است.

در این مقاله در بخش ابتدایی به بررسی عملکرد برخی از مدارهای طراحی شده در گزارش‌ها پرداخته می‌شود و محاسن و معایب هر یک بیان خواهد شد. در بخش دوم به ارائه تعریفی از نویز و هم‌چنین چگونگی اندازه‌گیری آن و در نهایت ترسیم منحنی امنیت نویز (NIC) پرداخته می‌شود. در بخش سوم مدار XOR-XNOR پیشنهادی ارائه شده و عملکرد آن بررسی و تجزیه و تحلیل شده است. در نهایت در بخش چهارم نتیجه‌های مربوط به شبیه‌سازی‌های پیشنهادی و مقایسه با مدار مشابه که با نرم افزار HSPICE در فناوری ۰/۱۸ میکرومتر صورت پذیرفته است، آورده خواهد شد.

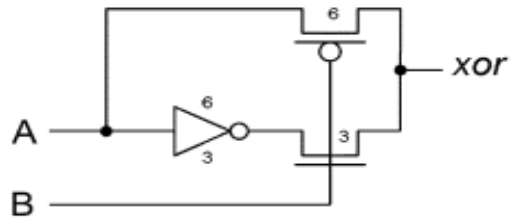
۲. پیشینه تحقیق

دو طراحی بهینه شده، در شکل (۱) نشان داده شده است. طراحی اول بر پایه استفاده از عاملیت بالای مدل منطقی ترانزیستور گذر[2] است. این مدار دارای سوئینگ ولتاژ ناقص در نقطه خروجی و از جمله مشخصات آن توان مصرفی پایین آن است. این مدار دارای یک ظرفیت هدایت محدود است. مدار دیگر از یک معکوس کننده ایستا در اتصال با یک مدار MUX استفاده می‌کند.

استفاده از مدارات معکوس‌کننده با قابلیت ترمیم، سطوح سیگنال و بهبود ظرفیت هدایت مدار را ایجاد می‌کند، اما با مصرف توان اضافی روبه‌رو می‌شود. در هر دو طراحی سطوح خروجی نامناسب درترانزیستور گذر ها به‌وجود آمده است. بنابراین این طراحی‌ها نمی‌توانند هنگامی‌که ولتاژ تغذیه در فناوری نانومتر کاهش می‌یابد به درستی عمل کنند [۴].



(الف)



(ب)

شکل ۱. مدار XOR ۴ ترانزیستوری

طراحی دیگر برای مدارات XOR-XNOR که در گزارش‌ها آورده شده و در شکل (۲) قابل مشاهده است [۶]. این مدارها را مدارات بدون منبع تغذیه / بدون زمین می‌نامند. این مدارات دارای سطوح خروجی نامناسبی هستند [۷ و ۶، ۱].

یک طراحی ۱۰ ترانزیستوری برای تولید XOR و خروجی وارونه‌اش در شکل (۳) نشان داده شده است. این مدار عیب‌های طراحی‌های قبلی را بر طرف می‌کند و دارای دو گیت انتقال و سه معکوس کننده استاتیک است.

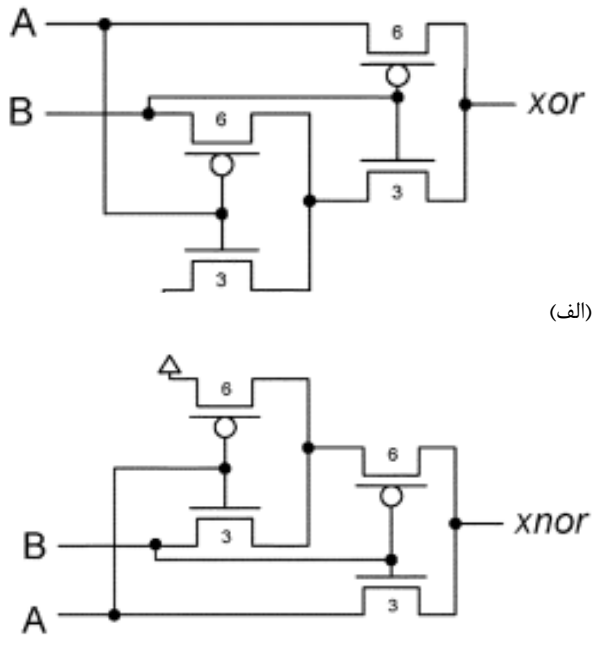
مدار دارای سطوح خروجی خوبی برای تمام ترکیبات ورودی فراهم می‌کند و به سبب وجود گیت انتقال کاربرد آن در ولتاژهای پایین‌تر مناسب است. ظرفیت هدایت مدار هم‌چنین به‌دلیل استفاده اینورترهای استاتیک مناسب است.

مشکل اصلی این مدار توان مصرفی آن به‌دلیل وجود سه معکوس کننده استاتیک است [۸]. هم‌چنین در این مدار دو سیگنال خروجی نسبت به هم دارای تأخیر هستند و خروجی‌های آن به‌طور هم‌زمان قابل دسترسی نیست [۸].

[1] Full Adders
[2] Pass Transistor

www.SID.ir

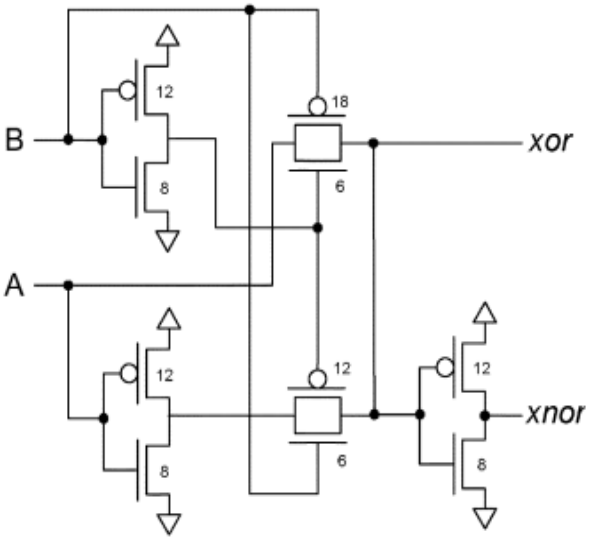
Archive of SID



(الف)

(ب)

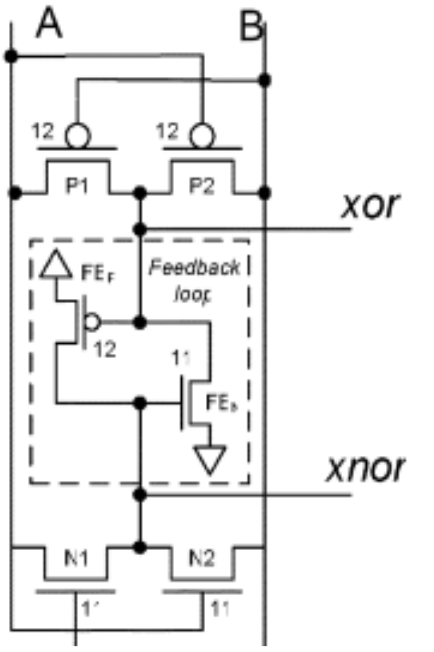
شکل ۲. مدار بدون منبع تغذیه - بدون زمین



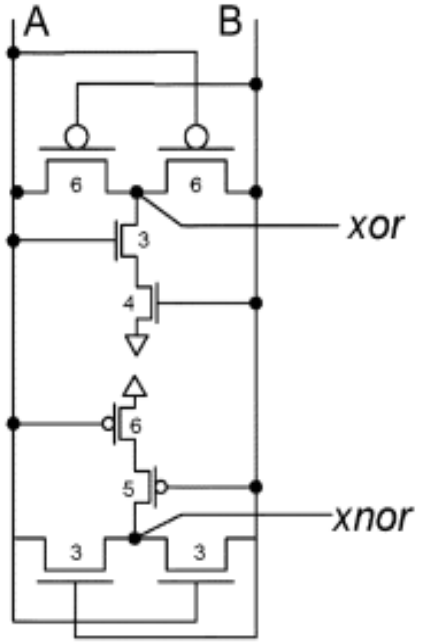
شکل ۳. مدار ۱۰ ترانزیستوری برای عملکرد XOR-XNOR

در شکل (۴- الف) یک پیکربندی استفاده از شش ترانزیستور را نشان می‌دهد [۴]. این چیدمان عملکرد سوئینگ کامل را حذف نمی‌کند. این مدار یک اتصال سیگنال به منبع تغذیه و یک اتصال سیگنال به زمین دارد. این اتصالات قابلیت درایو مدار را افزایش می‌دهد [۲].

در شکل (۴- ب) مدار هشت ترانزیستوری XOR-XNOR را ملاحظه می‌کنیم [۴]. این مدار عیب مدار شکل (۴- الف) [۴] را با استفاده از دو ترانزیستور، یکی ترانزیستور PMOS اضافه شده به بخش خروجی XNOR و هم‌چنین ترانزیستور NMOS اضافه شده به بخش خروجی XOR برطرف می‌کند.



(الف)



(ب)

شکل ۴. مدار شش ترانزیستوری و هشت ترانزیستوری برای عملکرد XOR-XNOR

این دو ترانزیستور باعث می‌شوند در حالت گذر مؤلفه ورودی در حالات "00" و یا "11" حداقل یک هدایت منطقی قوی برای سوئیچ کردن ترانزیستورهای بازخورد[1] وجود داشته باشد تا بتوان بدین وسیله از شرایط موجود در مدار شش ترانزیستوری گذشته دوری کرد. این عمل باعث شده تأخیر مدار به‌طور قابل توجهی بهبود یابد. اما یک مشکل در نتیجه اضافه کردن ترانزیستورهای PMOS و NMOS به وجود می‌آید و آن هنگامی رخ می‌دهد که مؤلفه ورودی "AB" "10" است. در این حالت هر دو ترانزیستور روشن هستند،

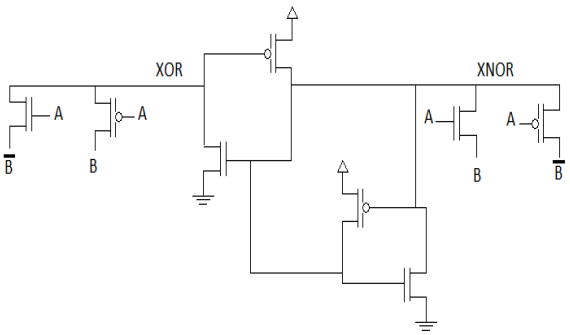
[1] Feedback

www.SID.ir

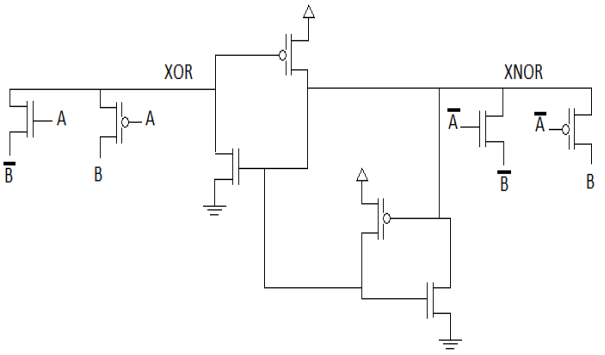
Archive of SID

بنابراین مدار دارای توان مصرفی بالایی نیز است.

مدار دیگری که در مرجع [۴] معرفی شده است، عبارت است از مداری با سیگنال‌های ورودی مکمل و معکوس و حلقه‌های بازخورد مستقیم و معکوس، که در شکل (۵) نشان داده شده است. شبکه‌های بازخورد دوتایی برای برطرف کردن مشکل سطح منطقی استفاده شده، به‌گونه‌ای که حلقه بازخورد مستقیم برای بهبود سطح ولتاژ خروجی برای ترکیبات ورودی "00" و "11" مورد استفاده قرار گرفته است. در حالی‌که حلقه بازخورد معکوس برای بالا بردن سطح منطقی خروجی مدار برای ترکیبات ورودی "01" و "10" استفاده می‌شود [۴].



(الف)

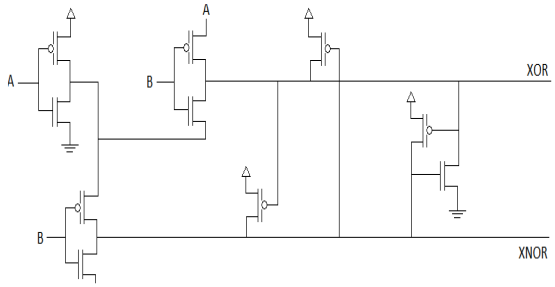


(ب)

شکل ۵. مدارهای XOR-XNOR دو بازخوردی

همان‌گونه که در مرجع [۴] آمده است این دو مدار دارای توان مصرفی پایین‌تری نسبت به مدارهای قبلی گزارش شده هستند. مدار دیگری برای توابع XOR-XNOR در مرجع [۵] پیشنهاد شده است. در این مدار هنگامی‌که ورودی B در منطق یک است، ترانزیستور PMOS روشن وPass ترانزیستور NMOS خاموش است. این مدار در شکل (۶) قابل مشاهده است [۵].

از خصوصیات این مدار توان مصرفی کمتر این مدار نسبت به مدارهای معرفی شده در مرجع [۴] که خود به عنوان مدارات کم مصرف نسبت به مدارهای گذشته‌شان معرفی شده بودند، است. این مدار دارای سطوح خروجی ناقصی به ازای ترکیب ورودی "10" در XNOR است.



شکل ۶. مدار معرفی شده در [۱۱]

در ادامه مداری معرفی می‌شود که دارای توان مصرفی کمتری نسبت به این مدارها و همچنین مصونیت در برابر نویز مناسب‌تری نسبت به مدار معرفی شده در مرجع [۵] است. این مدار دارای توان مصرفی کمتری نسبت به مدارهای گذشته بوده و همچنین دارای سرعت مناسبی نیز نسبت به آنهاست. در ادامه به معرفی مدار پیشنهادی جدید و با شبیه‌سازی به مقایسه مابین این دو مدار پرداخته می‌شود و در بخش بعدی قبل از معرفی مدار پیشنهادی، تعریفی از نویز و همچنین روش اندازه‌گیری و ترسیم منحنی امنیت در برابر نویز (NIC) بیان خواهد شد.

۳. اندازه‌گیری نویز

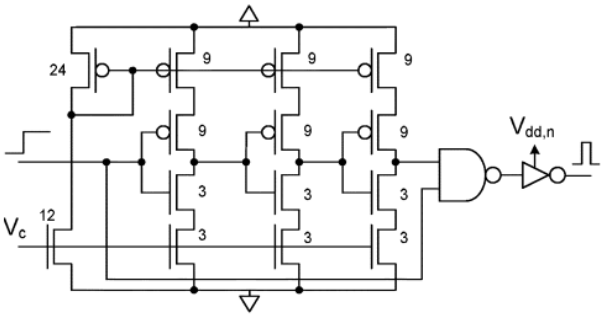
با توجه به حرکت به سمت فناوری‌های زیر میکرون (very deep submicron) و در واقع با توجه به تلاش مستمر برای بهبود دادن عملکرد چیپ‌ها، نویز به‌طور قابل توجهی نقشی مهم همانند موارد دیگر از جمله مساحت، سرعت و توان مصرفی پیدا می‌کند.

نویز در مدارهای جامع دیجیتال به هر پدیده که سبب می‌شود ولتاژ در یک ند از مقدار ظاهری خودش منحرف شود، تعریف شده است. حال در ادامه به بیان چگونگی اندازه‌گیری و همچنین ترسیم منحنی مصونیت در برابر نویز پرداخته می‌شود. [۱۱-۹]

منحنی مصونیت نویز (NIC) برای اندازه‌گیری تحمل نویز مدارها مانند پالس‌های نویز استفاده می‌شود. منحنی مصونیت نویز یک گیت دیجیتال، یک مکان هندسی نقاط است. در این منحنی Tnoise نشان‌دهنده پهنای پالس نویز و Vnoise نشان‌دهنده دامنه پالس نویز است. در منحنی NIC هر مداری که بالاتر قرار گیرد، تحمل نویز بالاتری را دارد. زیرا مداری که بالاتر واقع می‌شود، نشان‌دهنده این مطلب است که در یک پهنای پالس نویز مشخص، مداری که بالاتر قرار گرفته است، دامنه نویز بالاتری را تحمل می‌کند. بنابراین نسبت به مدارهایی که منحنی آنها در زیر آن قرار گرفته‌اند، دارای تحمل نویز بیشتری است. برای شبیه‌سازی یک پالس، نویز مورد استفاده قرار گرفته است که به‌وسیله یک مدار تزریق نویزی، به‌طوری‌که در شکل نشان داده شده است، تولید می‌شود. دامنه و پهنای پالس نویز به‌وسیله تغییرات Vdd و Vc به ترتیب کنترل می‌شود.

www.SID.ir

Archive of SID



شکل ۷. مدار ایجاد نویز [۱۰]

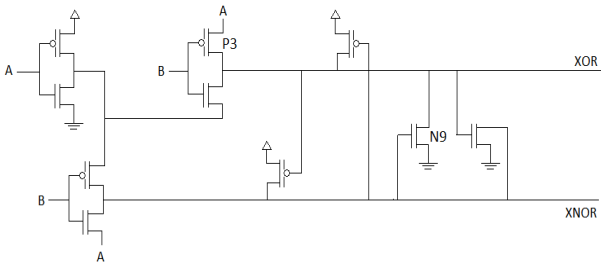
۴. مدار XOR-XNOR جدید پیشنهادی

مدار معرفی شده در شکل (۶) دارای دو ترانزیستور PMOS است که به موازات یکدیگر عمل می‌کنند. بنابراین یکی از آنها در مدار پیشنهادی حذف شده است. هم‌چنین مدار شکل (۶) سوئینگ کاملی را در خروجی به ازای برخی ترکیبات ورودی فراهم نمی‌کند. زیرا به ازای گذر "10" صفر منطقی که در خروجی مدار XNOR قرار می‌گیرد، از طریق ترانزیستور PMOS اول سمت این مدار بوده است و بدین سبب است که PMOS نمی‌تواند صفر را به‌طور کامل عبور دهد. بنابراین صفر ضعیفی در خروجی XNOR قرار خواهد گرفت و سوئینگ ناقصی را برای مدار فراهم می‌کند. مدار XOR-XNOR پیشنهادی دارای ۱۰ ترانزیستور است. هم‌چنین مدار معرفی شده با داشتن یک ترانزیستور NMOS اضافی سوئینگ کاملی را به ازای تمام ترکیبات ورودی فراهم می‌آورد و مشکل مدار قبل را برطرف می‌کند. این مدار در گذر "00" به "10" و گذر "11" به "10" بهبود قابل توجهی در توان و سرعت را تجربه می‌کند، زیرا در ساختار این مدار گذر "00" به "10" باعث می‌شود به سرعت ترانزیستور NMOS انتهایی (اضافه شده به مدار پیشنهادی) روشن شده و صفر کاملی را در خروجی XNOR قرار دهد، این عامل توان اتصال کوتاهی که از طریق ترانزیستور P3 و N9 در این گذر اتفاق می‌افتد را به حداقل رسانیده است و هم‌چنین سرعت مدار در این گذر افزایش خواهد یافت.

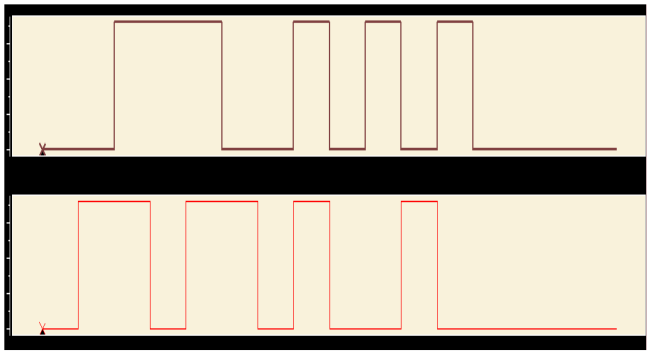
همین اتفاق در گذر "11" به "10" نیز خواهد افتاد که ترانزیستور NMOS اضافه شده به سرعت، صفر کاملی را در خروجی XNOR قرار خواهد داد و توان و تأخیر به طور قابل توجهی در این گذر کاهش می‌یابد. در شکل (۹) می‌توان شکل موج‌های خروجی را برای مدار پیشنهاد شده مشاهده کرد.

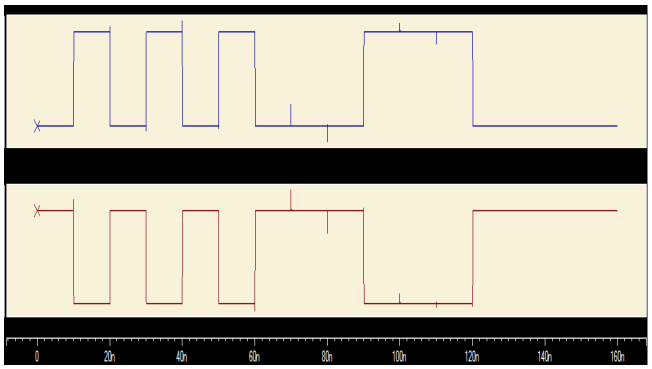
۵. نتیجه‌های شبیه‌سازی و مقایسه آنها

آنالیز و شبیه‌سازی مدارات روی نرم افزار HSPICE در رنج ولتاژ ۰/۶ تا ۳/۳ ولت با استفاده از فرآیند CMOS در فناوری ۰/۱۸ میکرومتر نشان داده شده است. مقدار ظرفیت بار ۵/۶ (fF) برای اندازه‌گیری‌های توان مصرفی و تأخیر استفاده شده است. بستر تست مورد استفاده در شکل زیر قابل مشاهده است.

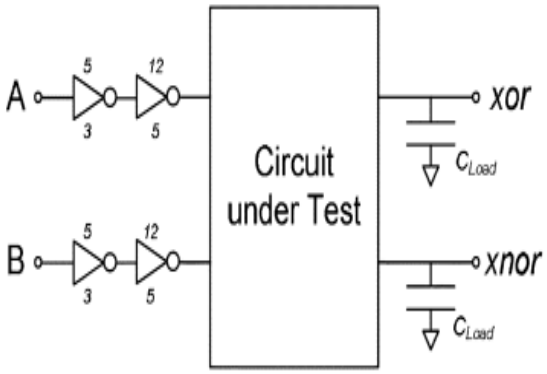


شکل ۸. شکل مدار پیشنهادی





شکل ۹. شکل موج سیگنال ورودی و خروجی برای مدار پیشنهادی



شکل ۱۰. بستر تست

عملکرد مدارات XOR-XNOR در بدترین مورد تأخیر، توان مصرفی و حاصل‌ضرب توان-تأخیر (PDP) صورت پذیرفته است. تأخیر از پنجاه درصد سطح ولتاژ ورودی به پنجاه درصد سطح ولتاژ نتیجه‌های خروجی برای هردو بالا و پایین رفتن خروجی ترانزیستورها محاسبه شده است. برای محاسبه PDP بدترین زمان تأخیر، طولانی‌ترین آنها میان دو مورد انتخاب شده است. برای تحمل نویز مدارات،

www.SID.ir

Archive of SID

شبیه‌سازی صورت پذیرفته و منحنی NIC برای آنها ترسیم شده است. دو سیگنال ورودی به‌گونه‌ای انتخاب شده‌اند که دارای تمام ترکیبات ۱۲ گذر ورودی برای اندازه‌گیری توان و تأخیر باشند.

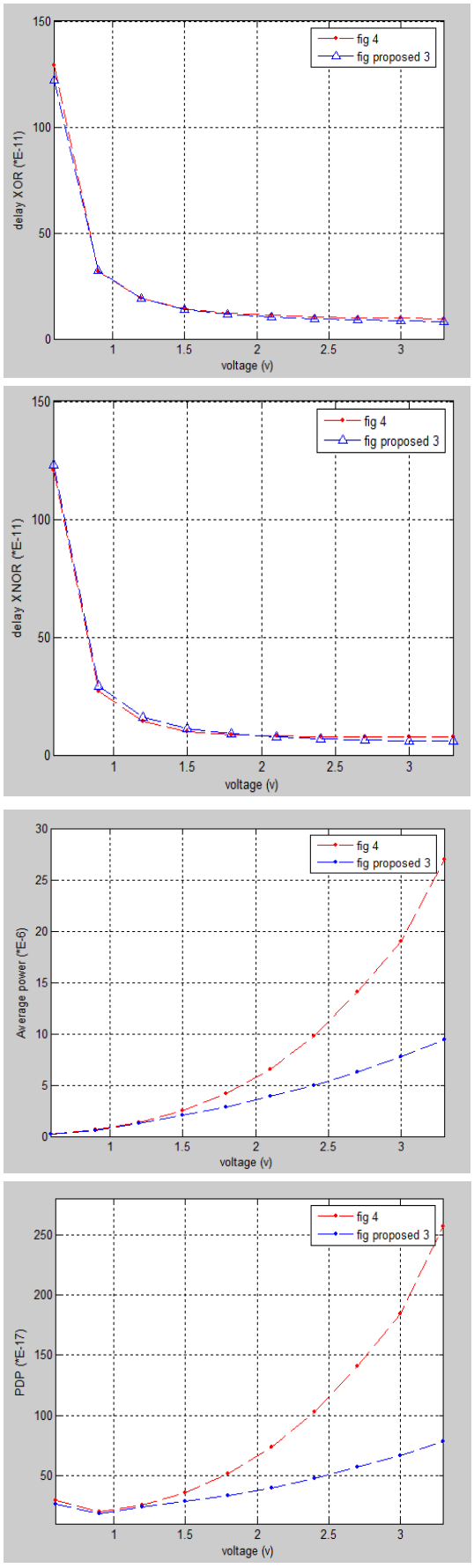
به‌منظور بررسی دقیق‌تر مدار ارائه شده، برای یافتن اینکه کدام گذر توان بیشتری مصرف می‌کند، تمام ۱۲ گذار ممکن که به وسیله ۲ سیگنال ورودی A و B به وجود می‌آید، در نظر گرفته شده است. توان مصرفی مدار در تمام این گذرها به‌صورت مجزا به کمک نرم‌افزار محاسبه شده و همچنین در این گذرها اندازه‌گیری برای مدار گذشته نیز صورت پذیرفته است [۵]. در اینجا ۳ گذر به‌طور نمونه آورده شده است.

جدول ۱. توان مصرفی و تأخیر برای مدار پیشنهادی و مدار

ترکیب ورودی اول	ترکیب ورودی دوم	توان مصرفی مدار (۴۲-۴)	تأخیر مدار (۴۲-۴)	توان مصرفی مدار پیشنهادی سوم	تأخیر مدار پیشنهادی سوم
00	01	۲/۳	XOR ۶/۵۶	۱/۵۳	XOR ۴/۷
			XNOR ۳/۹۹		XNOR۲/۵
	10	۵/۵	XOR ۶/۴۹	۲/۳۲	XOR ۵/۱
			XNOR ۱۲/۵		XNOR ۷/۷
	11	۰/۵۰۳	———	۰/۵۱۹	———

همان‌طور که مشاهده می‌شود در گذر "00" به "10" توان بالای مصرفی مدار گذشته به‌طور قابل ملاحظه‌ای در مدار پیشنهادی کاهش یافته است. در اینجا برای گذر ورودی از "00" به "10" هر دو مدار را ترسیم کرد و روند چگونگی تغییرات وضعیت ترانزیستورهای آن بر روی شکل مشخص می‌شود. در شکل، ترانزیستورهایی که در گذر "00" روشن هستند با علامت دایره و ترانزیستورهایی که در گذر "10" روشن خواهند شد با علامت ضربدر مشخص شده است.

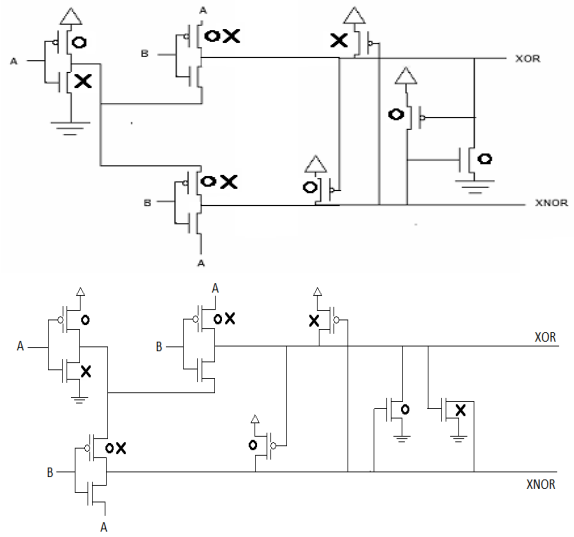
در ابتدا ترانزیستور PMOS دوم در مدار XOR که ورودی خود را از سیگنال B تغذیه می‌کند، روشن بوده و"0" ضعیفی از طریق آن به خروجی XOR منتقل شده و با روشن شدن ترانزیستور NMOS انتهایی مدار که در شبکه بازخورد واقع شده، این منطق"0" کامل شده است و در نهایت "0" منطقی قوی در خروجی XOR قرار خواهد گرفت. حال در گذر به حالت "10" ترانزیستور PMOS که در حالت "00" روشن بوده است، همچنان روشن مانده ولی به دلیل "1" شدن منطقی سیگنال ورودی A "1" منطقی کاملی از طریق این ترانزیستور PMOS در خروجی XOR قرار می‌گیرد و ترانزیستور NMOS که در مرحله گذشته روشن بوده نیز می‌بایست خاموش شود. ولی از آنجایی‌که این عمل با تأخیر نسبت به "1" شدن خروجی XOR صورت می‌گیرد، یک اتصال از طریق این دو ترانزیستور موجب می‌شود توان مصرفی مدار افزایش یابد.



شکل ۱۱. منحنی نشان‌دهنده توان، تأخیر و PDP برای مقایسه مدار شکل (۸) و مدار شکل (۶)

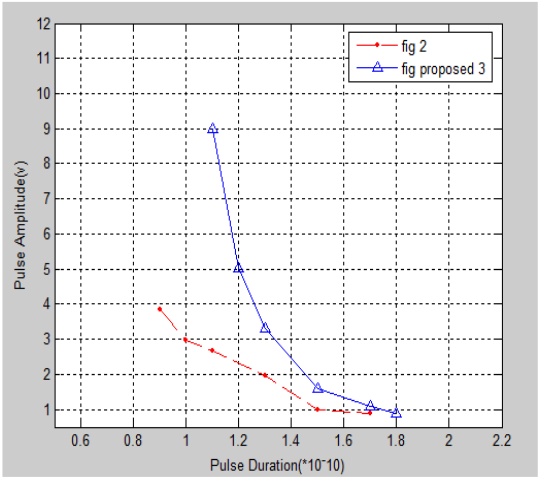
www.SID.ir

Archive of SID



شکل ۱۲. وضعیت ترانزیستورها در گذر "00" به "10" برای دو مدار پیشنهادی و مدار مرجع [۵]

همان‌گونه که مشاهده می‌شود در بقیه گذرها نیز مدار پیشنهادی تغییر محسوسی از نظر توان مصرفی نسبت به مدار گذشته نداشته و یا اندکی بهبود یافته است [۵]. همین اتفاق (کاهش محسوس توان مصرفی) در گذر "11" به "10" نیز رخ می‌دهد و باعث کاهش توان مصرفی قابل ملاحظه‌ای در مدار پیشنهادی می‌شود.



شکل ۱۳. منحنی نشان‌دهنده مصونیت در برابر نویز برای شکل‌های (۶) و (۸)

در نهایت می‌توان بیان کرد، مدار پیشنهادی نسبت به مدار قبلی مرجع [۱۱] که به عنوان یکی از مدارات مناسب در برابر مدارهای گذشته معرفی شده بود، دارای کارایی بالاتری است. مدار پیشنهادی همان‌گونه که ملاحظه می‌شود، دارای توان مصرفی پایین‌تری به ازای برخی از موارد ورودی و در بقیه نقاط نیز به‌طور کامل با مدار قبلی قابل مقایسه است و توان بالاتری را به‌طور محسوس مصرف نمی‌کند. همچنین این مدار از نظر سرعت همان‌گونه که در شکل مشاهده می‌شود در اکثر نقاط تغییر نداشته است و در برخی نقاط نیز بهبود اندکی را می‌توان مشاهده کرد. این مدار از نظر PDP نیز به‌طور کامل با مدار گذشته قابل مقایسه است. مدار ارائه شده دارای بهبودی حدود ۳۰ درصد از نظر توان مصرفی نسبت به مدار گذشته است.

در شکل بعد منحنی مصونیت در برابر نویز (NIC) برای این دو مدار ارائه شده است. همان‌طور که در این شکل نیز مشخص است، مدار پیشنهادی از نظر تحمل در برابر نویز دارای بهبود قابل ملاحظه‌ای در برابر مدار رقیب است.

۶. نتیجه‌گیری

در این مقاله، یک مدار XOR-XNOR کم مصرف مقاوم در برابر نویز طراحی و آزمایش شده است. عملکرد مدار پیشنهادی با مدار رقیب مقایسه شده و نشان می‌دهد که این مدار دارای توان مصرفی مناسب‌تر، امنیت نویز بالاتر و همچنین دارای سطوح سیگنال خروجی خوبی است. همان‌طور که در شکل نیز مشخص است، این مدار بهبود قابل ملاحظه‌ای نسبت به مدار رقیب از نظر مصونیت در برابر نویز یافته است، مدار پیشنهادی در حدود ۱/۱ تا ۳/۳ برابر بهبود نسبت به مدار پیشین داراست. مدار پیشنهادی برای مدارات محاسباتی و عملکردهای VLSI دیگر با توان مصرفی کم مناسب است.

۷. مراجع

[1] Bui, H. T.; Wang, Y.; Jiang, Y. “Design and Analysis of Low-Power 10-Transistor Full Adders Using XOR-XNOR Gates.”; IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process, 2002, 49, 30-125.

[2] Radhakrishnan, D. “Low-Voltage Low-Power CMOS Full Adder.”; in Proc. IEEE Circuits Devices Syst. 2001.

[3] Elgamel, M. A.; Goel, A.; Bayoumi, M. A. “Noise Tolerance Low Voltage XOR-XNOR for Fast Arithmetic.”; in Proc. Greak Lake Symp. VLSI, Washagton, DC, 2003, 258, 28-29.

[4] Goel, S.; Elgamel, M. A.; Bayoumi, M. A.; Hanafy, Y. “Design Methodologies for High-Performance Noise-Tolerant XOR-XNOR Circuits.”; IEEE Transactions on Circuits and Systems-I: Regular Papers, 2006, 53, 4.

[5] Shankar Mishra, S.; Wairga, S.; Nagaria, R. K.; Tiwari, S. “New Design Methodologies for High Speed Low Power XOR-XNOR Circuits. ”; Engineering and Technology 2009, 55, 200-206.

[6] Bui, H. T.; Al-Sheraidah, A. K.; Wang, Y. “New 4-Transistor XOR and XNOR Designs.”; in Proc. 2 nd IEEE. Asia Pacific, ASICs. Conf. 2000

[7] Bui, H.T. “Design and Analysis of 10-Transistor Full Adders Using Novel XOR-XNOR Gats.”; in Proc. 5 th Int. Conf. Signal Process 2000, 1, 619-622.

[8] Shams, A. M.; Darwish, T. K.; Wang, Y. “Performance Analysis of Low-Power 1-Bit CMOS Full Adder Cells.”; IEEE Trans. Very Large Scale Integer 2002, 10, 20-29.

[9] Shepart, L.; Viond N.; Watson, T. J. “Noise in Deep Submicron Digital Design.”; IEEE ICCAD’96. 1996.

[10] Ding, L.; Mazumber, P. “On Circuit Techniques to Improve Noise Immunity of CMOS Dynamic Logic.”; IEEE Transaction On Very Large Scale Integration (VLSI) Systems, 2004, 12, 910-924.

[11] Goel, S.; Darwish, T. K.; Bayoumi, M. A. “A Novel Technique for Noise-Tolerance in Dynamic Circuits.”; in Proc. IEEE Comput. Soc. Ann. Symp. On VLSI. Tampa, FL., 2003, 203-206.

www.SID.ir