تحلیل و طراحی LC-VCO خطی با پهنای باند وسیع و نویز فاز کم با استفاده از فناوری SiGe-BiCMOS

حسین مکاری، عباسعلی لطفی نیستانک*، محمد جهانبخت، رامین شقاقی

دانشکده فنی، دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران، تهران، ایران

گروه مهندسی مخابرات، دانشگاه آزاد اسلامی واحد شهر ری، تهران، ایران

گروه مهندسی برق، دانشگاه آزاد اسلامی واحد شهریار (شهرقدس)، تهران، ایران

گروه مهندسی مخابرات، دانشگاه آزاد اسلامی واحد شهر ری، تهران، ایران

چکیده

امروزه اسیلاتورهای مجتمع کنترل شونده با ولتاژ (VCO) یکی از مهمترین اجزا در کاربرد چیپ در سیستم های مخابراتی می‌باشد. در این مقاله یک اسیلاتور کنترل شده با ولتاژ از نوع LC، خطی با پهنای باند وسیع، نویز فاز پایین و جریان مصرفی کم، برای کاربرد در مخابرات بی سیم ،طراحی و شبیه سازی شده است. این ساختار مداری که با استفاده از فناوری AMOS 0.35µm SiGe BiCMOS شبیه سازی شده است، شامل ورکتورهای MOS در فرایند CMOS می-باشد. برای افزایش کارکرد خطی و پهنای باند گسترده از ۳ طبقه موازی MOS ورکتور استفاده شده است. مقدار نویز فاز در فرکانس افست 1MHz ، ۱۱۷/۳۸۱ dBc/Hz- می‌باشد و همین طور در فرکانس افست ۳MHz برابر با ۱۲۷/۲dBc/Hz- و نسبت تغییرات Kvco، ۱/۲۴ GHz/V است. این ساختار پهنای باند فرکانسی در حدود ۱GHz داشته و از فرکانس ۴/۲۹GHz تا ۵/۲۹GHz را پوشش می‌دهد. جریان مصرفی ۳/۱۳mA با ولتاژ ۳/۲V، و مقدار FOM برابر با ۱۸۷/۵-، عملکرد این مدار را نسبت به مقالات دیگر متمایز می‌کند.

کلمات کلیدی: ورکتور AMOS، فناوری SiGe BiSMOS، اسیلاتور کنترل شونده با ولتاژ (VCO).

۱ مقدمه

در سال های اخیر از جمله محبوب ترین و پرکاربردترین شبکه های مخابرات در بسیاری از کشورها جهت بازارهای مصرف ، شبکه محلی بی سیم (WLAN) می‌باشد. بسیاری از استانداردهای WLAN مانند Home RF، بلوتوث و استاندارد IEEE 802.11a و اخیرا استاندارد IEEE 802.11.n ، که در فرکانس 5GHz کار می‌کنند، پس افزایش پهنای باند و متعاقب آن خطی سازی مهمترین دغدغه در سیستم هایی با کاربرد wireless می‌باشد. در فرستنده و گیرنده های مجتمع، ابعاد سایز، نویز فاز پایین و سرعت بالای شبکه ارتباطی بی سیم با هزینه پایین از تاثیرگذارترین موارد می‌باشند. در فرستنده و گیرنده ها (transceiver)، اسیلاتور کنترل شونده با ولتاژ از کلیدی ترین مدارات می‌باشد.

*عهدار مکاتبات

آدرس الکترونیکی: alotfi@iust.ac.ir

Archive of SID

www.SID.ir

فرکانس نوسان و نویز فاز، برای LC VCO مجتمع در معادلات ۱ و ۲ بیان شده است [1].

$$W_{OSC} = \frac{1}{2\pi\sqrt{l_{ind}.c}} \quad (۱)$$

$$G_m = R_{eff}(F - 1).(W.C)^2 \quad (۲)$$

در معادلات بالا L_{ind} ، R_{eff}،C، به ترتیب اندوکتانس سلف مارپیچی، خازن کل رزوناتور، مقاومت پارازیتی رزوناتور اسیلاتور می‌باشد.

برای دسترسی به شرایط لازم در استاندارد IEEE 802.11a مقدار نویز فاز در افست 1MHz در فرکانس حامل، باید کمتر از 110 dBc/Hz- باشد[2] که ساختار ارایه شده به این مهم نایل آمده است.

اکثریت تحقیقات و مقالات انجام شده درباره طراحی VCO روی پهنای باند، نویز فاز پایین و توان مصرفی dc پایین، متمرکز شده و کمتر تحقیقی در مور عملکرد خطی VCO صورت گرفته است، اما در این مقاله با ارایه ساختار رزوناتور جدیدی سعی شده است که با درنظرگرفتن پهنای باند گسترده و نویز فاز پایین، خطی سازی نوسان نیز در نظر گرفته شود که از مهمترین پارامترهای مدار طراحی شده می‌باشد. گین اسیلاتور کنترل شونده با ولتاژ (Kvco)، به وسیله مشتق گیری از فرکانس نوسان نسبت به ولتاژ کنترل به دست می‌آید.

$$Kvco\ (V_{ctrl}) = \frac{\partial f_{osc}(V_{ctrl})}{\partial V_{ctrl}} \quad (۳)$$

که f_{osc}، فرکانس نوسان و V_{ctrl}، ولتاژ کنترل ورکتور می‌باشد. بدلیل اینکه، فرکانس های نوسان به صورت خطی توسط ولتاژ کنترلر کنترل می‌شوند، پس Kvco کاملا خطی خواهدبود. گین VCO پارامتر کنترلی مهمی در در طراحی PLL است که حتی تحقیقات گسترده و مقالات متعددی در این زمینه چاپ شده است.

در این طراحی یک اسیلاتور مجتمع کنترل شونده با ولتاژ (VCO) با پهنای باند گسترده، نویز فاز پایین، جریان مصرفی کم و Kvco خطی با رزوناتور جدیدی با استفاده از ورکتور MOS برای کاربرد بی سیم (wireless) ارایه شده است. طراحی و شبیه سازی این VCO با استفاده از فناوری ۰/۳۵ µm SiGe BiCMOS انجام شده است. در این مقاله از بین توپولوژی های مختلف توپولوژی CMOS انتخاب شده است. MOS VCO ، غیر خطی بودن گین VCO را همزمان با پایین نگه داشتن نویز فاز، توان و محدوده نوسان وسیع را جبران می‌کند.

در این مقاله مراحل بدین ترتیب دسته‌بندی خواهند شد: در بخش دوم، در مورد طراحی VCO، مدار رزوناتور پیشنهادی، و طراحی مدار هسته VCO، توضیح داده می‌شود. در بخش سوم، نتایج شبیه سازی و جداول مربوطه آورده شده است و در آخرین قسمت، خلاصه و نتیجه گیری کلی مقاله ارایه خواهد گردید.

www.SID.ir

۲ طراحی VCO

۲-۱ ملاحظات کلی طراحی VCO

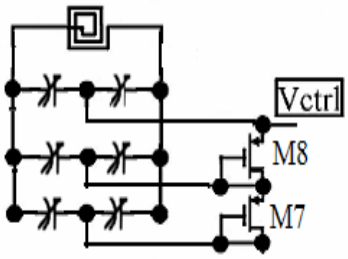
در این مقاله خطی سازی گین VCO و بهینه کردن نویز فاز مدار مجتمع MOS VCO در طراحی در نظر گرفته شده است که معادلات این دو پارامتر در بالا ذکر گردید. بیشترین منابع مهم برای عملکرد نویز فاز در مدار MOS VCO عبارتند از مقاومت پارازیتی رزوناتور و دامنه نوسانVCO . انواع توپولوژی مدار VCO تاثیری بر روی مقاومت پارازیتی رزوناتور، ندارد اما از طرفی دیگر، دامنه خروجی، شدیدا به توپولوژی مدار وابسته می‌باشد. که آنهم به این دلیل است که خطی بودن هر قطعه متمایز با خودش است. در نهایت همه منابع نویز باهم ترکیب شده تا فرمول مشهور leeson که مطابق با معادله زیر است به دست آید:

$$L(\omega_m) = \frac{2kT.R_{eff}.F}{V_{amp}^{\ 2}}\left(\frac{\omega_{osc}}{\omega_m}\right)^2 \qquad (۴)$$

که R_{eff} ، V_{amp} و F به ترتیب مقاومت پارازیتی رزوناتور، دامنه نوسان VCO و فاکتور مشخصه عملکرد نویز فاز اسیلاتور می‌باشد.

۲-۲ مدار رزوناتور

رزوناتور مستقر در VCO بر مبنای اصل، افزودن مقاومت منفی بین فیدبک رزوناتور کار می‌کند. با نوسان رزوناتور، رنج فرکانس مطلوب را می‌توان پوشش داد. چنانچه در شکل ۱ مدار رزوناتور پیشنهاد شده در این مقاله و توپولوژی Gm– را نشان می‌دهد، این رزوناتور شامل ۳ طبقه جفت ورکتور MOS ، سلف مارپیچی، و ولتاژ کنترلر می‌باشد. به طور کلی توپولوژی Gm– برای کاربردهای سطح بالا در طراحی wireless استفاده می‌شود.



شکل ۱: مدار معادل رزوناتور پیشنهادشده

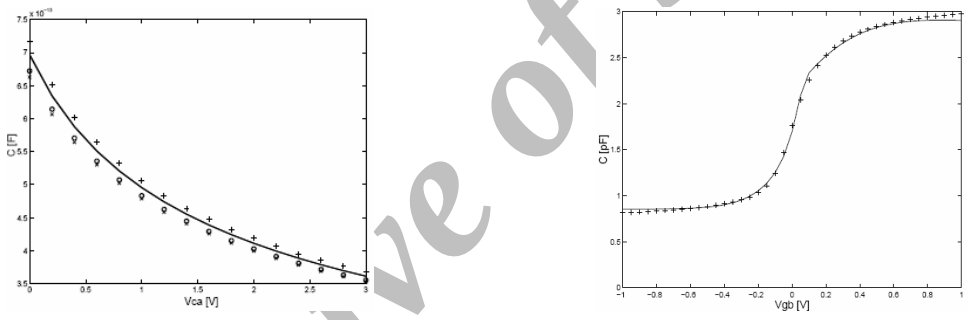
البته شایان ذکر است که فاکتور کیفیت(quality factor) کل مدار رزوناتور به وسیله رسانایی پارازیتی خازن و سلف تعیین می‌شود. زمانی که ورکتور accumulation mode MOS مقدار Q نسبتا بزرگی نسبت به سلف های درون چیپ داشته باشد در این صورت Q سلف نقش تعیین کننده اصلی در Q مدار رزوناتور خواهد داشت. از ترانزیستور PMOS بدلیل داشتن flicker- noise پایین در مدار شیفت دهنده ولتاژ، ولتاژ کنترل استفاده شده است. تغییرات فرکانس به وسیله ورکتور بوجود می‌آید، که البته آن مولفه ای نوسانی معمولی در مدار VCO می‌باشد، بدان علت که جهت نوسان، مقدار خازن مقایسه شده نسبت به سلف مدار رزوناتور، بسیار راحت

Archive of SID
www.SID.ir

می‌باشد.

رنج نوسانی یکی از مهمترین پارامترهای عملکردی است و مشکل اصلی در طراحی VCO در فناوری های CMOS و BiCMOS می‌باشد. این نقیصه بخاطر محدودیت رنج نوسانی ورکتور p-n junction می‌باشد. اما رنج نوسانات accumulation-Mode MOS (AMOS)، نسبت به انواع دیگر ورکتورها بیشتر می‌باشد که با استفاده از این نوع ورکتور می‌توان انتظار پهنای باند خوبی را داشت. به علاوه مدار VCO با استفاده از این قطعه می‌تواند به صورت خطی کار کند.

از دسترس ترین ورکتورهای مجتمع شده می‌توان به دوگونه آن اشاره کرد: دیود ورکتور و ورکتور MOS. یک ورکتور MOS، از خازن گیت MOS استفاده می‌کند که ظرفیت خازنی آن می‌تواند با تغییرات گیتش یا ولتاژ بایاس بالک (bulk) تغییر یابد. برای نمونه فرآیند ساخت یک دیود ورکتور را می‌توان بدین شکل مطرح نمود که، به وسیله اتصال p+/nwell با ظرفیت خازنی اتصالش،که به وسیله تغییرات ولتاژ بایاس معکوسش مدوله می‌شود.



(ب) (الف)

شکل ۲: منحنی C-V بین (الف) ورکتور accumulation-mode MOS و (ب) ورکتور PN junction

ظرفیت خازنی MOS، به وسیله ضخامت اکسید گیتش تعیین می‌شود در صورتی که ظرفیت خازنی دیود به وسیله تغلیظ فرم اتصال PN مشخص می‌شود. شکل (۲) مشخصه C-V یک AMOS ورکتور و ورکتور اتصال دیودی را نشان می‌دهد. همان طور که این شکل نشان می‌دهد، منحنی ورکتور MOS تغییرات تندتری در ظرفیت خازنی دارد و رنج تغییرات وسیع تری نسبت به دیود ورکتور دارد و آنهم به این دلیل است که دیود ورکتور در منطقه بایاس معکوس کار می‌کند. ورکتور MOS در ساختار ارایه شده برای مدار VCO انتخاب شده است.

Archive of SID

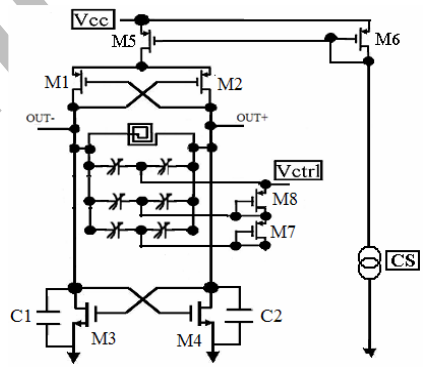
www.SID.ir

۲-۳ طراحی هسته VCO

تقریبا همه ترکیب کننده (synthesizer) فرکانسی در کاربردهای مخابراتی، از انواع اسیلاتورهای هارمونیک استفاده می کنند. که اغلب از توپولوژی MOS استفاده می‌شود. از جمله طراحی هایی که در فرکانس های بالا می‌توان استفاده کرد، ساختار تفاضلی تزویج متقاطع (cross-coupled) با مدار رزوناتور LC مجتمع است. ساختار cross-coupled CMOS به این دلیل انتخاب می‌شود که این ساختار از نسبت خوبی بین نویز فاز و توان مصرفی برخوردار است. بخاطر عملکرد نویز فاز این ساختار تفاضلی برای LC-VCO نسبت به توپولوژی های دیگر مقدم است [3].

توپولوژی MOS در اسیلاتورهای کنترل شونده با ولتاژ می‌تواند به دو دسته طبقه بندی شود: ۱- هسته VCO که تنها با nMOS طراحی شده باشد. ۲- هسته مکملی (complementary) CMOS که از ماسفت های nMOS و PMOS به صورت (cross-coupled) استفاده شده است.

شکل (۳) مدار معادل هسته VCO طراحی شده در این مقاله را نشان می‌دهد. این هسته شامل ترانزیستورهای nMOS (M3 و M4) و pMOS (M1 وM2) زوج تزویج متقاطع ، مدار رزوناتور می‌باشد. زوج تزویج ترانزیستورهای nMOS و زوج تزویج ترانزیستورهای PMOS در فیدبک مثبت جهت فراهم آوردن مقاومت منفی بکاربرده شده اند. این ساختار دو مزیت دارد: ۱) با افزودن زوج PMOS تلفات ناشی از مدار رزوناتور با مصرف جریان کمتر جبران می‌شود. ۲) اگرچه، نویز 1/f در قطعات CMOS نسبت به سیلیکان و قطعات SiGe bipolar ،خیلی بزرگ است اما می‌توان تاثیر آن را روی نویز فاز اسیلاتور با بکاربردن هردو ترکیب بین ترانزیستورهای nMOS و PMOS کاهش داد [4].



شکل ۳: شماتیک مدار VCO طراحی شده

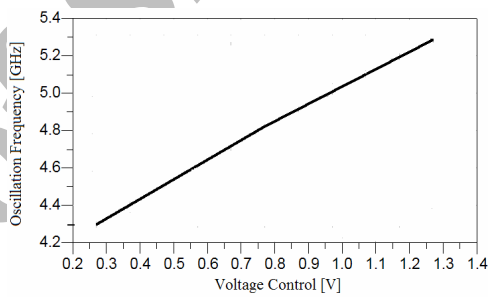
روش دیگری برای کاهش نویز افزایش ابعاد و سایز قطعات CMOS می‌باشد. بزرگتر کردن قطعات CMOS موجب کوچکتر شدن نویز 1/f می‌شود. البته بزرگتر کردن قطعات CMOS می‌تواند ظرفیت خازن پارازیتی را افزایش دهد. اشکال اصلی در طراحی VCO با پهنای باند وسیع این است که رنج تغییرات ولتاژ کنترل محدود می‌شود. به خاطر وجود فیدبک خازنی C1و C2، ولتاژ منبع تغذیه می‌تواند بیشتر از ولتاژ تغذیه و پایین تر از ولتاژ زمین سوئینگ کند [5]، ایده اصلی این است که خروجی VCO را تنظیم کنیم واز آن برای استفاده از بایاس ورکتور استفاده کنیم.

Archive of SID
www.SID.ir

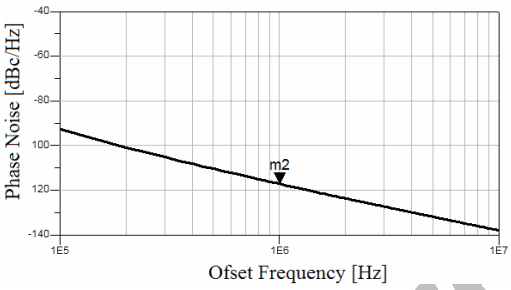
در این طراحی فناوری BiCMOS انتخاب شده است. برای طراحی VCO با استاندارد IEEE 802.11a از فناوریها و توپولوژی های مختلفی استفاده می‌شود. اما قطعا SiGe BiCMOS(۰/ ۳۵ µm) به عنوان مناسبترین فناوری می‌باشد. با استفاده از این فناوری و توپولوژی استفاده شده، نویز فاز پایین، سرعت بالا، رنج فرکانسی بالا قابل طراحی است.

۲-۳-۱ نتیجه

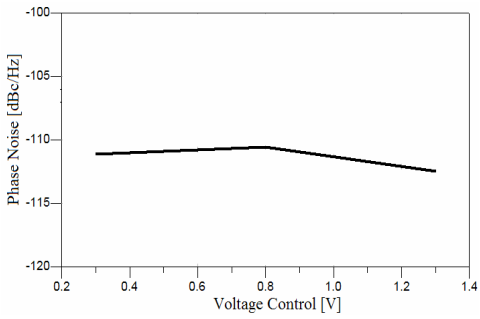
مدار VCO پیشنهادی با استفاده از نرم افزار Agilent ADS شبیه سازی شده است. جریان مصرفی هسته VCO بدون در نظر گرفتن بافر،در حدود ۳/۱۳ mA با ولتاژ منبع تغذیه ۳/۲ ولت می‌باشد. تعداد ورکتورهای MOS و طبقاتش بهینه شده است. بنا بر شبیه سازی مدار، VCO می‌تواند ۱GHz را نوسان کند که نوسان فرکانسی در شکل ۴ نشان داده شده است.



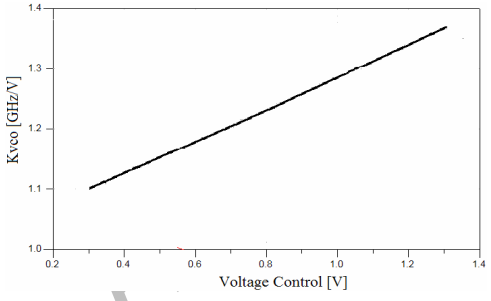
شکل ٤: مشخصه نوسانی VCO



شکل۵: نویز فاز در فرکانس افست ۱ MHz



شکل ٦: نویز فاز نسبت به ولتاژ کنترل در فرکانس افست ۱ MHz



شکل ۷: شبیه سازی Kvco برای مدار پیشنهادی

اگرچه در نظر گرفتن پهنای باند وسیع باعث خواهد شد که نویز فاز پایینی داشته باشیم، اما با وجود این مقدار نویز فاز در این مدار در فرکانس افست ۱ MHz برابر با ۱۱۷/۳۸۱ dBc/Hz- می‌باشد ودرMHz ۳، برابر با ۱۲۷/۲dBc/Hz- ، و در نمودار حاصل از این شبیه سازی برای نویز فاز در شکل (۵) آورده شده است. عملکرد نویز فاز اسیلاتور کنترل شونده با ولتاژ، نسبت به تغییرات ولتاژ کنترل نیز در شکل (۶) نشان داده شده است که نشان دهنده پایداری مدار ارایه شده می‌باشد.

www.SID.ir

خطی بودن عالی، مدار پیشنهادشده با نسبت Kvco، ۱/۲۴ در شکل ۷ آورده شده است. و گین VCO بین ۱/۱ تا ۱/۳۷ تغییر می‌کند. نوسان خطی این ساختار ارایه شده محدوده ۱۰۰۰MHzرا پوشش می‌دهد. فرکانس نوسان از ۴۹/۲۹ GHz تا۵/۲۹ GHz تغییر می‌کند که تغییرات ولتاژ کنترل از ۰/۳ V تا ۱/۳ V می‌باشد.

جدول (۱) مشخصات VCO طراحی شده در این مقاله را نشان می‌دهد. شبیه سازی هسته VCO با بافرش توان خروجی در حدود ۵/۲dBm- را نشان می‌دهد. همچنین کل جریان مصرفی مدار در حضور بافر۱۲/۱۳ mA می‌باشد. عدد شایستگی (FOM)، که جهت ارزیابی عملکرد VCOs بسیار مورد استفاده قرار می‌گیرد به وسیله فرمول (۵) تعریف می‌شود:

$$FOM = L(\Delta f_m) - 20\log(f_0/f_m) + 10\log\frac{P_{diss}}{1mW} \qquad (۵)$$

که در آن، L، نویز فاز، f_0 فرکانس نوسان، f_mفرکانس افست و P_{diss} توان مصرفی VCO می‌باشد. مقدار FOM مستقل از نسبت Kvco می‌باشد اما با این حال نسبت Kvco مهم ترین جزء عدد شایستگی است [6].

عملکرد پارامترها	نتایج شبیه سازی
فناوری	µm SiGe ۰/۳۵ BiCMOS
محدوده تغییرات نوسان فرکانس GHz	۴/۲۹ ~۵/ ۲۹
جریان مصرفی	۳/۱۳ mA
ولتاژ تغذیه	۳/۲ V
نسبت Kvco	۱/۲۴
نویز فاز درفرکانس افست ۶۰۰ KHz	-۱۱۲/۲۸ dBc/Hz
نویز فاز درفرکانس افست ۱ MHz	-۱۱۷/۳۸ dBc/Hz
نویز فاز درفرکانس افست ۳MHz	-۱۲۷/۲ dBc/Hz
توان خروجی	-۵/۲ dBm
FOM	۱۸۷/۵

جدول ۱: خلاصه نتایج شبیه سازی شده VCO پیشنهادی

جدول (۲) پارامترها و عملکرد مدار VCO پیشنهادی را با تعدادی از مقالات دیگر که در فناوریهای CMOS و BiCMOS انجام شده‌اند را نشان می‌دهد. که با توجه به این جدول می‌توان گفت که مدار ارایه شده دارای مشخصات بسیار خوبی می‌باشد.

Archive of SID
www.SID.ir

مرجع	[4]	[7]	[8]	[9]	این مقاله
نوسان (MHz)	۵۰۰	۴۴۰	۳۹۰	۳۰۰	۱۰۰۰
نویز فازدر 1 MHz	-۱۱۶	-۱۱۰/۳	-۱۲۰/۴	-۱۲۰	-۱۱۷/۳۸۱
I (mA)	۳/۴	۶/۸	-	۸/۵	۳/۱۳
FOM	-۱۸۱	-۱۶۹/۴	-۱۸۹/۶	-۱۷۶	-۱۸۷/۵
فناوری	۰/۳۵ SiGe	۰/۳۵ SiGe	۰/۱۸ CMOS	۰/۱۸ SiGe	۰/۳۵ SiGe

جدول ۲: مقایسه بین VCO طراحی با مقالات دیگر

۳ بحث و نتیجه گیری

در این مقاله یک VCO از نوع LC مجتمع شده با نوسانی از فرکانس۴/۲۹GHz تا ۵/۲۹ GHz برای استاندارد IEEE 802.11a ، با استفاده از فناوری ۰/۳۵ µm SiGe BiCMOS، طراحی و شبیه سازی شده است. ساختار این VCO، از نوعCross-couple CMOS، می‌باشد. در این مقاله، برای تحقق، خطی سازی پهنای باند وسیع و پایین آوردن نویز فاز با مصرف جریان پایین از accumulation mode MOS ورکتور استفاده شده است. شبیه سازی VCO پیشنهادی با استفاده از مدار رزوناتور جدید جهت دست یافتن به نوسان خطی ۱۰۰۰ MHz انجام شده است. جریان مصرفی۱۲/۱۳ mA با ولتاژ ۳/۲ V با مدار بافر به دست آمده است. مدار VCO طراحی شده با استفاده از فناوری BiCMOS دارای عملکردی بسیار عالی می‌باشد که با مقایسه با مقالات دیگر عملکرد پارامترهای آن قابل توجه خواهد بود.

منابع

[1] Craninckx J., and M. Steyaert, A Fully integrated CMOS DCS-1800 Frequency Synthesizer, IEEE Journal of Solid-State Circuit, Vol.33, No.12, pp.2054-2065, December 1998.

[2] IEEE Std. 802.11 Wireless LAN medium access control (MAC) and physical layer (PHY) specifications: High-speed physical layer in the 5 GHz band, IEEE, Sept 1999.

[3] P. Andreani, H. Sjöland, Tail Current Noise Suppression in RF CMOS VCOs harmonic, IEEE Journal Solid-State Circuits, vol.37, no.3, March 2002, pp 342-348

[4] S. Kurachi, T. Yoshimasu, H. Liu, N. Itoh, K.Yonemura, A SiGe BiCMOS VCO IC with Highly Linear Kvco for 5-GHz-Band Wireless LANs, IEICE Transactions on Electronics, June 2007, pp. 1228–1233.

[5] Hsieh, H. H., C. T. Lu, and L. H. Lu, A 0.5-V 1.9-GHz low-power phase-locked loop in 0.18-µm CMOS, 2007 Symposium on VLSI Circuits Digest of Technical Papers, 164–165, 2007.

[6] Neric F., O. Plouchart, N. Zamdmer, D.Liu, L.Wagner, C. Plett, and G. Tarr, A low-voltage multi-GHz VCO with 58% tuning range in SOI CMOS, Proc. IEEE 2005 Custom Integrated Circuits Conference, pp.423-426, May 2002.

[7] H. Feng, Q. Wu, X. Guan, R. Zhan and A. Wang, 2005, A 2.45GHz Wide Tuning Range VCO using MOS Varactor in 0.35µm SiGe BiCMOS Technology, IEEE International Symposium on Microwave, Antenna, Propagation and EMC Technologies for Wireless Communication Proceeding, , pp.10-13.

[8] Tasi M., Y. Cho, and H. Wang, A 5-GHz Low Phase Noise Differential Colpitts CMOS VCO, IEEE Microwave and Wireless Components Letters, Vol.15, No.5, pp.327-329, MAY 2005.

[9] P. Upadhyaya, D. Heo, Y-J. Emery Chen, A 1.3V Low Phase Noise 2-GHz CMOS Quadrature LC VCO, Proceedings of the 1st European Microwave Integrated Circuits Conference, September 2006, Manchester UK, pp.169-172.

Archive of SID

www.SID.ir