ضرب‌کننده و ضرب جمع‌کنندهٔ پیمانهٔ 2^n+1 برای پردازندهٔ سیگنال دیجیتال

نگار اکبرزاده و سمیه تیمارچی*

دانشکده مهندسی برق، دانشگاه شهید بهشتی، تهران، ایران

چکیده

فیلترکردن یکی از مهم‌ترین عملیات پردازنده‌های سیگنال دیجیتال است که معادل عملیات جمع و ضرب متوالی است. ادغام دو واحد ضرب‌کننده و جمع‌کنندهٔ موجود در ساختار این پردازنده‌ها منجر به ایجاد یک واحد جدید به نام ضرب‌جمع‌کننده می‌شود. جهت بهبود کارایی واحد ضرب‌جمع‌کننده، از سامانه‌های اعداد مانده‌ای می‌توان بهره گرفت. این سامانه به‌دلیل انجام عملیات به‌صورت موازی روی پیمانه‌ها و محدودکردن انتشار رقم نقلی به داخل هر پیمانه، سرعت و توان مصرفی مدارهای محاسباتی مانند ضرب‌کننده و ضرب‌جمع‌کننده را بهبود می‌بخشند. از میان مجموعه پیمانهٔ $\{2^n-1,2^n,2^n+1\}$، مدارهای پیمانهٔ 2^n+1 به‌دلیل نیاز به مسیر دادهٔ $(n+1)$ بیتی، مسیر بحرانی خواهند بود. در این مقاله، ابتدا یک واحد ضرب‌جمع‌کننده برای پیمانهٔ 2^n+1 ارائه شده و سپس، برای بهبود بیشتر کارایی از روش خط لوله و چندولتاژی استفاده می‌شود. نتایج شبیه‌سازی بیان‌گر بهبود تأخیر، توان مصرفی و PDP مدارهای پیشنهادی بدون کاهش کارایی نسبت به مدارهای موجود است.

واژگان کلیدی: پردازنده‌ی سیگنال دیجیتال، ضرب‌جمع‌کننده، سامانهٔ اعداد مانده‌ای، نمایش diminished-1، ضرب‌کننده.

Modulo 2^n+1 Multiplication and Multiply-Accumulate Units for Digital Signal Processor

Negar Akbarzadeh & Somayeh Timarchi*

Electrical Engineering Department, Shahid Beheshti University, GC., Tehran, Iran

Abstract

Nowadays, digital signal processors (DSPs) are appropriate choices for real-time image and video processing in embedded multimedia applications not only due to their superior signal processing performance, but also of the high levels of integration and very low-power consumption. Filtering which consists of multiple addition and multiplication operations, is one of the most fundamental operations of DSPs. Therefore, there is a need for an additional unit just after the multiplication unit in DSPs. By combining multiply and add units, new structure named MAC (Multiply and ACcumulate) unit is provided. Residue Number System (RNS) can improve speed and power consumption of arithmetic circuits as it offers parallel arithmetic operations on each moduli and confines carry propagation to each moduli. In order to improve the efficiency of the MAC unit, RNS could be utilized.

RNS divides large numbers to smaller numbers, called residues, according to a moduli set and enables performing arithmetic operations on each moduli independently. The moduli set $\{2^n-1,2^n,2^n+1\}$ is the most famous among others because of its simple and efficient implementation. Among this moduli set, modulo 2^n+1 circuits are the critical path due to $(n+1)$-bit wide data path despite other two modules which all have n-bit wide operands. In order to overcome the problem of $(n+1)$ bits operands, three representations has been suggested: diminished-1, Signed-LSB and Stored-Unibit. Although different multipliers have been proposed for diminished-1 representation, no multiplication structure has been proposed for the last two ones. Modulo 2^n+1 multipliers are divided into 3 categories depending on their inputs and outputs types: both operands use standard (weighted) representation; one input uses standard representation, while the other one utilizes

* Corresponding author

* نویسندهٔ عهده‌دار مکاتبات

Archive of SID

www.SID.ir

diminished-1 representation; both inputs use diminished-1 representation. Although several multiply and add units have been proposed for the first 2 categories, no MAC unit is proposed for the multipliers of a third category which outperform multipliers of other categories. In this article at first, one modulo 2^n+1 MAC unit for the third category is proposed and then for further improvement, pipeline and multi-voltage techniques are utilized. Pipeline structure enables a trade-off between power consumption and delay. Whenever high-performance with least delay is desirable, nominal supply voltage can be chosen (high performance mode) otherwise by reducing supply voltage to the amount at which pipeline circuit and normal circuit without pipeline would have the same performance, power consumption decreases significantly (low power mode).

Simulations are performed in two phases. At first phase, proposed MAC unit without pipeline structure is described via VHDL code and synthesized with synopsys design vision tool. Results indicate that the proposed structure outperforms PDP (Power-Delay-Product) up to 39% compared to the state of the art MAC units. At second phase, CMOS transistor level implementation in two modes i.e. low power and high performance modes with Cadence Design Systems tool is provided. Simulation results indicate that at low power condition, proposed pipeline MAC unit yields to 71% power savings compared to existing circuits without declining efficiency. Furthermore, at high performance condition, however power consumption has increased, reducing delay up to 54% yields to 39% PDP savings for proposed pipeline MAC unit.

Keywords: Digital signal processor, MAC, Residue number system, diminished-1 representation, multiplier.

۱- مقدمه

واحدهای عملیاتی جمع‌کننده و ضرب‌کننده، اساسی‌ترین جزء مدارهای محاسباتی پیچیده از جمله پردازنده‌های سیگنال دیجیتال[1] و تراشه‌های رمزنگاری هستند. امروزه با پیچیده‌ترشدن الگوریتم‌ها، افزایش چشم‌گیر حجم محاسباتی و نیاز به انجام عملیات ضرب و جمع متعدد روی عمل‌وندهای با تعداد بیت زیاد، سرعت، توان مصرفی و مساحت از مهم‌ترین چالش‌های طراحی این مدارها هستند. سامانهٔ اعداد دودویی به‌دلیل مسألهٔ انتشار رقم نقلی از کم‌ارزش‌ترین بیت[2] (LSB) به پرارزش‌ترین بیت[3] (MSB) به‌خصوص در عمل‌وندهای با تعداد بیت زیاد، دیگر قابل استفاده در سامانه‌های بلادرنگ[4]، کم‌توان و کم‌مساحت نیستند. این محدودیت موجب شده است تا سامانه‌های اعداد دیگری از جمله سامانهٔ اعداد مانده‌ای[5]، سامانهٔ اعداد افزونه‌ای و سامانهٔ اعداد مانده‌ای افزونه که پاسخ‌گوی این نیاز باشند، ارائه شد [1].

سامانهٔ اعداد مانده‌ای مجموعه‌ای متشکل از چند پیمانه است که برای نمایش اعداد در این سامانه، از باقی‌ماندهٔ تقسیم آن‌ها بر این پیمانه‌ها استفاده می‌شود [3]-[4]. از اصلی‌ترین خواص این سامانه که منجر به استفاده از آن در حساب رایانه‌ای سریع شده است، خاصیت عدم انتشار رقم نقلی بین پیمانه‌ها و امکان انجام محاسبات روی پیمانه‌ها به‌صورت موازی و مستقل از هم است. درواقع سامانه‌های اعداد مانده‌ای به‌دلیل امکان انجام عملیات به‌صورت موازی روی پیمانه‌ها و محدودکردن انتشار رقم نقلی به داخل هر پیمانه، توانسته‌اند مدارهای محاسباتی را سریع‌تر و کم‌توان‌تر کنند [3]-[4]. درنتیجه، سامانه‌های اعداد مانده‌ای انتخاب مناسبی برای طراحی پردازنده‌های سیگنال دیجیتال [5]، فیلترهای با پاسخ ضربهٔ محدود (FIR) [6]، واحدهای پردازش تصویر [7]، سامانه‌های مخابراتی [8] و رمزنگاری [9] هستند.

یکی از مهم‌ترین مجموعه پیمانه‌های موجود در سامانهٔ اعداد مانده‌ای که دارای الگوریتم و مدارهای محاسباتی ساده‌تری نسبت به دیگر مجموعه پیمانه‌ها است، مجموعه پیمانهٔ $\{2^n+1,2^n,2^n-1\}$ است. پیمانهٔ 2^n+1 به‌دلیل نیاز به مدارهای حسابی $(n+1)$ بیتی، مسیر بحرانی سامانه‌های اعداد مانده‌ای مبتنی بر این مجموعه پیمانه محسوب می‌شوند. ازاین‌رو طراحان بسیاری بر روی بهینه‌سازی مدارها و الگوریتم‌های مربوط به این پیمانه متمرکز شده‌اند. درنتیجه توجه این مقاله نیز معطوف به واحدهای ضرب و ضرب‌جمع‌کنندهٔ[6] موجود در پیمانهٔ 2^n+1 و تلاش برای بهبود کارایی آن‌ها است.

تاکنون کدگذاری‌های مختلفی از جمله کدگذاری‌های وزن‌دار[7] و diminished-1 [10] برای پیاده‌سازی مدارهای پیمانهٔ 2^n+1 ارائه شده است. ضرب‌کننده‌های پیمانهٔ 2^n+1 بر اساس دو سامانهٔ عددی وزن‌دار و diminished-1 را به سه دسته می‌توان تقسیم کرد. در دستهٔ نخست از نمایش عددی وزن‌دار [11]-[13] و در دستهٔ دوم از نمایش عددی diminished-1 [14]-[15] برای نمایش اعداد ورودی و

[1] Digital Signal Processors (DSPs)
[2] Least Significant Bit (LSB)
[3] Most Significant Bit (MSB)
[4] Real-Time
[5] Residue Number System (RNS)
[6] Multiply and Accumulate (MAC)
[7] Weighted

Archive of SID
www.SID.ir

خروجی استفاده می‌شود؛ درحالی‌که دستهٔ سوم متشکل از یک عمل‌وند ورودی diminished-1 و یک عمل‌وند ورودی و عمل‌وند خروجی وزن‌دار [16] است. براساس نتایج به‌دست‌آمده، ضرب‌کننده‌های دستهٔ سوم کارایی بالاتری نسبت به دو دستهٔ دیگر دارند. این دسته از ضرب‌کننده‌ها بیشتر برای کاربردهایی مناسبند که یکی از ورودی‌ها ثابت باشد [16].

با توجه به نیاز بسیاری از مدارهای VLSI همانند پردازنده‌های سیگنال دیجیتال و تراشه‌های رمزنگاری به عملیات ضرب و جمع متوالی، واحد ضرب‌جمع‌کننده‌های متعددی نیز براساس ضرب‌کننده‌های دستهٔ نخست [13] و دوم [17] ارائه شده، اما تاکنون واحد ضرب‌جمع‌کننده‌ای برای دستهٔ سوم ارائه نشده است. این دسته از ضرب‌کننده‌ها همان‌گونه که گفته شد، برای کاربردهای خاصی که بهتر است در آن‌ها یکی از ورودی‌ها ثابت باشد، مناسب هستند. در این مقاله، یک واحد جمع‌ضرب‌کنندهٔ جدید برای دستهٔ سوم پیشنهاد شده است. همچنین، با بهره‌گیری از روش خط لوله[1] و چندولتاژی[2]، مدارهای ضرب و ضرب‌جمع‌کننده پیشنهاد شده است. نتایج نشان‌دهندهٔ بهبود چشم‌گیر کارایی ساختارهای خط لوله نسبت به مدارهای ترتیبی فاقد خط لوله است.

در بخش دوم مقاله ابتدا کلیاتی در مورد سامانهٔ اعداد مانده‌ای، انواع کدگذاری‌های موجود در این سامانه و انواع واحدهای ضرب و ضرب‌جمع‌کنندهٔ موجود در آن ارائه خواهیم کرد. در بخش سوم، به ارائهٔ یک واحد ضرب‌جمع‌کنندهٔ جدید خواهیم پرداخت و سپس از روش خط لوله و چندولتاژی برای بهینه‌سازی بیشتر مدارهای ضرب و ضرب‌جمع‌کنندهٔ پیشنهادی استفاده خواهیم کرد. درنهایت، نتایج شبیه‌سازی مدارهای ارائه‌شده براساس روش خط لوله و چندولتاژی و درصد بهبود سرعت، توان مصرفی و PDP[3] آن‌ها نسبت به مدارهای قبلی در بخش چهارم بیان خواهد شد. در بخش پنجم، به ارائهٔ نتیجه‌گیری کلی این مقاله پرداخته شده است.

۲-مروری بر کارهای گذشته

۲-۱- سامانهٔ اعداد مانده‌ای

در سامانهٔ اعداد مانده‌ای، یک عدد صحیح با باقی‌مانده‌های آن به مجموعه‌ای از پیمانه‌های مستقل نمایش داده می‌شود [4]-[3]. برای مثال اگر m پیمانه به‌صورت $(m_m, m_{m-1}, ..., m_2, m_1)$ داشته باشیم، عدد X در این مجموعه پیمانه به‌صورت $(x_m, x_{m-1}, ..., x_2, x_1)$ نمایش داده می‌شود، به صورتی که:

$$x_i = X \bmod m_i = |X|_{m_i} = X - \lfloor X/m_i \rfloor \times m_i, x_i \in [0, m_i - 1\} \quad (۱)$$

که در آن $\lfloor X/m_i \rfloor$ نشان‌دهندهٔ بزرگترین عدد صحیح کوچک‌تر یا مساوی X/m_i است.

اگر پیمانه‌ها نسبت به هم اول باشند، تعداد کل اعدادی که در این سامانهٔ مانده‌ای می‌توان نمایش داد برابر خواهد بود با:

$$M = m_m \times m_{m-1} \times ... \times m_2 \times m_1 \quad (۲)$$

مزیت این سامانهٔ نمایش نسبت به سامانهٔ اعداد دودویی، امکان تبدیل اعداد بزرگ توسط مجموعه پیمانه‌ها به اعداد کوچک‌تر، امکان انجام عملیات حسابی روی اعداد هر پیمانه مستقل از سایر پیمانه‌ها بدون انتشار رقم نقلی بین پیمانه‌ها و امکان تحمل‌پذیری و کشف خطا است [3]-[4]. از معایب سامانهٔ اعداد مانده‌ای، به پیچیده‌بودن عملیات حسابی تقسیم، تعیین علامت، مقایسهٔ دامنه، تشخیص سرریز و نیاز به مدارهای مبدل بین اعداد دودویی و مانده‌ای می‌توان اشاره کرد.

در سامانهٔ اعداد مانده‌ای، مدارهای محاسباتی کوچک‌تر مورد نیاز بوده که به‌صورت موازی و مستقل از هم می‌توانند کار کنند و همین امر منجر به بهبود تأخیر، توان مصرفی و مساحت کل سامانه می‌شود؛ اگرچه یک مبدل مستقیم[4] (FC) برای تبدیل اعداد دودویی به اعداد مانده‌ای و یک مبدل معکوس[5] (RC) برای تبدیل اعداد مانده‌ای به اعداد دودویی مورد نیاز خواهد بود، اما به‌دلیل این که در اغلب کاربردهای ذکرشده نیاز به عملیات حسابی متوالی روی اعداد است، تنها به یک عمل تبدیل مستقیم و معکوس نیاز خواهیم داشت.

مجموعه پیمانه‌های متعددی در این سامانهٔ نمایش موجود است که از مهم‌ترین آن‌ها به مجموعه پیمانهٔ $\{2^n+1, 2^n, 2^n-1\}$ می‌توان اشاره کرد. همان‌طور که اشاره شد، دلیل اهمیت این مجموعه پیمانه، امکان پیاده‌سازی ساده و بهینهٔ مدارهای محاسباتی آن است. در این مجموعه پیمانه، پیمانهٔ 2^n+1 دارای مدارهای محاسباتی پیچیده‌تر نسبت به دو پیمانهٔ دیگر یعنی 2^n و 2^n-1 است، زیرا برخلاف این دو پیمانه

[1] Pipeline
[2] Multi-voltage
[3] Power Delay Product
[4] Forward Converter (FC)
[5] Reverse Converter (RC)

Archive of SID
www.SID.ir

که به n بیت برای نمایش اعداد نیاز دارند، نیاز به $n+1$ بیت برای نمایش اعداد است. درنتیجه برای بهبود عملکرد کل سامانه، منطقی است که مسیر بحرانی آن یعنی مدارهای محاسباتی پیمانهٔ 2^n+1 را بهبود بخشیم. برای حل مشکل $n+1$ بیت، کدگذاری diminished-1 به جای نمایش دودویی استاندارد (وزن‌دار) ارائه شده است که در ادامه به بررسی این دو سامانهٔ نمایش خواهیم پرداخت.

۲-۱-۱- سامانهٔ نمایش عددی وزن‌دار

این سامانهٔ نمایش، معادل همان سامانهٔ نمایش دودویی استاندارد است. درنتیجه برای نمایش اعداد به پیمانهٔ 2^n+1 همچنان $n+1$ بیت نیاز است. استفاده از مدارهای $n+1$ بیتی برای طراحی مدارهای محاسباتی اعداد به پیمانهٔ 2^n+1 به صرفه نیست؛ زیرا، با استفاده از این تعداد بیت، $2^{n+1}-1$ عدد را می‌توان نمایش داد. درحالی‌که در این پیمانه، تنها به‌ازای یک حالت و آن هم زمانی که باقیمانده برابر 2^n باشد، نیاز به $n+1$ بیت برای نمایش خواهد داشت. درنتیجه الگوریتم‌های متعددی پیشنهاد شده که اگرچه ورودی‌ها $n+1$ بیتی هستند؛ اما از مدارهای محاسباتی n بیتی برای طراحی آن‌ها استفاده شده است [11]-[13].

۲-۱-۲- سامانهٔ نمایش عددی Diminished-1

در این سامانه برای حل مشکل $n+1$ بیت برای نمایش اعداد به پیمانهٔ 2^n+1، یک واحد از عدد کم کرده و سپس آن را در پیمانهٔ 2^n+1 نمایش می‌دهند. مشکلی که در این سامانهٔ نمایش با آن مواجه هستیم، نمایش عدد صفر است؛ زیرا طبق معادلهٔ زیر همچنان به $n+1$ بیت برای نمایش عدد صفر نیاز خواهد بود. اگر نمایش عدد x را با $d[x]$ نمایش دهیم، خواهیم داشت:

$$|d[0]|_{2^n+1} = |-1|_{2^n+1} \\ = |2^n + 1 - 1|_{2^n+1} = 2^n \quad (۳)$$

که در آن $d[0]$ بیان‌گر نمایش diminished-1 عدد صفر است. در مقالات ارائه‌شده بر اساس این سامانهٔ نمایش، یا ورودی‌های صفر را در نظر نگرفته‌اند [14] یا با درنظرگرفتن یک بیت اضافه و یک سخت‌افزار جداگانه مشکل ورودی‌های صفر را نیز بر طرف کرده‌اند [15]،[17]. مشکل دیگر این سامانهٔ نمایش، نیاز به مبدل بین این سامانهٔ نمایش و نمایش وزن‌دار است.

در ادامه، به بررسی ضرب‌کننده‌های پیمانهٔ 2^n+1 برای سامانهٔ نمایش وزن‌دار و diminished-1 خواهیم پرداخت.

۲-۲- ضرب‌کننده‌های پیمانهٔ 2^n+1

ضرب‌کننده‌های پیمانهٔ 2^n+1 در حالت کلی به سه دستهٔ زیر تقسیم می‌شوند:

۱. نمایش ورودی‌ها و خروجی با استفاده از نمایش وزن‌دار [11]-[13]: ضرب‌کننده‌های ارائه‌شده در این دسته اگرچه دارای الگوریتم ساده‌تری هستند، اما به‌دلیل احتیاج به $n+1$ بیت برای نمایش متغیرها، دارای سخت‌افزار بزرگتر و درنتیجه توان مصرفی و تأخیر بیشتری هستند.

۲. نمایش ورودی‌ها و خروجی به‌صورت diminished-1 [14]-[15]: این ساختار، نیاز به مبدل بین سامانهٔ وزن‌دار و diminished-1 خواهد داشت. همچنین، در این سامانهٔ نمایش برای نمایش ورودی‌های صفر با مشکل مواجه هستیم.

۳. یکی از ورودی‌ها با نمایش diminished-1 و ورودی دیگر و خروجی با استفاده از نمایش وزن‌دار [16]: ضرب‌کننده‌های این دسته بهینه‌ترین هستند؛ اما، تنها برای کاربردهای خاص مانند فیلتر دیجیتال مناسبند که در آن یکی از ورودی‌ها ثابت و ورودی دیگر متغیر است.

اگرچه در دسته‌بندی بالا گفته شد که دستهٔ سوم ضرب‌کننده‌ها برای کاربردهایی که یکی از ورودی‌ها ثابت باشد، مناسب است، اما گفتنی است که لزومی ندارد به‌حتم یکی از ورودی‌ها ثابت باشد. درواقع، به‌دلیل این که یک ورودی دارای نمایش diminished-1 بوده و در حالت عادی نیاز به مبدل از سامانهٔ دودویی به diminished-1 دارد و با توجه به این که طبق [16] این دسته از ضرب‌کننده‌ها نسبت به دو دستهٔ دیگر از کارایی بهتری برخوردارند، پیشنهاد شده در کاربردهایی مانند پردازنده‌های سیگنال دیجیتال که یکی از ورودی‌ها می‌تواند ثابت باشد و برای کاربردهای بلادرنگ که نیازمند کارایی بسیار بالا هستند، طراحی شده‌اند، استفاده شوند؛ زیرا، در این صورت عدد ثابت (ضریب) را از پیش به نمایش diminished-1 می‌توان تبدیل کرده و در حافظه ذخیره کنیم. با این کار، دیگر تأخیر مبدل در کارایی سامانه لحاظ نخواهد شد.

با توجه به این که از پردازنده‌های سیگنال دیجیتال به‌طورعمومی برای پردازش تصاویر و فیلم استفاده می‌شود،

Archive of SID

فیلترکردن از کاربردهای رایج آن‌ها است [18]. طبق رابطهٔ (۴) فیلترکردن معادل ضرب یک سیگنال در یک بردار حاوی ضرایب و جمع نتیجهٔ هر مرحله با نتیجهٔ مرحلهٔ قبل است.

$$g[n] = \sum_{k=0}^{N-1} a[k]s[n,k]\,, n,k \in Z \qquad (۴)$$

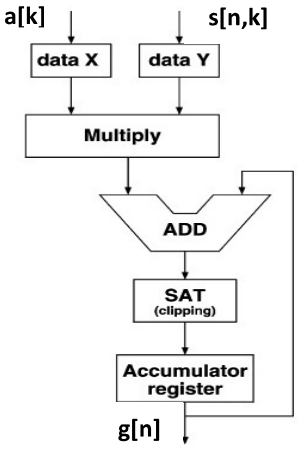
که در این رابطه، $a[k]$، $s[n,k]$ و $g[n]$ به‌ترتیب سیگنال ورودی، سیگنال ضرائب و سیگنال خروجی است. شکل (۱) نیز روند کلی عمل فیلترکردن را نشان می‌دهد. دو ورودی آن، $a[k]$ سیگنال ورودی و $s[n,k]$ سیگنال ضرایب بوده و خروجی آن، سیگنال $g[n]$ است. این دو ورودی ابتدا وارد رجیسترهای data X و data Y شده و سپس توسط واحد Multiply در هم ضرب می‌شوند. نتیجهٔ به‌دست‌آمده از این مرحله با نتیجهٔ مرحلهٔ قبل توسط واحد ADD جمع شده و سپس، توسط واحد SAT نتیجهٔ نهایی روند شده و وارد رجیستر خروجی می‌شود.

با توجه به ثابت‌بودن بردار ضرایب در بیش‌تر تبدیلات پردازش تصویر مانند تبدیل فوریه، تبدیل کسینوسی و سینوسی، از ضرب‌کننده‌های دستهٔ سوم که بهینه‌ترین ضرب‌کننده‌های سامانه اعداد مانده‌ای در پیمانهٔ 2^n+1 هستند، در ساختار پردازنده‌های سیگنال دیجیتال می‌توان استفاده کرد. در ادامه، به بررسی بهینه‌ترین ضرب‌کنندهٔ ارائه‌شده در دسته سوم خواهیم پرداخت.

این دسته از ضرب‌کننده‌ها برای کاربردهای خاصی که تنها یکی از ورودی‌ها متغیر است، کاربرد دارد. با درنظرگرفتن این شرایط، ورودی ثابت را از قبل به سامانهٔ diminished-1 می‌توان تبدیل کرده و در حافظه ذخیره کنیم. در غیر این صورت نیاز به مبدل از سامانهٔ دودویی به diminished-1 خواهیم داشت. ضرب‌کنندهٔ ارائه‌شده در [16] جزء این دسته است که توسط الگوریتم booth طراحی شده است. الگوریتم به‌گونه‌ای طراحی شده که با این که یکی از ورودی‌ها در سامانهٔ نمایش وزن‌دار است و درواقع دارای $n+1$ بیت است، اما ساختار ضرب کننده n بیتی می‌باشد. همچنین برای این‌که قابلیت پذیرش ورودی‌های صفر فراهم شود، برای نمایش ورودی diminished-1 نیز از $n+1$ بیت استفاده شده است. الگوریتم ارائه‌شده برای این دسته از ضرب‌کننده‌ها مطابق معادلهٔ (۵) است. فرض می‌کنیم ورودی A معادل سیگنال ضرایب ($s[n,k]$ در معادلهٔ (۴)) و ورودی B سیگنال ورودی ($a[k]$ در معادلهٔ (۴)) باشد.

$$P = |A \times B|_{2^n+1} = |d[A \times B] + 1|_{2^n+1}$$
$$= |d[A] \times B + B|_{2^n+1} = \left|\sum_{i=0}^{k-1} pp_i + C + K\right|_{2^n+1},$$
$$K = \begin{cases} \frac{n}{2}, & n \text{ even} \\ \frac{n+1}{2}, & n \text{ odd} \end{cases} \qquad (۵)$$

که در آن A، B ورودی‌های ضرب‌کننده (با فرض این که A به‌صورت diminished-1 و B به‌صورت وزن‌دار نمایش داده شوند) و P خروجی آن است. همچنین K، C و pp_i به‌ترتیب عدد ثابت، جملهٔ تصحیح‌کننده و حاصل‌ضرب جزئی بوده و pp_i از رابطه زیر به‌دست می‌آید:



(شکل-۱): روند عمل فیلترکردن، ارائه‌شده در [18].
(Figure-1): Filtering process, presented in [18].

$$pp_i = \left|\sum_{i=0}^{k-1} d[A \times E_i 2^{2i}\right|_{2^n+1},$$
$$E_i = \begin{cases} \overline{a_n}.\begin{Bmatrix} (b_{n-1} \vee b_n) + b_0 \\ -2((b_{n-1} \oplus b_1) \vee b_n) \end{Bmatrix} \text{ if } i = 0 \\ \overline{a_n}.\{b_1.\overline{b_{n-1}} + b_2 - 2b_3\} \text{ if } i = 1 \\ \overline{a_n}.\{b_{2i-1} + b_{2i} - 2b_{2i+1}\} \text{ if } i \neq 0,1 \end{cases} \qquad (۶)$$

که در آن a_i و b_i به‌ترتیب بیت $(i+1)$ام ورودی‌های A و B هستند. عبارت C برای برطرف‌کردن مشکل حاصل ضرب‌های جزئی که صفر می‌شوند و نیاز به $n+1$ بیت برای نمایش دارند، طراحی شده است. رابطهٔ (۷) معادلهٔ مربوط به این پارامتر را نشان می‌دهد.

$$C = \sum_{i=0}^{k-1} c_i\,, c_i = \begin{cases} 2^{2i} \text{ if } E_i = 0 \\ 0 \; if \; E_i \neq 0 \end{cases} \qquad (۷)$$

شکل (۲) ساختار این ضرب‌کننده را نشان می‌دهد. این ساختار از چهار بخش PPG[1] برای تولید حاصل ضرب‌های

[1] Partial Product Generator (PPG)

Archive of SID
www.SID.ir

جزئی، CTG[1] برای تولید جملهٔ تصحیح‌کننده، IEAC-CSA[2] برای جمع حاصل ضرب‌های جزئی و تولید دو بردار جمع و رقم نقلی و جمع‌کنندهٔ پیمانهٔ 2^n+1 در سامانهٔ نمایش diminished-1 تشکیل شده است.

طبق (۸) کافی است رقم نقلی خروجی هر طبقهٔ ساختار CSA یعنی C_n که در جایگاه پر ارزش‌ترین بیت قرار دارد، معکوس شده و به جایگاه کم‌ارزش‌ترین بیت انتقال یابد. به‌علاوه، لازم است تا یک واحد از نتیجهٔ نهایی نیز کاسته شود. درنتیجه، در هر طبقهٔ ساختار CSA اگر تنها رقم نقلی خروجی را معکوس کرده و به جایگاه کم‌ارزش‌ترین بیت انتقال دهیم، نتیجه یک واحد از نتیجهٔ مورد نظر بزرگ‌تر خواهد بود. درواقع، می‌توان فرض کرد هر طبقهٔ CSA یک واحد به نتیجهٔ نهایی می‌افزاید. به همین دلیل، با توجه به این که برای جمع K+1 حاصل ضرب جزئی به ساختار CSA به K-1 طبقه نیاز است که منجر به اضافه‌شدن K-1 واحد به نتیجهٔ نهایی می‌شود و همچنین با توجه به این که جمع‌کنندهٔ نهایی، جمع‌کنندهٔ از نوع diminished-1 بوده و خود یک واحد به نتیجهٔ نهایی می‌افزاید، دیگر نیاز به افزودن عدد ثابت K که در (۵) ظاهر شده بود، به نتیجهٔ نهایی نخواهد بود.

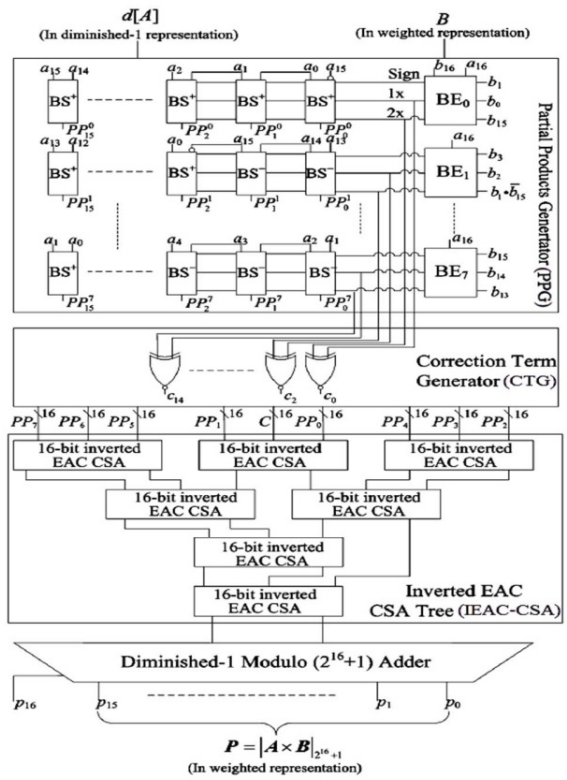
$$\begin{aligned}&\left|C_n 2^n\right|_{2^n+1} = \left|-C_n\right|_{2^n+1}\left|-C_n+2^n+1\right|_{2^n+1}\\&= \left|\overline{C_n}+2^n\right|_{2^n+1} = \left|\overline{C_n}+2^n\right|_{2^n+1}\end{aligned} \qquad (۸)$$

طبق نتایج شبیه‌سازی این ساختار به‌دلیل کم‌ترین تعداد حاصل ضرب‌های جزئی، بهینه‌ترین ساختار از لحاظ تأخیر، توان مصرفی و مساحت در میان بهترین ساختارهای موجود در هر دسته است [16].

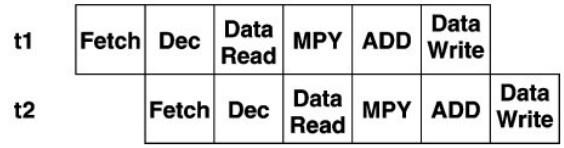
همان‌طورکه در بخش PPG در شکل (۲) مشاهده می شود، از دو واحد BE[3] و BS[4] تشکیل شده است که این دو واحد به‌ترتیب برای ایجاد ضرایب الگوریتم booth برحسب سه بیت متوالی عدد B و اعمال ضرایب حاصل به دو بیت متوالی عدد A و ایجاد حاصل ضرب جزئی متناظر، نیاز است.

۳-۲- ضرب‌جمع‌کننده‌های پیمانهٔ 2^n+1

واحد ضرب‌جمع‌کننده در ساختار پردازنده‌های سیگنال دیجیتال که برای کاربردهای پردازش تصویر طراحی شده‌اند و فیلترکردن از اصلی‌ترین وظیفهٔ آن‌ها به شمار می‌رود، کاربرد فراوان دارد.



(شکل-۲): ساختار ضرب‌کنندهٔ پیمانهٔ 2^n+1 ارائه‌شده در [16].
(Figure-2): Structure of Modulo 2^n+1 multiplier, presented in [16].



(شکل-۳): ساختار خط لولهٔ پردازندهٔ سیگنال دیجیتال [18].
(Figure-3): Structure of pipeline DSP [18].

همان‌طور که در شکل (۱) مشاهده می‌شود، به‌طور معمول عمل جمع‌ضرب متوالی نیاز به یک ضرب‌کننده و دو جمع‌کننده دارد: یک جمع‌کننده در مرحلهٔ پایانی ضرب‌کننده برای جمع دو بردار جمع و رقم نقلی حاصل از ساختار CSA و یک جمع‌کننده برای جمع نتیجهٔ حاصل ضرب با نتیجهٔ قبلی. به‌خصوص، در ساختار پردازنده‌های سیگنال دیجیتال که برای پردازش بلادرنگ روی تصویر و فیلم طراحی شده‌اند، ساختار آن‌ها به‌منظور بهبود کارایی سامانه به‌صورت خط لوله است. درنتیجه نیاز به دو چرخهٔ جداگانه برای محاسبهٔ نتیجهٔ عملیات ضرب-جمع خواهد بود. شکل (۳) مسیر یک خط لولهٔ پردازندهٔ سیگنال دیجیتال معمول را نشان می‌دهد [18]. این خط لوله از شش مرحله تشکیل شده است:

[1] Correction Term Generator (CTG)
[2] Inverted-End-Around-Carry CSA
[3] Booth Encoder
[4] Booth Selector

Archive of SID
www.SID.ir

واحد Fetch دستورالعملی را که باید اجرا شود، واکشی، واحد Dec آن را رمزگشایی، واحد Data Read داده‌های مورد نیاز در این دستورالعمل را فراخوانی می‌کند؛ واحد MPY این دو داده را در هم ضرب کرده و واحد ADD نتیجهٔ به‌دست‌آمده را با نتیجهٔ مرحلهٔ قبل جمع و واحد Data Write نتیجهٔ خروجی را در حافظه ذخیره می‌کند.

ایدهٔ پیشنهادشده در [11] بر پایهٔ تلفیق دو جمع‌کنندهٔ موجود در ساختار و استفاده از یک جمع‌کننده است. به کارگیری این ایده منجر به حذف یک سربار سخت‌افزاری بزرگ و درنتیجه بهبود چشم‌گیر کارایی کل سامانه از لحاظ تأخیر، توان مصرفی و مساحت خواهد شد.

به‌دلیل این که ساختار ضرب-جمع‌کننده‌ها بر اساس ساختار ضرب‌کننده‌ها طراحی می‌شوند، می‌توان انواع ضرب‌جمع‌کننده‌ها را نیز به سه دسته تقسیم کرد:

۱. نمایش ورودی‌ها و خروجی با استفاده از نمایش وزن‌دار
۲. نمایش ورودی‌ها و خروجی با استفاده از نمایش diminished-1
۳. یکی از ورودی‌های ضرب‌کننده با نمایش diminished-1 و نمایش ورودی دیگر ضرب‌کننده، ورودی جمع‌کننده و خروجی با استفاده از نمایش وزن‌دار.

از میان دسته‌های بالا، ساختارهای متعددی برای دو دستهٔ نخست پیشنهاد شده است؛ اما برای ساختار دستهٔ سوم تا کنون واحد ضرب‌جمع‌کننده‌ای پیشنهاد نشده است.

۳- ساختارهای پیشنهادی برای ضرب و ضرب‌جمع‌کنندهٔ پیمانهٔ 2^n+1

۳-۱- ساختار پیشنهادی ضرب‌جمع‌کنندهٔ پیمانهٔ 2^n+1

معادلهٔ ساختار ضرب‌جمع‌کنندهٔ دسته سوم به شکل زیر است:

$$P = |(A \times B) + D|_{2^n+1} = ||A \times B|_{2^n+1} + D|_{2^n+1} = ||(d[A] \times B) + B|_{2^n+1} + D|_{2^n+1} \quad (۹)$$

که در آن A و B ورودی‌های ضرب‌کننده، D ورودی جمع‌کننده و P نتیجهٔ واحد ضرب‌جمع‌کننده است. همچنین، طبق معادلهٔ (۵) داریم:

$$|d[A] \times B + B|_{2^n+1} = \left|\sum_{i=0}^{k-1} pp_i + C + K\right|_{2^n+1}$$

همان‌طورکه در بخش قبل در ساختار ضرب‌کنندهٔ پیمانهٔ 2^n+1 ارائه شده در [16] مشاهده کردیم، الگوریتم ضرب‌کننده به‌گونه‌ای طراحی شده است که جمع‌کنندهٔ نهایی در سامانهٔ diminished-1 باشد [19]؛ اما ورودی جمع‌کننده (D) در سامانهٔ نمایش وزن‌دار بوده و دارای $n+1$ بیت است. برای برطرف‌کردن این مشکل، D را به‌صورت زیر می‌توانیم بازنویسی کنیم:

$$\begin{aligned} |D|_{2^n+1} &= |d_n 2^n + D_{n-1:0}|_{2^n+1} \\ &= |d_n - 2d_n + D_{n-1:0}|_{2^n+1} \\ &= |d_n + d_n(2^n - 1) + D_{n-1:0}|_{2^n+1} \\ &= |d_n + D^*_{n-1:0}|_{2^n+1}, d_i^* = d_n \vee d_i \end{aligned} \quad (۱۰)$$

که در آن d_i نشان‌گر (i+1)امین بیت D است. حال با جای‌گذاری رابطهٔ جدید در معادلهٔ (۹) خواهیم داشت:

$$\begin{aligned} P &= ||(d[A] \times B) + B|_{2^n+1} + D|_{2^n+1} = \\ &\left|\sum_{i=0}^{k-1} pp_i + C + K + d_n + D^*_{n-1:0} - 2\right|_{2^n+1} = \\ &\left|\sum_{i=0}^{k-1} pp_i + C + K + d_n + D^*_{n-1:0} + 2^n - 1\right|_{2^n+1} \end{aligned} \quad (۱۱)$$

اضافه‌شدن جملهٔ۲- ناشی از اضافه‌شدن دو طبقهٔ CSA جدید به ساختار ضرب‌جمع‌کننده نسبت به ضرب‌کننده است؛ زیرا همان‌طور که پیش‌تر در بخش ۲-۲ گفته شد، اضافه‌شدن هر طبقهٔ CSA معادل با افزوده‌شدن یک واحد به نتیجهٔ نهایی خواهد بود. درنتیجه در این ساختار به یک جملهٔ تصحیح‌کننده برابر با 2^n-1 نیاز خواهیم داشت. با توجه به این که تمامی بیت‌های این بردار برابر یک است، طبق معادلهٔ (۱۲) می‌توان برای طراحی یکی از طبقات ساختار CSA، از نیم جمع‌کننده‌های خاص استفاده کرد.

$$S_i = \overline{x_i \oplus y_i}, C_{i+1} = x_i + y_i \quad (۱۲)$$

طبق [16]، جملهٔ تصحیح‌کنندهٔ C ایجادشده در واحد CTG به‌صورت زیر است:

$$C = (\dots 0x_{i+1}0x_i \dots 0x_1 0x_0)_2 \quad (۱۳)$$

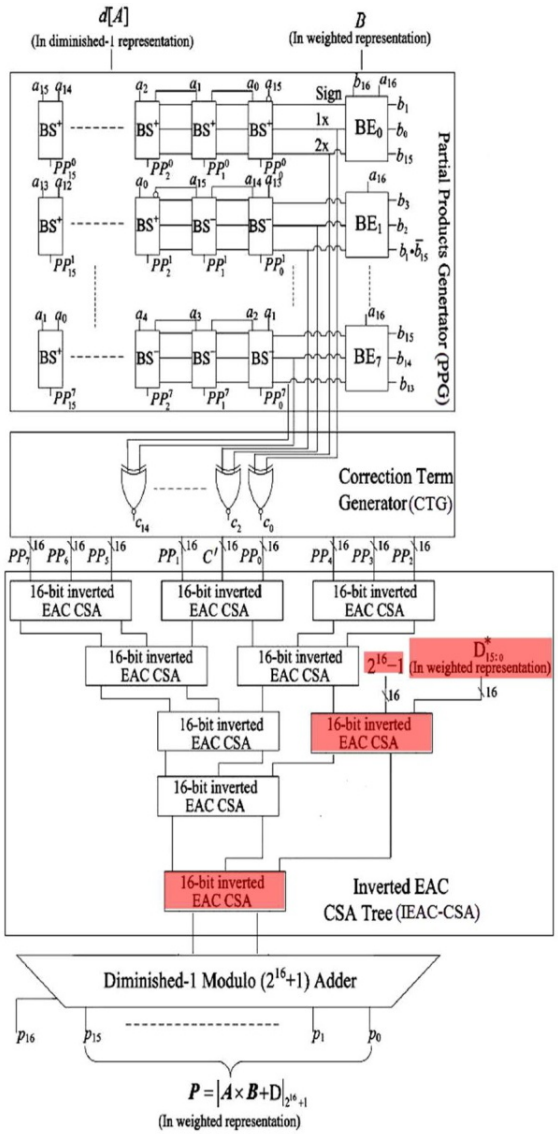
درنتیجه، از یک نیم‌جمع‌کننده برای جمع d_n با کم‌ارزش‌ترین بیت جملهٔ C، می‌توان استفاده کرد. معادلهٔ (۱۴) رابطهٔ جدید جملهٔتصحیح‌کننده را بیان می‌کند:

$$C' = (\dots 0x_{i+1}0x_i \dots 0x_1(x_0.d_n)(x_0 \oplus d_n))_2 \quad (۱۴)$$

همان‌طورکه مشاهده می‌شود، تنها در ازای افزایش یک طبقه به ساختار CSA به‌صورت سری، که تأخیر آن معادل با

Archive of SID
www.SID.ir

تأخیر یک نیم‌جمع‌کننده است، یک طبقه به ساختار CSA به‌صورت موازی، یک گیت and، یک گیت xor و n گیت or، که روی مسیر بحرانی سامانه نیستند، دو ساختار ضرب و جمعی که هر کدام یک سیکل اجرایی از پردازندهٔ سیگنال دیجیتال را تلف می‌کردند، به یک واحد ترکیبی ضرب‌جمع‌کننده کاهش یافته و درنتیجه، موجب افزایش کارایی کل سامانه خواهد شد. شکل (۴) ساختار این ضرب‌جمع‌کننده را نشان می‌دهد.



(شکل-۴): ساختار پیشنهادی ضرب-جمع‌کنندهٔ پیمانه 2^n+1.

(Figure-4): Proposed structure of modulo 2^n+1 MAC unit.

۲-۳- ساختار پیشنهادی خط لولهٔ ضرب‌کنندهٔ پیمانهٔ 2^n+1

یکی از مؤثرترین روش‌ها برای کاهش توان مصرفی پویا، استفاده از ساختار خط لوله است [20]. به‌خصوص، در ساختار پردازنده‌های سیگنال دیجیتال که خود دارای ساختار خط لوله هستند، استفاده از ساختار خط لوله برای یکی از واحدها مانند ضرب‌کننده، ساختار کلی سامانه را تغییر نداده و تنها منجر به اضافه‌شدن تعداد واحدهای ساختار خط لوله می‌شود؛ از طرفی، با تقسیم یکی از واحدهای خط لوله مانند ضرب‌کننده به واحدهای کوچکتر و با توجه به این که تأخیر هر کدام از زیر واحدها کمتر از تأخیر کل واحد ضرب‌کننده خواهد بود، فرکانس کلی سامانه در بدترین حالت تغییر نکرده و درصورتی‌که بحرانی‌ترین تأخیر متعلق به واحد تقسیم شده به‌عنوان‌مثال ضرب‌کننده باشد، با این کار فرکانس کلی سامانه را به اندازهٔ تأخیر بحرانی جدید می‌توان افزایش داد.

استفاده از ساختار خط لوله نه‌تنها از به‌وجودآمدن سیگنال‌های ناخواسته[1] که خود یکی از عوامل مؤثر در افزایش توان مصرفی است جلوگیری می‌کند، بلکه به‌دلیل ممکن‌سازی کاهش ولتاژ منبع تغذیه، منجر به کاهش چشم‌گیر توان مصرفی می‌تواند شود. درواقع، مهم‌ترین ویژگی خط لوله، امکان مصالحه[2] بین تأخیر و توان مصرفی است. این بدین معنی است که هرگاه لازم باشد، سامانه با بیشینه سرعت کار کند، از ولتاژ معمول (برای مثال ولتاژ ۱/۸ ولت در فناوری ۱۸۰ نانومتر) برای تغذیهٔ سامانه می‌توان استفاده کرد و هرگاه توان مصرفی عامل محدودیت باشد، با کاهش ولتاژ منبع تغذیه توان مصرفی را تا حد مطلوب می‌توان کاهش داد. به این روش، روش چندولتاژی گفته می‌شود.

بر اساس رابطهٔ ذکرشده در [20]:

$$P_{dyn} = \alpha C_L V_{DD}^2 f \qquad (۱۵)$$

که در آن α، C_L، V_{DD} و f به‌ترتیب بیان‌گر ضریب فعالیت[3]، خازن بار، ولتاژ منبع تغذیه و فرکانس هستند، افزودن یک سیگنال با فعالیت بالا مانند سیگنال ساعت[4] به سامانه، موجب افزایش توان مصرفی پویا می‌شود. استفاده از خط لوله این امکان را می‌دهد که با کاهش ولتاژ منبع تغذیه که طبق رابطهٔ (۱۵) توان پویا با مجذور آن رابطه دارد، توان مصرفی پویا به نسبت خوبی کاهش یابد.

---

[1] glitch
[2] Trade-off
[3] Switching activity
[4] clock

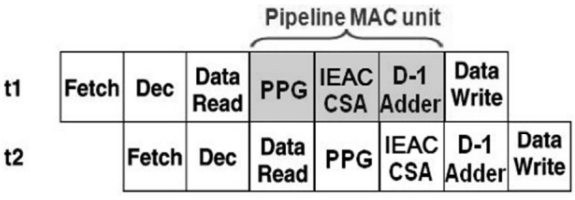
Archive

در پردازنده‌های سیگنال دیجیتال که در آن با توجه به حجم و سرعت عملیات گاه به کارایی بسیار بالا مانند تشخیص هوشیاری یا خواب‌آلودگی رانندگان و گاه به کارایی متوسط مانند پیش‌پردازش سیگنال‌های مغزی با استفاده از باتری محدود نیاز است [2] و با توجه به این که کارایی و توان هر دو با ولتاژ منبع تغذیه رابطه دارند، از پردازندهٔ خط لوله‌ای چندولتاژی می‌توان استفاده کرد.

برای افزایش کارایی ساختار ضرب‌کننده در شکل (۲)، آن را به‌صورت خط لوله می‌توان طراحی کرد. ساختار ضرب‌کنندهٔ [16] از چهار بخش PPG، CTG، IEAC-CSA و جمع‌کنندهٔ diminished-1 پیمانهٔ 2^n+1 تشکیل شده است. با توجه با این که بلوک CTG در شکل (۲) تنها از گیت‌های xor تشکیل شده است، آن را با بلوک PPG می‌توان ادغام کرد، بدون این که کارایی کل بلوک کاهش یابد. در نتیجه، می‌توان ضرب‌کننده را به یک ساختار خط لوله با سه بخش تقسیم کرد.

۳-۳- ساختار پیشنهادی خط لولهٔ ضرب‌جمع‌کنندهٔ پیمانهٔ 2^n+1

برای افزایش کارایی ساختار ضرب‌جمع‌کنندهٔ پیشنهادی در شکل (۴) نیز همانند ساختار ضرب‌کننده، از آن جا که عملیات جمع با ساختار CSA قابل انجام است، آن را به‌صورت خط لوله با سه مرحله شامل ۱) بلوک‌های PPG و CTG، ۲) بلوک‌های CSA و ۳) جمع‌کنندهٔ پیمانهٔ 2^n+1 در سامانهٔ نمایش diminished-1 می‌توان طراحی کرد [19]. شکل (۵) ساختار خط لولهٔ پردازندهٔ سیگنال دیجیتال را با بهره‌گیری از ساختار خط لولهٔ واحد ضرب‌جمع‌کننده که ایدهٔ اصلی این مقاله است؛ نشان می‌دهد.



(شکل-۵): ساختار خط لولهٔ پردازندهٔ سیگنال دیجیتال با بهره‌گیری از ساختار خط لولهٔ ضرب-جمع کنندهٔ پیشنهادی.

(Figure-5): Pipeline structure of DSP based on proposed pipeline MAC structure.

همان‌طور که در شکل (۵) مشاهده می‌شود، اگرچه تعداد مراحل خط لولهٔ ساختار پیشنهادی یک مرحله نسبت به ساختار قبلی (شکل (۳)) افزایش یافته است، اما با توجه به این که در ساختار جدید، تأخیر هر کدام از مراحل PPG و CTG، CSA و جمع‌کننده، بسیار کمتر از تأخیر کل واحد ضرب یا جمع‌کنندهٔ مجزا است، کارایی کل سامانه به میزان چشم‌گیری بهبود خواهد یافت.

۴-نتایج شبیه سازی و سنتز مدارهای پیشنهادی ضرب و ضرب‌جمع‌کنندهٔ پیمانهٔ 2^n+1

۴-۱- مقایسه مدارهای ضرب‌جمع‌کنندهٔ پیمانهٔ 2^n+1

در این بخش، بهینه‌ترین ساختارهای ضرب‌جمع کنندهٔ پیمانهٔ 2^n+1 مربوط به دو دسته نخست و نیز ساختار ضرب‌جمع کنندهٔ پیمانهٔ 2^n+1 پیشنهادی مربوط به دسته سوم مورد بررسی و مقایسه قرار می‌گیرند. از دستهٔ نخست، ضرب‌جمع‌کنندهٔ ارائه‌شده در [13] و از دستهٔ دوم ضرب‌جمع‌کنندهٔ ارائه‌شده در [17] توسط زبان توصیف سخت‌افزار (VHDL) پیاده‌سازی شده‌اند. نتایج سنتز مدارها از نرم‌افزار synopsys design vision با استفاده از کتابخانهٔ tsmc180 (۱۸۰ نانومتر) و تحت شرایط typical (ولتاژ منبع تغذیه برابر ۱/۸ ولت و دمای ۲۵ درجهٔ سانتی‌گراد) به‌ازای هشت بیت برای همهٔ مدارها در جدول (۱) آورده شده است.

(جدول-۱): نتایج سنتز ضرب‌جمع‌کننده‌های پیمانهٔ 2^n+1 به‌کمک نرم‌افزار Synopsys Design Vision.

(Table-1): Synthesis result of modulo 2^n+1 MAC provided by Synopsis Design Vision tool.

پارامتر	ضرب‌جمع‌کنندهٔ (افستاتیو، موشوپولوس، اکسلوس و پکمستزی (2014	ضرب‌جمع‌کنند ۀ (افستاتیو و وویباتزیس (2011	ضرب‌جمع‌کنندهٔ پیشنهادی
مساحت (μm^2)	5871.1	6356.75	5688.14
توان دینامیک (μw)	12.92	14.58	9.99
توان استاتیک (nw)	59.9	56.72	55.26
تأخیر (ns)	2.28	2.02	2.13

Archive of SID
www.SID.ir

ضرب‌جمع‌کنندهٔ پیشنهادی	ضرب‌جمع‌کنندهٔ (افستاتیو و وویباتزیس 2011)	ضرب‌جمع‌کنندهٔ (افستاتیو، موشوپولوس، اکسلوس و پکمستزی 2014)	پارامتر
21.27	29.45	29.46	(fj) PDP
ندارد	دارد	ندارد	تاخیر مبدل

۲-۴- مقایسهٔ مدارهای خط لوله‌ای ضرب و ضرب‌جمع‌کنندهٔ پیمانهٔ 2^n+1 پیشنهادی

مدارهای ترتیبی[1] و خط لولهٔ واحدهای ضرب و ضرب‌جمع‌کنندهٔ پیمانهٔ 2^n+1 پیشنهادی در دو حالت بیشینه کارایی و حالت کم‌توان (روش چندولتاژی) توسط نرم‌افزار Cadence Design Systems شبیه‌سازی و سنتز شده‌اند. شبیه‌سازی (با ولتاژ منبع تغذیه برابر ۱/۸ و ۱ ولت و فناوری ۱۸۰نانومتر) و برای پیمانهٔ 2^8+1 صورت گرفته است. همان‌طورکه در شکل (۵) مشاهده می‌شود، ساختار خط لولهٔ ضرب‌جمع‌کننده شامل سه بلوک PPG و CTG، CSA و جمع‌کنندهٔ diminished-1 است. همچنین بین مراحل خط لوله بانک‌های رجیستری هشت بیتی برای ایزوله‌کردن واحدهای خط لوله قرار می‌گیرند.

برای طراحی همهٔ گیت‌ها به غیر از گیت xor [21] و flipflop [22] که توسط pass transistor ها طراحی شده‌اند، از منطق CMOS استفاده شده است. منطق CMOS به‌دلیل خاصیت عدم نوفه‌پذیری و تقویت سیگنال تضعیف‌شده، نسبت به سایر منطق‌ها دارای برتری است؛ اما تعداد بالای ترانزیستورهای مورد نیاز و درنتیجه توان مصرفی و مساحت بالای آن نسبت به منطق ترانزیستور عبوری[2]، موجب شده که برای طراحی برخی از گیت‌های طرح از منطق pass transistor، که قابل پیاده‌سازی با تعداد کمتری ترانزیستور نسبت به منطق CMOS است، استفاده شود.

با توجه به این که ولتاژ منبع تغذیهٔ مدار خط لوله بسته به شرایطی که در آن کار می‌کند می‌تواند متفاوت باشد (روش چندولتاژی)، مدارهای مذکور یک بار تحت شرایط کمترین تأخیر (به‌ازای ولتاژ منبع تغذیه برابر ۱/۸ ولت) و بار دیگر تحت شرایط کم‌توان (به‌ازای ولتاژ منبع تغذیه برابر ۱ ولت) شبیه‌سازی شده‌اند. جدول (۲) و (۳) نتایج شبیه‌سازی را نشان می‌دهند.

(جدول-۲): نتایج سنتز ضرب‌کننده‌های خط لوله‌ای پیمانهٔ 2^n+1 به‌کمک نرم‌افزار Cadence Design Systems.

(Table-2): Synthesis Result of Modulo 2^n+1 pipeline multiplier provided by Cadence Design Systems tool.

مدار خط لولهٔ پیشنهادی (شرایط بیشینه کارایی)	مدار خط لولهٔ پیشنهادی (شرایط کم‌توان)	مدار ترتیبی ضرب‌کنندهٔ (چن، یائو و وو 2011)	پارامتر
2914	555.2	1953	توان دینامیک (µw)
1611.9	257.6	558.72	توان استاتیک (µw)
1.55	3.4	3.4	تأخیر (ns)
4.56	1.887	6.64	(fj) PDP

(جدول-۳): نتایج سنتز ضرب‌جمع‌کننده‌های خط لوله‌ای پیمانهٔ 2^n+1 نرم‌افزار Cadence Design Systems.

(Table-3): Synthesis Result of Modulo 2^n+1 pipeline MAC provided by Cadence Design Systems tool.

مدار خط لولهٔ پیشنهادی (شرایط بیشینه کارایی)	مدار خط لولهٔ پیشنهادی (شرایط کم‌توان)	مدار ترتیبی ضرب-جمع کنندهٔ پیشنهادی	پارامتر
3627	804.21	2694	توان دینامیک (µw)
2010	357.8	752.22	توان استاتیک (µw)
1.55	3.4	3.4	تأخیر (ns)
5.62	2.73	9.16	(fj) PDP

با توجه به نتایج شبیه‌سازی، در شرایط کم‌توان مدار خط لولهٔ ضرب‌کننده ۷۲ درصد توان مصرفی را نسبت به مدار ترتیبی ضرب‌کنندهٔ فاقد خط لولهٔ ارائه‌شده در [16] بدون

[1] به مدارهای ترکیبی ضرب و ضرب-جمع‌کننده به همراه دو رجیستر فایل در ابتدا و انتهای ساختار آن‌ها گفته می‌شود.

[2] Pass transistor

Archive of SID

کاهش کارایی مدار، بهبود می‌بخشد. همچنین، برای واحد ضرب‌جمع‌کنندهٔ پیشنهادی درصد بهبود توان مصرفی مدار خط لوله نسبت به مدار ترتیبی فاقد خط لوله، برابر ۷۱ درصد است. در شرایط بیشینه کارایی نیز، اگرچه توان مصرفی مدارهای خط لوله نسبت به مدارهای ترتیبی افزایش یافته است، اما با کاهش ۵۴ درصدی تأخیر، PDP واحدهای ضرب و ضرب‌جمع‌کنندهٔ پیشنهادی دارای خط لوله به‌ترتیب ۳۱ و ۳۹درصد بهبود یافته است.

۵- جمع‌بندی

فعالیت‌ها و نوآوری‌های مقالهٔ حاضر را به‌صورت زیر می‌توان خلاصه کرد:

- ارائهٔ واحد ضرب‌جمع‌کنندهٔ جدید بر اساس بهینه‌ترین ساختارهای ضرب و جمع‌کنندهٔ موجود در پیمانهٔ 2^n+1. این ساختار اگرچه تأخیر بیشتری نسبت به ضرب‌جمع‌کنندهٔ diminished-1 ارائه‌شده در [17] دارد؛ اما به‌دلیل کاهش ۳۱ و ۲۳درصدی توان مصرفی به‌ترتیب نسبت به ساختارهای ارائه‌شده در [13] و [17]، معیار PDP را ۲۸ درصد نسبت به هر دو ساختار بهبود بخشیده است. همچنین ساختار پیشنهادی به‌ترتیب ۱۰ و ۳ درصد مساحت کمتری نسبت به ساختارهای ارائه‌شده در [13]،[17] اشغال می‌کند.
- ارائهٔ ساختار خط لوله‌ای و بهره‌گیری از روش چندولتاژی برای بهینه‌ترین ساختار ضرب‌کنندهٔ موجود در پیمانهٔ 2^n+1. در شرایط کم‌توان مدار خط لولهٔ ضرب‌کنندهٔ پیشنهادی۷۲ درصد توان مصرفی را نسبت به مدار ترتیبی ضرب‌کنندهٔ فاقد خط لولهٔ ارائه‌شده در [16]، بدون کاهش کارایی مدار، بهبود می‌بخشد. در شرایط بیشینهٔ کارایی نیز اگرچه توان مصرفی مدار خط لوله نسبت به مدار ترتیبی فاقد خط لوله افزایش یافته است، اما با کاهش ۵۴ درصدی تأخیر، PDP مدار خط لولهٔ ضرب‌کنندهٔ پیشنهادی ۳۱ درصد بهبود یافته است.
- ارائهٔ ساختار خط لوله‌ای و بهره‌گیری از روش چندولتاژی برای ساختار پیشنهادی ضرب‌جمع‌کنندهٔ پیمانهٔ 2^n+1 که برای پردازنده‌های سیگنال دیجیتال مناسب است. در شرایط کم‌توان مدار خط لولهٔ ضرب‌جمع‌کنندهٔ پیشنهادی ۷۱ درصد توان مصرفی را نسبت به مدار ترتیبی ضرب‌جمع‌کنندهٔ پیشنهادی فاقد خط لوله، بدون کاهش کارایی مدار، بهبود می‌بخشد. در شرایط بیشینه کارایی نیز اگرچه توان مصرفی مدار خط لوله نسبت به مدار ترتیبی فاقد خط لوله افزایش یافته است، اما با کاهش ۵۴ درصدی تأخیر، PDP مدار خط لولهٔ ضرب‌جمع‌کنندهٔ پیشنهادی ۳۹ درصد بهبود یافته است.

طبق شبیه‌سازی‌های انجام‌گرفته، نتایج مقالهٔ حاضر را به‌صورت زیر می‌توان خلاصه کرد:

- ضرب‌جمع‌کنندهٔ پیشنهادی که تلفیقی از عمل‌وند ورودی diminished-1 و عمل‌وندهای ورودی و خروجی وزن‌دار است، بهینه‌ترین ضرب‌جمع‌کننده از نظر توان مصرفی، مساحت و PDP در مقایسه با سایر ضرب‌جمع‌کننده‌های موجود در نمایش عددی وزن‌دار و diminished-1 است.
- مدارهای خط لوله با بهره‌گیری از روش چندولتاژی منجر به بهبود چشم‌گیر تأخیر در شرایط بیشینه کارایی و نیز بهبود توان مصرفی و PDP در شرایط کم‌توان نسبت به مدارهای ترتیبی موجود بدون خط لوله می‌شوند.

۶- مراجع 6- References

[1] تیمارچی سمیه. طراحی و پیاده‌سازی سیستم‌های اعداد مانده‌ای افزونه کارا. رساله‌ی دکتری، دانشگاه شهید بهشتی، فصل‌های ۱ و ۲، ۱۳۸۸ .

[2] رجائیان علی، گرایلو هادی. طراحی و ساخت یک سیستم تشخیص خواب آلودگی راننده مبتنی بر پردازش‌گر سیگنال TMS320C5509A. پردازش علائم و داده‌ها، ۱۴ (۱) :۸۳-۹۸، ۱۳۹۶.

[1] Timarchi, S. Design and Implementation of Efficient Redundant Residue Number Systems, Ph.D dissertation. Shahid Beheshti University, chapter 1-2, 2010.

[2] Rajaeian, A., Grailu, H. Implementation of a Driver Drowsiness Detection System Based on TMAS320C5505A DSP Processor. JSDP; 14 (1) :83-98, 2017.

[3] Timarchi, S., Ghayour, P. and Shahbahrami, A. A novel high-speed low-power binary signed-digit adder. In *Computer Architecture and Digital Systems (CADS), 2012 16th CSI International Symposium on* (pp. 70-74). IEEE, May, 2012.

[4] Timarchi, S., Fazlali, M. and Cotofana, S.D. A unified addition structure for moduli set $\{2^n-1, 2^n, 2^n+1\}$ based on a novel RNS representation. In *Computer Design (ICCD), 2010 IEEE*

Archive of SID
www.SID.ir

[17] Efstathiou, C. and Voyiatzis, I. On the diminished-1 modulo 2 N+ 1 fused multiply-add units. In *Design & Technology of Integrated Systems in Nanoscale Era (DTIS), 2011 6th International Conference on* (pp. 1-5). IEEE, April, 2011.

[18] Illgner, K. DSPs for image and video processing. *Signal Processing*, *80*(11), pp.2323-2336, 2000.

[19] Timarchi, S., Kavehei, O. and Navi, K. Low Power Modulo 2 n+ 1 Adder Based on Carry Save Diminished-One Number System. *American Journal of Applied Sciences*, *5*(4), pp.312-319, 2008.

[20] Piguet, C. *Low-power CMOS circuits: technology, logic design and CAD tools*. CRC Press, 2005.

[21] Zimmermann, R. and Fichtner, W. Low-power logic styles: CMOS versus pass-transistor logic. *IEEE journal of solid-state circuits*, *32*(7), pp.1079-1090, 1997.

[22] Strollo, A.G.M. and De Caro, D. Low power flip-flop with clock gating on master and slave latches. *Electronics Letters*, *36*(4), pp.294-295, 2000.

نگار اکبرزاده مدرک کارشناسی و کارشناسی ارشد خود را در رشتهٔ مهندسی برق-الکترونیک گرایش دیجیتال در سال‌های ۱۳۹۳ و ۱۳۹۵ از دانشگاه شهید بهشتی اخذ کرد؛ ایشان هم‌اکنون دانشجوی دکترای رشتهٔ مهندسی کامپیوتر گرایش معماری سامانه‌های کامپیوتری در دانشگاه صنعتی شریف است. زمینه‌های پژوهشی وی معماری کامپیوتر و مدارهای حسابی است.

نشانی رایانامه ایشان عبارت است از:

akbarzadeh@ce.sharif.edu

سمیه تیمارچی مدرک کارشناسی خود را در رشتهٔ مهندسی کامپیوتر گرایش سخت‌افزار در سال ۱۳۸۱ از دانشگاه شهید بهشتی، کارشناسی ارشد خود را در رشتهٔ مهندسی کامپیوتر گرایش معماری سامانه‌های کامپیوتری در سال ۱۳۸۳ از دانشگاه صنعتی شریف و دکترای خود را در سال ۱۳۸۸ از دانشگاه شهید بهشتی اخذ کرد؛ ایشان هم‌اکنون استادیار دانشکدهٔ مهندسی برق در دانشگاه شهید بهشتی است. زمینه‌های پژوهشی وی معماری کامپیوتر و مدارهای حسابی است.

نشانی رایانامه ایشان عبارت است از:

S_timarchi@sbu.ac.ir

International Conference on (pp. 247 - 252). IEEE, October, 2010.

[5] Ramirez, J., Garcia, A., Lopez-Buedo, S. and Lloris, A. RNS-enabled digital signal processor design. *Electronics Letters*, *38*(6), pp.266-268, 2002.

[6] Bernocchi, G.L., Cardarilli, G.C., Del Re, A., Nannarelli, A. and Re, M. Low-power adaptive filter based on RNS components. In *Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on* (pp. 3211-3214). IEEE, May, 2007.

[7] Marino, F., Stella, E., Branca, A., Veneziani, N. and Distante, A. Specialized hardware for real-time navigation. *Real-Time Imaging*, *7*(1), pp.97-108, 2001.

[8] Meyer-Bäse, U., García, A. and Taylor, F. Implementation of a communications channelizer using FPGAs and RNS arithme-tic. *Journal of VLSI signal processing systems for signal, image and video techno-logy*, *28*(1-2), pp.115-128, 2001.

[9] Bajard, J.C. and Imbert, L. A full RNS implementation of RSA. *IEEE Transactions on Computers*, *53*(6), pp.769-774, 2004.

[10] Leibowitz, L. A simplified binary arithmetic for the Fermat number transform. *IEEE Transactions on acoustics, speech, and signal processing*, *24*(5), pp.356-359, 1976.

[11] Zimmermann, R. Efficient VLSI implementation of modulo (2/sup n//spl plusmn/1) addition and multiplication. In *Computer Arithmetic, 1999. Proceedings. 14th IEEE Symposium on* (pp. 158-167). IEEE, 1999.

[12] Efstathiou, C., Pekmestzi, K. and Axelos, N. August. On the Design of Modulo 2^ n+ 1 Multipliers. In *Digital System Design (DSD), 2011 14th Euromicro Conference on* (pp. 453-459). IEEE, 2011.

[13] Efstathiou, C., Moshopoulos, N., Axelos, N. and Pekmestzi, K. Efficient modulo 2n+ 1 multiply and multiply-add units based on modified Booth encoding. *Integration, the VLSI Journal*, *47*(1), pp.140-147, 2014.

[14] Efstathiou, C., Vergos, H.T., Dimitrakopoulos, G. and Nikolos, D. Efficient diminished-1 modulo 2/sup n/+ 1 multipliers. *IEEE Transactions on Computers*, *54*(4), pp.491-496, 2005.

[15] Lv, X. and Yao, R. Efficient diminished-1 modulo 2 n+ 1 multiplier architectures. In *Neural Networks (IJCNN), 2014 International Joint Conference on* (pp. 481-486). IEEE, July, 2014.

[16] Chen J.W., Yao R.H., Wu W.J. Efficient Modulo 2n+1 multipliers. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, pp. 2149–2157, 2011.

Archive of SID