Archive of SID

طراحی و شبیه سازی ضرب‌کننده سریال تپشی برای اعداد طولانی با VHDL

فهیمه یزدان‌پناه* و عباس وفایی**

گروه مهندسی کامپیوتر، دانشکدهٔ فنی و مهندسی، دانشگاه اصفهان

(دریافت مقاله: ۸۲/۲/۶– دریافت نسخه نهایی: ۸۶/۵/۱۴)

چکیده – در این کار روند طراحی و مدلسازی یک ضرب‌کننده سریال تپشی برای اعداد بدون علامت با کمک زبان توصیف سخت‌افزار **VHDL** بر روی **FPGA** بررسی می‌شود. در این روش حاصل ضرب به صورت کامل بدون وارد کردن کلمه صفر بین دو داده متوالی، روی خطوط خروجی ظاهر می‌شود. ضرب‌کننده پیشنهادی بر اساس یک ضرب‌کننده سری/ موازی که با بهره‌وری ۱۰۰٪ کار می‌کند، پایه‌گذاری شده است، که محاسبات قسمت کم‌ارزش و قسمت پرارزش حاصل در دو مرحله که همپوشانی دارند، انجام می‌شود. با حذف تعدادی از عناصر تاخیر و نیز ادغام هر دو سلول مجاور در مدار مورد نظر، مدار به صورت تپشی کار خواهد کرد. ضمن اینکه با اعمال تغییراتی در ورودی موازی، هر دو ورودی مدار می‌توانند به صورت سری اعمال شوند. از جنبه‌های مهم این طرح این است که حاصلضرب به صورت کامل، سریع و بدون تاخیر به‌دست می‌آید. در نتیجه برای ضرب اعداد طولانی به صورت پیوسته مناسب است. مدار پیشنهاد شده ضمن داشتن مزایای ذکر شده از لحاظ حجم سخت افزار مورد نیاز تفاوت چندانی با مدارهای مشابه قبلی ندارد.

واژگان کلیدی : ضرب‌کننده سریال، آرایه‌های تپشی، **VHDL**، **FPGA**.

Design and Implementation of a High Speed Systolic Serial Multiplier and Squarer for Long Unsigned Integer Using VHDL

F. Yazdanpanah and A. Vafaei

Department of Computer Engineering, Faculty of Engineering, University of Esfahan

Abstract: ***A systolic serial multiplier for unsigned numbers is presented which operates without zero words inserted between successive data words, outputs the full product and has only one clock cycle latency. The multiplier is based on a modified serial/parallel scheme with two adjacent multiplier cells. Systolic concept is a well-known means of intensive computational task through replication of functional units and their repetitive use. Digital signal processing applications often involve high-***

---

* – دانشجوی کارشناسی ارشد ** – استادیار

www.SID.ir

Archive of SID

speed sequential data. Bit-serial processing in particular can result in efficient communications, both within and between VLSI chips because of the reduced number of interconnections required. Serial input multipliers have received considerable attention, particularly for hardwired VLSI algorithms used in signal processing application, due to their minimal chip area required for interconnections. Bit-serial architectures are often used in parallel systems with high connectivity to reduce the wiring down to a reasonable level. The conventional add-shift technique for multiplication, which uses a minimum number of gates, is inexpensive to implement, but too slow to achieve the desired result. Iterative array multipliers are needed to satisfy the high speed requirement of systems. With the advantage of high scale integration, the hardware is not regarded as a major obstacle in implementation.

Keywords: ***Systolic arrays, Serial multiplier, Systolic multiplier, FPGA and HDL.***

۱- مقدمه

معمولا ازمحاسبات سریال برای کاهش سیم بندی تا سطح مقبولی در کاربردهایی که با اعداد طولانی سر و کار دارند استفاده می‌شود. با پیشرفت ارتباطات و فناوری در زمینه‌های پردازش سیگنالهای دیجیتال، پردازش تصویر و صوت، سیستمهای بلادرنگ و رمزنگاری، نیاز به ساخت ضرب‌کننده‌های سریع به عنوان یک بخش اساسی سیستمهای ذکر شده، برای اعداد بزرگ بیشتر احساس شد. کاربرد ضرب‌کننده‌های سری/موازی به دلیل سادگی ساختار بسیار متداول است، اما این نوع ضرب‌کننده‌ها به دلیل داشتن خطوط طولانی انتقال داده که سبب کاهش فرکانس کاری می‌شود و هم بعضا به دلیل اتصالات متعدد و در نتیجه نیاز به سطح سیلیکن بیشتر برای خیلی از کاربردها مناسب نیستند. همچنین سیمهای طولانی که در ضرب کننده‌های سری/موازی حامل داده هستند باعث محدودیت در فرکانس کاری مدار می‌شوند. به منظور استفاده در این قبیل کاربردها و نیز استفاده بهینه از سطح تراشه ضرب‌کننده‌های سریال مطرح شده‌اند. محاسبات سریال باعث کاهش سیم‌بندی تا سطح مقبولی درکاربردهایی که با اعداد طولانی سروکار دارند، می‌شود و اگر این ضرب کننده‌ها به صورت تپشی پیاده سازی شوند مشکل خطوط طولانی داده نیز مرتفع می‌شود.

برای افزایش سرعت، ساختار یافته کردن و کاهش مسیرهای طولانی داده، اکثر ضرب‌کننده‌های سریال به صورت آرایه‌های تپشی[1] طراحی می‌شوند. در تکنولوژی VLSI، طراحی مدولار و برقراری اتصالات داخلی محلی (و در نتیجه کوتاه)، حائز اهمیت است. دلیل این موضوع هزینه بالای ارتباطات و مسیریابی و نیز اثر انتشار عمومی داده در کاهش فرکانس سیگنال ساعت است.

آرایه‌های تپشی مفاهیم شناخته شده‌ای برای طراحی سیستمهای پرقدرت محاسباتی سریع‌اند که عموما با داشتن واحدهای مشابه و استفاده از تکنیک خط لوله، سرعت طراحی و ساخت مدار و هم سرعت اجرای عملکرد سیستم را بالا می‌برند. معماری تپشی اولین بار توسط کونگ و لیسرسون مطرح شده و به مرور زمان تکمیل شده است[۱و۲]. یک سیستم تپشی، شبکه‌ای منظم از عناصر پردازشی متصل به هم است که هر یک قادر به انجام چند عمل ساده‌اند. داده‌های ورودی و نتایج میانی بین عناصر آرایه در یک یا چند جهت در جریان هستند، تا پس از اتمام عملیات، نتایج از طریق عناصر مرزی قابل دسترسی باشند.این نوع آرایه‌ها به عنوان یک راه‌حل ایدئال برای کاربردهای محاسباتی که فرایندهای همروند، سنکرون، منظم و باقاعده را به صورت مرحله‌ای روی هر نوع داده انجام می‌دهند، مطرح شده‌اند[۳].

انعطاف پذیری تراشه‌های برنامه پذیر FPGA و سادگی زبانهای توصیف سخت‌افزار و ابزارهای سنتز دیجیتال باعث می‌شود که FPGA تکنولوژی مناسب برای طراحی و پیاده سازی سریع سیستمهای نمونه[2] با هزینه پایین در محیطهای دانشگاهی باشد. به خصوص آرایه‌های تپشی با داشتن سلولهای یکسان و نیز ارتباطات محلی منظم به صورت موثری روی تراشه‌های FPGA نگاشت می‌شوند.

ضرب‌کننده سری/ موازی ذکر شده در [۴] به دلیل ساده بودن مدار داخلی، برای پیاده‌سازی ضرب‌کننده‌های سریال بیشترین کاربرد را دارد. اما عیب این ساختار این است که بین

www.SID.ir

Archive of SID

هر دو ضرب متوالی بایستی یک کلمه صفر اضافه شود بدین معنی که اگر یک ضرب کننده n*n مطرح باشد بایستی بین هر دو ورودی سریال n بیت صفر وارد کرد در نتیجه بهره‌وری[3] آن ۵۰٪ کاهش پیدا می‌کند. ضمن اینکه ساختار فوق با داشتن خطوط طولانی برای انتشار سیگنال، به صورت تپشی عمل نمی‌کند، در نتیجه برای اعداد طولانی مناسب نمی‌باشد. یک طرح سریال تپشی با بهره‌وری ۱۰۰٪ در [۵] ارائه شده است که منظور از بهره‌وری ۱۰۰٪ این است که بین هر دو کلمه داده متوالی، هیچ فاصله خالی یا صفروجود ندارد. اما این مدار حاصلضرب را به صورت منفصل از هم[4] و با تاخیر انتشاری برابر با زمان یک بیت داده‌های ورودی ارائه می‌دهد. طرح معرفی شده در [۶] حاصلضرب کامل[5] را به صورت سریال و با بهره وری ۱۰۰٪ محاسبه می‌کند، البته تاخیر انتشاری آن به جای خود باقی است و احتیاج به سخت افزار اضافی نیز دارد

معماریهای ارائه شده در [۷و۸] بدون تاخیر انتشاری، حاصل کامل را با بهره‌وری ۱۰۰٪ تحویل می‌دهد. البته این مدارها نیز نیاز به سخت‌افزار اضافه دارند، ضمن اینکه به صورت تپشی عمل نمی‌کنند. در این ساختارها با به‌کارگیری تکنیکهای خط لوله، قسمت پرارزش و کم‌ارزش حاصل در دو مرحله که با هم همپوشانی دارند، محاسبه می‌شود.

در سالهای اخیر طرحهایی برای ضرب اعداد بزرگ به‌صورت تپشی مطرح شده است [۹-۱۱]. در[۱۱] دو ساختار ضرب کننده تپشی کاملا سریال معرفی شده است. ادعا می‌شود که ساختار اول این مقاله اولین ضرب کننده کاملا سریال گزارش شده در متون علمی با کارایی و سرعت قابل قیاس با ضرب کننده‌های سری/ موازی موجود است.

در این مقاله ابتدا ساختار یک ضرب‌کننده سری/موازی با بهره‌وری ۱۰۰٪ بررسی و رفع اشکال می‌شود. سپس با اعمال تغییراتی، این مدار به ضرب‌کننده تپشی با ساختاری جدید تبدیل می‌شود. با استفاده از تکنیکهای خط لوله، هر دو ورودی به‌صورت سریال به مدار اعمال می‌شوند. ضرب‌کننده سریال تپشی حاصل، ضرب اعداد طولانی بدون علامت را با بهره‌وری ۱۰۰٪ و ارائه حاصل کامل در دو مرحله انجام می‌دهد.این طرح از لحاظ حجم سخت افزار مورد نیاز با طرحهای موجود قابل قیاس است.

۲- ضرب‌کننده سری/ موازی تپشی

از آنجا که در ضرب کننده‌های مورد نظر ما حاصل در دو مرحله محاسبه می‌شود، Pl_i و Ph_i به عنوان بیتهای قسمتهای کم‌ارزش و باارزش به‌صورت زیر بیان می‌شوند:

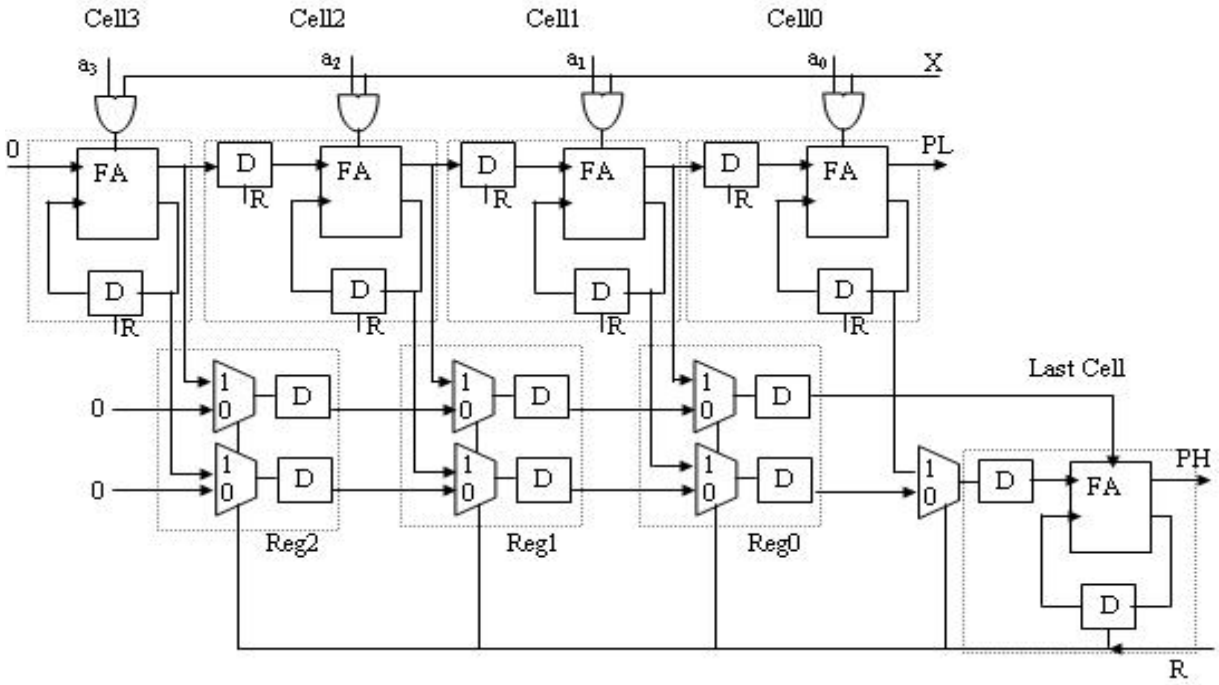
				a_3	a_2	a_1	a_0
				$\times$ x_3	x_2	x_1	x_0
				a_3x_0	a_2x_0	a_1x_0	a_0x_0
			a_3x_1	a_2x_1	a_1x_1	a_0x_1	
		a_3x_2	a_2x_2	a_1x_2	a_0x_2		
	a_3x_3	a_2x_3	a_1x_3	a_0x_3			
ph_3	ph_2	ph_1	ph_0	pl_3	pl_2	pl_1	pl_0

یک ضرب‌کننده سری/ موازی۴ بیتی خط‌لوله‌ای با بهره‌وری ۱۰۰٪ در شکل (۱- الف) نشان داده شده است که اصلاح شده مدار پایه مقاله [۴] است. داده ورودی ضرب‌کننده از طریق خط X به صورت سری و داده ورودی ضرب‌شونده به صورت موازی با خطوط a_i وارد مدار می‌شود. برای افزایش سرعت عملیات ضرب، می‌توان حاصلضرب را در دو مرحله محاسبه کرد. قسمت کم‌ارزش نتیجه روی خط Pl و قسمت پرارزش آن روی خط Ph ظاهر می‌شود. نتایج شبیه سازی مدار فوق در شکلهای (۱- ب) و (۱- ج) آمده اند. جدول (۱) نشان دهنده طرز کار آن است.

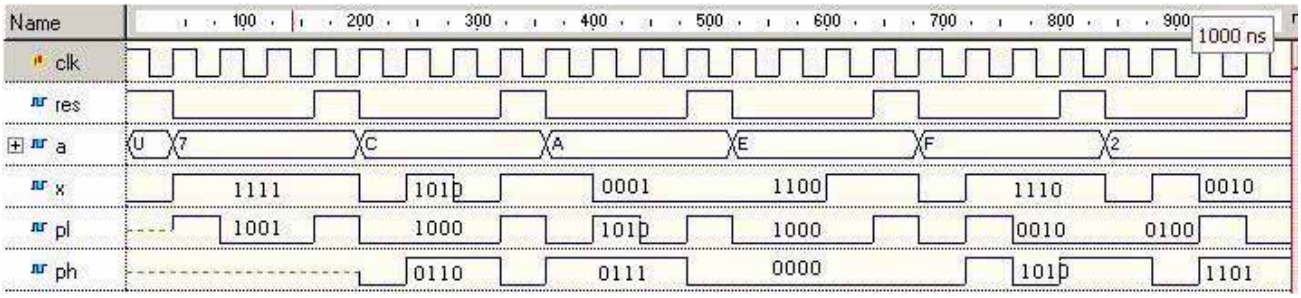
عامل اصلی محدودکننده سرعت ضرب‌کننده‌ها، تاخیر انتشاری داده در طول مدار است. این مدار با استفاده از تکنیکهای خط لوله تاخیر انتشاری را تا حد قابل توجهی کاهش داده است. سیگنال کنترل R که به پایه باز نشانی(reset) فلیپ‌فلاپ‌ها و پایه انتخاب تسهیم کننده‌ها (مالتی‌پلکسرها) متصل می‌شود، پس از راه‌اندازی اولیه سیستم نافعال می‌شود. همزمان با محاسبه پر ارزشترین بیت قسمت کم‌ارزش حاصل، سیگنال R مجددا برای یک چرخه (سیکل) فعال می‌شود تا

www.SID.ir

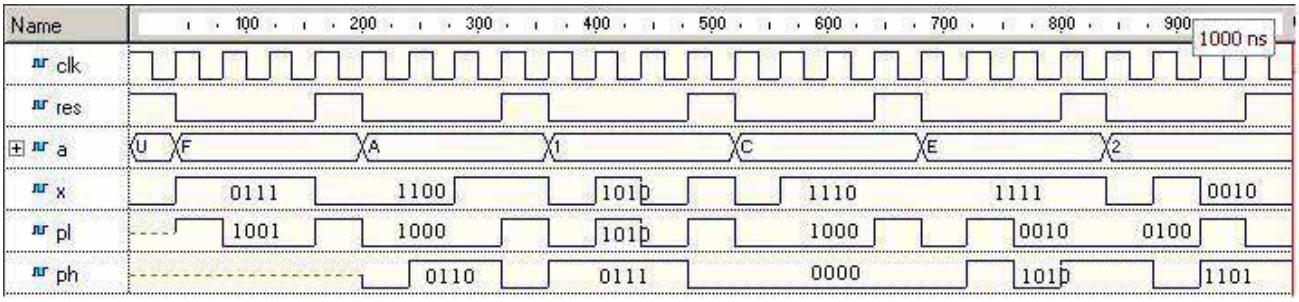
Archive of SID



شکل ۱-الف - ساختار ضرب کننده ۴ بیتی سری- موازی با تکنیک خط لوله با بهره وری ۱۰۰٪



شکل ۱- ب



شکل ۱- ج

شکلهای (۱-ب) و(۱-ج) - نتیجه شبیه سازی شکل (۱-الف) هستند.

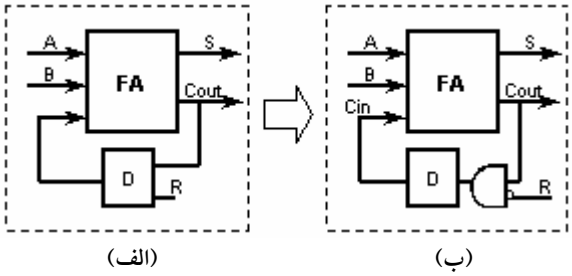
(جای a و x در شکلهای (ب) و (ج) با هم عوض شده است)

www.SID.ir

Archive of SID

www.SID.ir

Archive of SID



(الف) (ب)

شکل۲- دو نوع سلول پایه در ضرب‌کننده‌های متداول

حاصل جمع و بیت نقلی هر سلول ضرب‌کننده به یک ثبات شیفت (شیفت رجیستر) دولایه[۶] بار شود. حال قسمت پرارزش حاصل با به‌کارگیری تکنیکی مشابه با روش ذخیره بیت نقلی[۷] (CSA)، توسط یک جمع‌کننده سری محاسبه و به صورت متداول دودویی تبدیل می‌شود. علت مشابهت این است که در اینجا نیز بیت نقلی همانند روش فوق تا آخرین مرحله توسط ثبات شیفت مربوطه منتقل شده و سپس در آخرین جمع کننده به ترتیب صحیح با بقیه نتایج میانی جمع می‌شود.

روش متداول در طراحی ضرب‌کننده‌های سخت‌افزاری، روش شیفت وجمع با ذخیره بیت نقلی است. استفاده از این روش، باعث افزایش سرعت و حداکثر استفاده از تکنیکهای خط‌لوله در سطح بیتی می‌شود. زیرا برای ضرب دو عدد N بیتی، 2N چرخه ساعت نیاز دارد که N سیکل آن صرف توزیع بیتهای نقلی می‌شود.

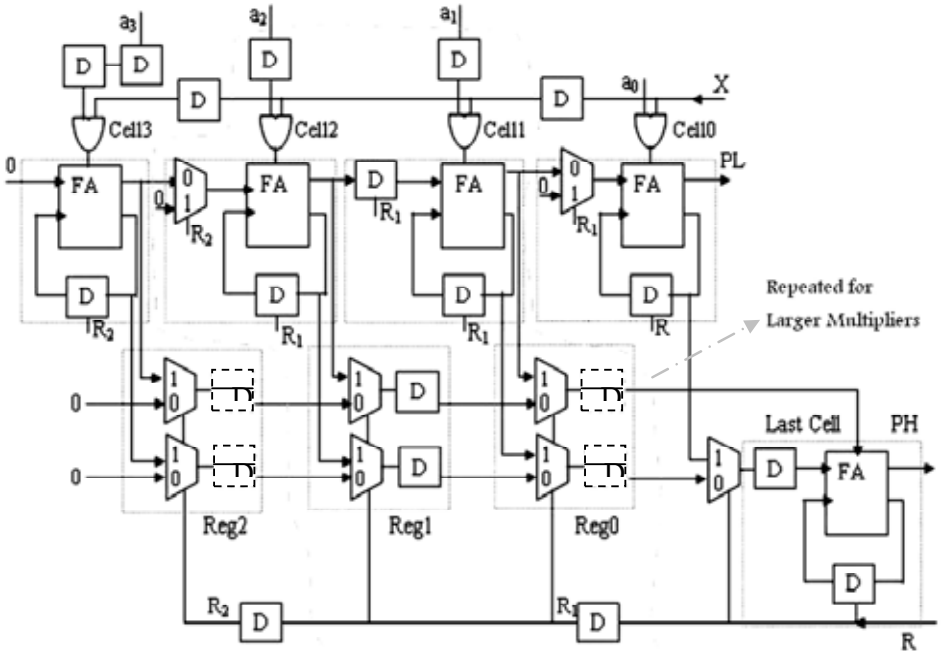
به این ترتیب در چهار چرخه بعد از فعال شدن R، روی Pl، قسمت کم‌ارزش حاصلضرب دو عدد فعلی و رویPh قسمت پرارزش حاصلضرب دو عدد قبلی ظاهر می‌شود. در زمان بارگذاری ثبات شیفت توسط سیگنال R، بایستی تمام عناصر تاخیری که روی خط مجموع (مسیر تولید PL) قراردارند، پاک شوند، در غیر این صورت روی حاصلضرب بعدی اثر می‌گذارد. برای این منظور به تمام سلولهای تاخیر روی خط مجموع(مسیر تولید PL)، سیگنال R متصل می‌شود، که بیانگر تفاوت این مدار با مدار پایه مقاله[۴] است.

شکل (۲ – الف) سلول پایه بسیاری از ضرب‌کننده‌های متداول را نشان می‌دهد. در این ساختار به دلیل بازخورد(فیدبک) مثبت از بیت نقلی خروجی به ورودی نقلی جمع‌کننده و نیز فعال شدن ناهمزمان ورودیهای جمع‌کننده، ممکن است که پالسهای ناخواسته با عرض کم[۸] روی خروجی جمع کننده ظاهر شود. این پالسها روی خروجیهای جمع‌کننده اثر نامطلوب دارند، به‌خصوص اگر این پالسها بر روی خروجی بیت نقلی بوده و دربرگیرنده لبه بالا رونده سیگنال ساعت باشند (ورودی ساعت فلیپ فلاپ‌ها در شکلهای این مقاله نشان داده نشده‌اند) چون در این صورت می‌تواند به طرف دیگر فلیپ فلاپ منتقل شده و به عنوان یک ورودی ناخواسته به حساب آید. تغییرات انجام شده در شکل (۲– ب) سبب از بین رفتن اثرپالسهای ناخواسته در خروجی خواهد شد زیرا که در این شکل سیگنال R به صورت سنکرون عمل می‌کند بالفرض اگر در حالتی سیگنال R زودتر از لبه فعال سیگنال ساعت اعمال شود در مدار شکل (۱– الف) خروجی فلیپ فلاپ D سریعا صفر شده و اگر زمان تاخیر در فلیپ فلاپ و جمع کننده کمتر از فاصله زمانی بین فعال شدن سیگنال R و لبه فعال علامت ساعت باشد در این صورت Cout مقدار جدیدی (صفر) پیدا خواهد کرد و این مقدار در لحظه لبه ساعت موثر خواهد افتاد و تعیین کننده مقدار بیت نقلی در این پریود ساعت خواهد شد که ممکن است با مقدار واقعی آن متفاوت باشد که در آن صورت سبب به وجود آمدن اشتباه خواهد شد در صورتی که در حالت شکل (۲– ب) باز نشانی فلیپ فلاپ همانند تاثیر گذاری ورودی بر روی خروجی در لحظه لبه فعال ساعت اتفاق خواهد افتاد و بنابراین فاصله زمانی مناسبی برای تاثیر گذاری منفی بازخورد مثبت موجود در مدار باقی نخواهد گذاشت.

با اعمال تغییراتی درمدار شکل (۱)، می‌توان آن را به ضرب‌کننده تپشی تبدیل کرد. بدین منظور می‌توان، با استفاده از عناصر تاخیر مدار را مجددا سازماندهی کرد [۱۰]. براساس این روش، می‌توان عناصر تاخیر از همه خطوط در یک جهت را حذف کرد و به‌جای آنها عناصر تاخیر در خطوط با جهت مخالف قرار داد. با استفاده از این ویژگی، همه فلیپ‌فلاپ‌های بعد از سلولهای ضرب‌کننده به صورت یک در میان حذف می‌شوند (سلولهای حذف شده در شکل (۳) به صورت خط‌چین

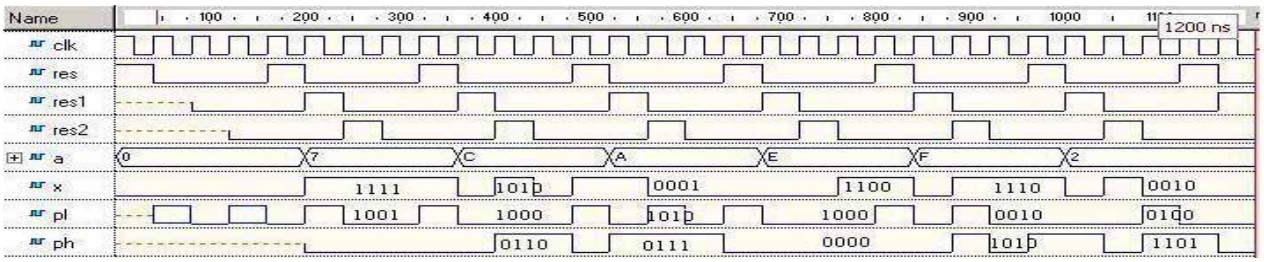
www.SID.ir

Archive of SID

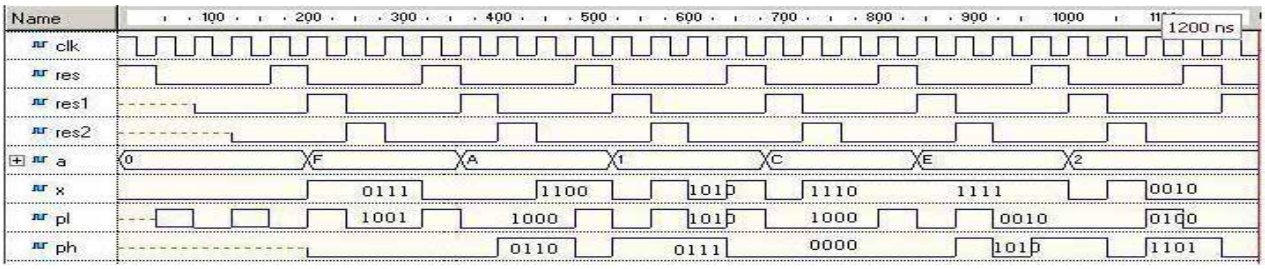


شکل (۳-الف) - ساختار ضرب کننده ۴ بیتی سری- موازی با تکنیک خط لوله و تپشی با بهره وری ۱۰۰٪

عبارات res و res1 و res2 در ردیفهای دوم و سوم و چهارم شکلهای (ب) و (ج) بالا بیان کننده R و R1 و R2 مدار شکل (۳-الف) هستند.



شکل۳ - ب



شکل۳ - ج

بخشهای ب و ج شکل نشان دهنده نتایج شبیه سازی مدار بخش الف هستند (a و x در قسمت ب و ج جابه‌جا شده اند).

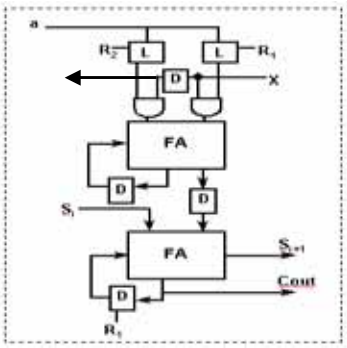
نشان داده شده‌اند) و دو فلیپ‌فلاپ در محل متناظر، یکی روی خط داده و دیگری روی خط کنترل R قرار می‌گیرند. شبیه‌سازی مدار دوم مقاله[۴] نشان می‌دهد که این مدار به درستی عمل نمی‌کند. به منظور دریافت حاصل صحیح روی خطوط خروجی، به‌جای فلیپ فلاپ‌هایی که روی خط مجموع حذف شدند، تسهیم کننده قرار داده می‌شود. این تسهیم کننده‌ها سبب پاک شدن نتایج میانی همزمان با بارگذاری ثبات شیفت می‌شوند. مدار حاصل و نتایج حاصل از شبیه سازی در شکل (۳) نشان داده شده‌اند.

www.SID.ir

Archive of SID

www.SID.ir

Archive of SID



شکل۴ – ساختار سلول پایه ضرب‌کننده سریال تپشی

با تغییراتی که در این مدار نسبت به مدار مشابه عنوان شده در مقاله[۴] انجام شده است احتیاج به اضافه کردن یک بیت صفر بین هر دو داده سری پشت سر هم وجود ندارد. در این مدار انتشار عمومی سیگنالهای X و R حذف شده است، در نتیجه همه ارتباطات مدار به استثنای سیگنال ساعت به صورت محلی است. با وجود سلولهای ساده و یکسان، می‌توان این مدار را ساختار یافته در نظر گرفت که به راحتی قابل گسترش برای انجام ضرب اعداد بزرگتر می‌باشد. ساختار یک سلول تکرار پذیر این مدار درشکل (۳– الف) با خط چین مشخص شده است.

۳– طراحی یک ضرب‌کننده سریال تپشی

با اعمال تغییراتی در مدار شکل (۳– الف)، یک ضرب کننده سریال تپشی خواهیم داشت. برای اینکه ورودی a به‌صورت سری به مدار وارد شود، در مسیر این ورودی به هر سلول، یک قفل (latch) اضافه می‌شود. در ضمن برای اینکه مانع تداخل داده‌های ورودی به هر سلول شویم، قفلهای موجود در هر سلول و یا بین هر دو سلول و تسهیم کننده‌های موجود در مدار به کمک سیگنالهای $R_{x,y}$ در زمانهای متوالی راه‌اندازی می‌شوند.

تغییر دیگری که برای جلوگیری از افزایش تاخیر انتشاری در مدار (شکل ۳– الف) داده می‌شود، ادغام دو جمع‌کننده مجاور است که بین آنها عنصر تاخیری وجود ندارد. شکل (۴) ساختار داخلی یک سلول از این نوع را نشان می‌دهد، که ترکیبی از دو سلول پایه مدار(۳–الف) است.

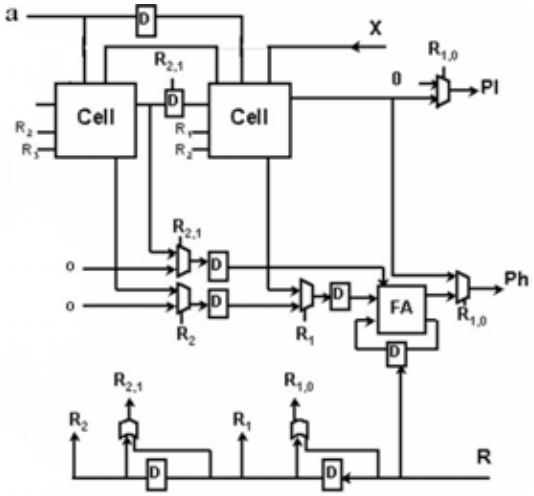
با توجه به اینکه جهت جریان داده a در خلاف جهت x است، ورود a بایستی معادل تعداد چرخه‌ای برابر با نصف بیت‌های موجوددر a نسبت به ورود x مقدم باشد. از طرفی سیگنال R یک بیت '1' را در طول خط کنترل به گردش در می‌آورد، که این سیگنال یک چرخه قبل از رسیدن کم‌ارزشترین بیت x، به مدار اعمال می‌شود. به محض اینکه کم‌ارزشترین بیت a به ورودی سلول سمت راست رسید، قفلها از راست به چپ به کمک سیگنال R در سیکلهای متوالی راه‌اندازی می‌شوند. در این مدار به دلیل لزوم پاک شدن داده‌های موجود در دو طبقه هر سلول قبل از وارد کردن داده جدید بایستی بین هر دو ورودی متوالی دو بیت صفر وجود داشته باشدتا ضرب کننده برای عمل بعدی آماده شود به عبارت دیگر می‌توان گفت وقتی این دو بیت صفر توسط جمع کننده بالایی استفاده شود بیت نقلی را به جمع کننده پایینی منتقل کرده و در ضمن بار کردن قسمت پرارزش حاصل به ثبات شیفت دولایه و ذخیره بیت نقلی، همزمان با ورود دومین بیت صفر روی خط ورودیx انجام می‌گیرد در واقع با وارد شدن دومین بیت صفر بین کلمه‌ای به هر سلول عمل انتقال اطلاعات از سلول مربوطه به طبقه معادل از ثبات شیفت تکمیل می‌شود. مثلا در مورد سلول اول از سمت راست با ورود اولین صفر ورودی اول جمع کننده بالایی صفر شده و چون در این لحظه ورودی دوم آن (در حالت ضرب ۴×۴ بیت) a_1x_3 است این مقدار با بقیه عبارات مربوطه مطابق روش ضرب نشان داده شده در بخش ۲ و بیت نقلی مانده از قبل در جمع کننده بالایی جمع شده و در همین چرخه ساعت به جمع کننده پایینی منتقل می‌شود همزمان با ورود دومین صفر هر دو ورودی جمع کننده بالایی سلول اول از سمت راست صفر شده و تنها داده موجود در این جمع کننده یعنی بیت نقلی احتمالی مانده از قبل به جمع کننده پایینی و از آنجا نهایتا به خروجی PH منتقل می‌شود. برای روشنتر شدن توضیحات فوق بایستی توجه داشت که لبه فعال ساعت تقریبا در وسط زمان هر بیت داده اتفاق می‌افتد . با توجه به اینکه هر سلول قادر به محاسبه دو بیت حاصل جزیی است، فرایند بارگذاری هر سلول دو سیکل طول می‌کشد. جدول (۳) زمان‌بندی عملکرد این مدار را برای حالت ساده ضرب دو عدد چهار بیتی که در شکل (۵) آمده است را نشان می‌دهد. شکل (۶) نشان دهنده

www.SID.ir

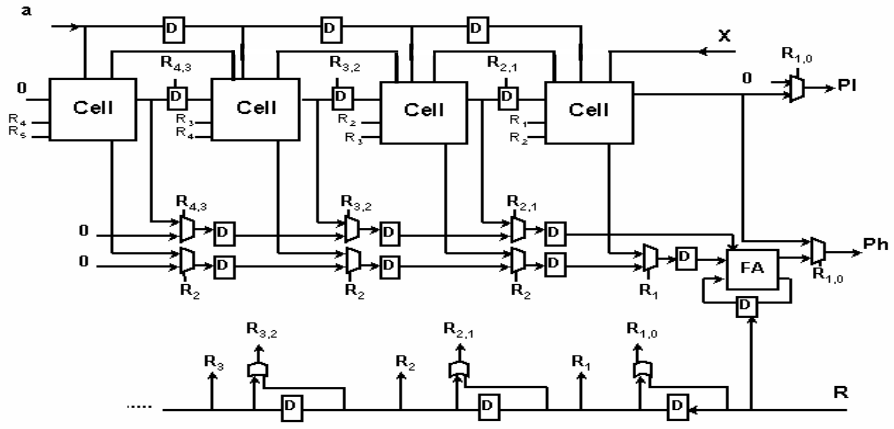
Archive of SID

www.SID.ir

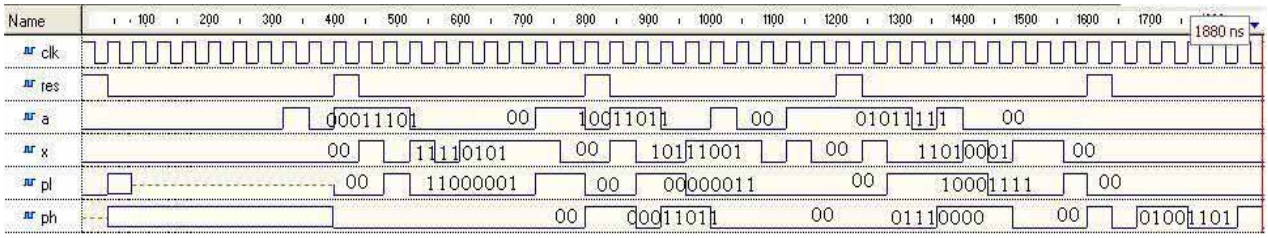
Archive of SID



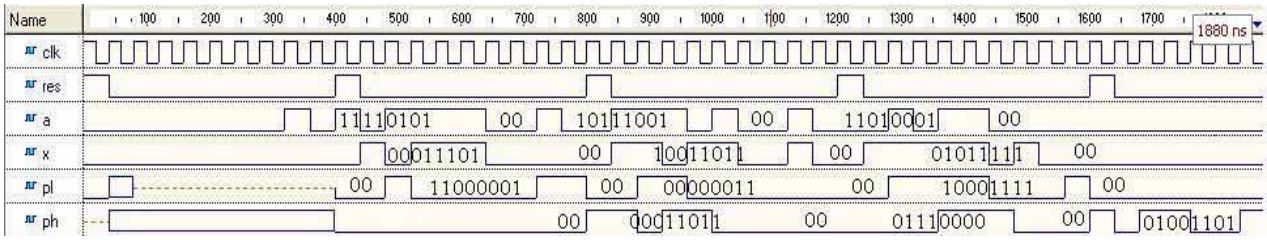
شکل۵ - مدار ضرب کننده سریال تپشی ۴ بیتی



شکل ۶-الف



شکل ۶-ب



شکل ۶- ج

شکل۶- الف- مدارضرب‌کننده سریال تپشی ۸ بیتی ب: نتیجه شبیه سازی

در حالت**a = 00011101** و **x =11110101** ج: جای **a** و **x** معکوس شده است.

www.SID.ir

Archive of SID

جدول ۴ – مقایسه تعدادی ضرب‌کننده سریال تپشی با بهره‌وری ۱۰۰٪

نوع ضرب‌کننده	پیچیدگی سخت‌افزاری برای ضرب n×n	حداکثر فرکانس ساعت
ساختار ارائه شده در [۹] (۱۹۹۸)	n(FA)+n(AND)+7/2n(D)+1/2n(MUX)	۸۰ مگاهرتز
ساختار I ارائه شده در [۴] (۲۰۰۱)	n(FA)+n(AND)+5n(D)+1/4n(MUX)	۲۰۶ مگاهرتز
ساختار II ارائه شده در [۴] (۲۰۰۱)	n(FA)+n(AND)+7/2n(D)+1/2n(MUX)	۱۴۹ مگاهرتز
ساختار ارائه شده در این مقاله	n(FA)+n(AND)+11/2n(D)+n(MUX)	۲۲۲ مگاهرتز
	D: D-flip flop Mux: Multiplexer	FA: Full Adder

مدار ضرب کننده سریال تپشی ۸ بیتی به همراه نتیجه شبیه سازی آن است.

در چرخه اول جدول (۳) که به 1-Sum و 1-Cout مشخص شده است مقدار a_0x_0 در ضرب کننده بالایی سلول ۱ یعنی Cell1-H تشکیل شده است. ورودی a_0 ۱ چرخه زودتر از x_0 به مدار اعمال شده است و بنابراین a_0 و x_0 هر دو در چرخه اول با هم برخورد می‌کنند. عدد ۱ در بالا از فرمول $\frac{n}{2}-1$ به دست آمده است. یعنی اگر جمع کننده‌ای n بیتی (n زوج است) داشته باشیم ورودی a می‌بایست به اندازه $\frac{n}{2}-1$ پالس ساعت، زودتر از ورودی X به مدار اعمال شود. در چرخه‌های بعد a و X به همین طریق رو به جلو می‌روند و بیتهای جدید همدیگر را ملاقات می‌کنند. اما وجود Latchهای سلول شکل (۴) باعث می‌شود که در جمع کننده بالایی سلول اول بیتهای a_0 و a_1 گیر بیفتند و تا آخر چرخه ششم که سیگنال R1 نرسیده است این حالت پایدار باشد. وجود دو بیت صفر بین داده‌های چهار بیتی a و X هم تضمین می‌کند که در چرخه پنجم و ششم در جمع کننده بالایی سلول اول داده بیت a جدیدی از راه نرسد و تا آخرین بیت X یعنی x_3 وارد شده و محاسباتش انجام شود. تعداد ۲ بیت صفرذکر شده در بالا ثابت است و برای تمام ضرب کننده‌های سریال تپشی n بیتی از این نوع صادق است. اگر مراحل را به همین صورت برای سلولهای دیگر نیز تکرار کنیم خواهیم دید که در نهایت، خروجی pl_0 تا pl_3 در چرخه‌های ۲ تا ۵ تشکیل می‌شوند. از چرخه ۶ به بعد ورودیهای جدید a و X می‌رسند و قسمت بالایی مدار شکل (۵) یعنی سلولها دقیقا مانند چرخه‌های ۰ تا ۵ عمل می‌کنند و چهار بیت دوم را در هم ضرب می‌کنند. اما در قسمت پایینی مدار یعنی قسمت ثباتها، چهار بیت دوم جواب یعنی ph_0 تا ph_3 در چرخه‌های ۶ تا ۹ ساخته می‌شوند. یعنی حاصلضرب دو عدد چهار بیتی یک عدد هشت بیتی است و در چرخه‌های ۲ تا ۹ به دست می‌آید.

این ساختار با استفاده از نرم‌افزار Max+plus 9.5 بر روی تراشه EPM7064BTC100-3 از خانواده MAX7000B FPGA پیاده‌سازی شد. حداکثر فرکانس سیگنال ساعت این مدار ۲۲۲ مگاهرتز است، که در مقایسه با ضرب‌کننده‌های موجود، سریعتر عمل می‌کند.

برای بهینه‌سازی این طرح، می‌توان بعضی از سلولها مدار را که دارای ورودیهای ثابت‌اند، ساده کرد. واضح است که این کار یکنواختی و تکرارپذیری ساختار را به هم می‌زند و تأثیر چندانی در کاهش تاخیر مدار نخواهد داشت. زیرا در ساختارهای تپشی، دوره تناوب سیگنال ساعت تابعی از تاخیر کندترین مرحله است. برای بهینه‌سازی این ضرب‌کننده، می‌توان جمع‌کننده پایینی سلول سمت چپ را که یک ورودی ثابت صفر دارد، حذف کرد. با حذف این جمع کننده، تسهیم کننده و فلیپ‌فلاپی که به بیت نقلی خروجی جمع‌کننده متصل بود، حذف خواهند شد. با اعمال تغییراتی بر اساس روشی ساده‌ای که در[۱۲] ارائه شده است، می‌توان امکانی برای این ضرب کننده فراهم کرد که قادر به انجام ضرب اعداد علامتدار مکمل ۲ باشد.

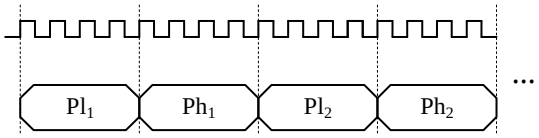
۴– ارزیابی

در جدول (۴) ضرب‌کننده پیشنهادی با تعدادی از ضرب‌کننده‌های سریال تپشی موجود که با بهره‌وری ۱۰۰٪ کار

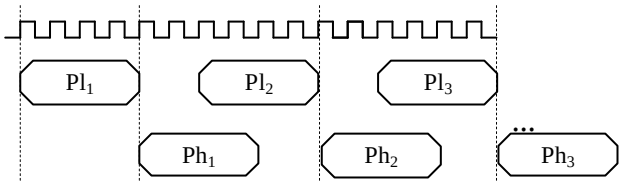
www.SID.ir

Archive of SID

زمانبندی خروجی طرحهای ارائه شده در مقاله [۱۱] شکل ۱و۳



زمانبندی خروجی مدار شکل ۵



شکل ۷- زمانبندی خروجی مدارات ضرب کننده مختلف

می‌کنند، مقایسه شده است. همان‌طور که در جدول نشان داده شده است، پیچیدگی سخت‌افزاری مدار این مقاله از طرحهای ارائه شده در مقاله [۱۱] کمی بیشتر است، اما در ازای این هزینه سخت‌افزاری بیشتر، سرعت اجرای عملیات ضرب‌کننده این کار به دلیل اینکه حاصل را در دو مرحله همپوشان محاسبه می‌کند، بسیار بالاتر است. به عنوان مثال، مدت زمان انجام ضرب ۱۰ زوج عدد چهاربیتی توسط طرحهای ارائه شده در مقاله [۱۱]، ۸۰ سیکل و توسط مدار شکل (۵)، ۶۲ سیکل است (به شکل (۷) توجه کنید)، ضمن اینکه حداکثر فرکانس سیگنال ساعت مدار موردنظر این مقاله بیشتر از طرحهای موجود است.

۵- نتیجه‌گیری

از مزایای ضرب‌کننده‌های سریال می‌توان به استفاده بهینه از فضای تراشه، کم بودن تعداد پایه‌های ورودی و خروجی، قابلیت انجام کار در فرکانسهای بالا، امکان استفاده از تکنیکهای خط لوله، و امکان طراحی به صورت کاملا تپشی و در نتیجه بهره‌گیری از ویژگیهای ساختارهای تپشی اشاره کرد.

تا قبل از سال ۱۹۹۰ الگوریتمها و ساختارهای تپشی مختلفی مطرح شد، اما تنها تعدادی‌از آنها پیاده‌سازی شدند و آن به علت کمبود ابزارهای طراحی و تکنیکهای برنامه ریزی بود. برای کاهش پیچیدگی سخت افزاری و افزایش بهره‌وری و تبدیل سیستم به‌صورت تپشی، از روشهای بخش بندی[9]، موازی‌سازی، استفاده از خط لوله درون سلولها و بین سلولها و ارتباطات همزمان استفاده می‌شد که همه این موارد باعث پیچیده شدن برنامه ریزی آرایه‌های تپشی می‌شده است. با پیشرفت تکنولوژی VLSI و با گسترش زبانهای توصیف سخت‌افزار و ابزارهای سنتز دیجیتال و نیز توسعه تراشه‌های قابل برنامه ریزی FPGA و CPLD، مشکلات طراحی و ساخت مدارهای محاسباتی تپشی کمتر گشت.

در این کار، روند طراحی یک ضرب‌کننده سریال تپشی بررسی شد. در این مدار ورودیها به صورت سری به مدار اعمال می‌شوند و حاصل کامل را با بهره‌وری ۱۰۰٪ ارائه می‌دهند. افزایش سخت‌افزار در مقایسه با طرحهای موجود غیرتپشی با بهره‌وری ۵۰٪، زیاد نیست. در یک پروژه طراحی الگوریتمهای رمزگذاری از ساختارهای مشابه این کار استفاده شد درضمن همه مدارهای بحث شده در این مقاله شبیه سازی شده‌اند و عملکرد پیش بینی شده برای آنها موردتایید قرار گرفته است.

۶- تشکر و قدردانی

در اینجا لازم می‌دانیم از آقای احسان اسماعیلی که در تهیه جداول، برنامه نویسی و شبیه سازی کمک قابل توجهی کرده‌اند و از آقای میثم میرعلیپور که در برنامه نویسی، شبیه سازی و تهیه کد قابل سنتز همکاری شایانی داشته اند تشکر و قدردانی کنیم.

واژه نامه

1. systolic array
2. prototype system
3. efficiency
4. truncated product
5. multiplicand
6. full product
7. double shift register
8. carry save add method
9. Glitch
10. partitioning

www.SID.ir

Archive of SID

مراجع

1. Kung, H. T., and Leiserson, C. E. “Systolic Arrays (for VLSI),” *Sparse matrix Proc. 1978*, Society for Industrial and Applied Mathematics, 1979.
2. Kung., H. T. “Why Systolic Architectures?,” *Proc. IEEE Computer Magazine*, pp. 37-46, Jan 1982.
3. Wan. C., “Systolic Algorithms and Applications,” Ph.D Thesis, Department of Computer Studies, Loughborough University, Leicestershire, 1996**.**
4. Pekmestzi, K. Z., Kalivas, P., and Moshopolus, N. “Long Unsigned Number Systolic Serial Multiplier and Squarer,” *IEEE Transactions on Circuits and Systems*, Vol.48, No.3, 2001.
5. Lyon, R. F., “Two’s Complement Pipeline Multipliers,” *IEEE Trans . Comput*., Vol. COM-24, pp. 418-425, May, 1976.
6. Bi G., and Jones, E. V., “High-Performance Bit-Serial Multipliers,” *Proc. Inst. Elect. Eng. Circuits Devices Syst*., Vol. 139, pp. 109-113, 1992.
7. Ven, G. E “Two’s Complement Pipeline Multipliers,” *Integration*, no. 22, pp. 23-38, 1997.
8. Dadda L., and Breveglieri, L., “A Modular Bit-Serial Convolver,” *in Wafer Scale Integration, III*, M. Sami and F. Distante, Eds. Amsterdam, the Netherlands : Elsevier Science, pp. 279-289, 1990.
9. Sllame A., and Devorak, V., “An FPGA-Based Systolic Serial Multiplier.” In Proc, of 5th Electronic Devices and Systems Conf. EDS98. Brno. Czech Republic. 1998.
10. Aggoun, A., Ashur, A.S., and Ibrahim, M. K., “Bit-Level Pipelined Digit-Serial Multiplier,” Int. J. Electron., Vol. 75, No. 6, pp. 1209-1219, 1992.
11. Nibouche, O., Bouridane A., and Nibouche, M., “New Architecture for Serial-Serial Multiplication,” *IEEE International Symp. On Circuits and Systems (ISCAS). PP II-705-708*.
12. Alexiou, G., and Kanopoulos, N., “A New Serial Parallel Two’s Complement Multiplier For VLSI Digital Signal Processing,” *Int.J.Circuit Theory Applicat*., Vol. 20, pp. 209-214,Mar.1992.
13. Ait-Boudou, D., Ibrahim, M.K., and Hayes-Gill, B. R., “Novel Pipelined Serial/Parallel Multiplier,” *Electron. Lett*., Vol. 26, 1990.

www.SID.ir