Archive of SID

طراحی و شبیه‌سازی یک فابریک سوئیچ سلول ATM با استفاده از VHDL*

جلیل چیتی‌زاده[۱] وحید توحیدلو[۲]

چکیده در این مقاله طرح جدیدی از یک فابریک سوئیچ سلول ATM با ۴ ورودی و خروجی مورد بررسی قرار گرفته است. سوئیچ مزبور که دارای ساختاری بدون انسداد می‌باشد از تکنیکهای بافر در ورودی و خروجی به‌صورت ترکیبی (هیبرید) بهره می‌برد برای مسیریابی و سرویس‌دهی سلولهای واقع در صفهای ورودی الگوریتمی بکار گرفته می‌شود. فابریک سوئیچ مزبور با استفاده از VHDL در سطح رفتاری طراحی شده و عملکرد آن از نقطه‌نظر سه پارامتر اساسی دارای اهمیت در سوئیچها یعنی میزان تلفات سلول (Cell Loss Rate) CLR، راندمان عبور سلول (Throughput) و متوسط زمان انتظار AWT(Average Waiting Time) عبور هر سلول، مورد بررسی قرار گرفته است.

واژه‌های کلیدی ATM، فابریک سوئیچ سلول ATM، VHDL، ارزیابی عملکرد

Design and Simulation of an ATM Cell Switch Fabric by VHDL

J. Chitizadeh V. Towhidlou

Abstract *In this paper a new design for an ATM cell switch fabric with 4 input and 4 output ports has been considered. The switch fabric has a non-blocking internal structure and is a hybrid input/ output buffered switch. A novel routing algorithm has been proposed and implemented for routing and relaying the waiting cells in input buffers. The proposed cell switch fabric has been modeled and simulated with VHDL at a behavioral level and its performance regarding cell loss rate, throughput and mean waiting time has been evaluated and compared with those of similar switches.*

Key Words ATM, ATM Cell Switch Fabric, VHDL, Performance Evaluation.

---

* نسخه اولیه مقاله در تاریخ ۷۹/۷/۱۳ و نسخه نهایی آن در تاریخ ۸۰/۷/۱۰ به دفتر نشریه رسیده است.

۱ - استادیار گروه برق، دانشکده مهندسی، دانشگاه فردوسی "مشهد"

۲ - دانشجوی کارشناسی ارشد برق، دانشکده مهندسی، دانشگاه فردوسی "مشهد"

www.SID.ir

Archive of SID

مقدمه

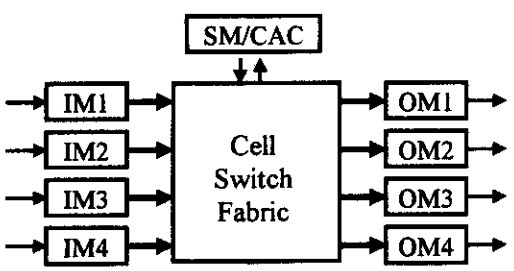
همزمان با افزایش سرعت و قدرت کامپیوترهای امروزی، رشد فزاینده‌ای در سرعت و حجم تبادل اطلاعات در مقیاس وسیع، مانند اطلاعات صوتی و تصویری زنده (بلادرنگ)، تصاویر باکیفیت بالا، اینترنت و ... حاصل شده است. ATM استانداردی است که به‌عنوان یک راه حل مناسب و قابل اطمینان برای پاسخگویی به این رشد مطرح شده است. در ATM که در واقع پروتکل زیربنایی BISDN نیز می‌باشد، اطلاعات در بسته‌هایی با طول ثابت ۵۳ بایت به‌نام "سلول" انتقال می‌یابند. استفاده از فرمت سلولهایی با طول ثابت امکان استفاده از ATM در سرعتهای متفاوت را فراهم ساخته است[4-1].

شبکه ATM نیز مانند هر شبکه ارتباط‌گرای (Connectioned-oriented) دیگر لااقل به یک سوئیچ متمرکز برای تبادل اطلاعات بین کاربرها نیاز دارد. عملکرد سوئیچها در شبکه‌های انتقال داده از جمله شبکه‌های ATM، یکی از مهمترین و تاثیرگذارترین پارامترها بر کیفیت و سرویس کل شبکه می‌باشد. در یک شبکه ATM عمل سوئیچ روی سلولها انجام می‌شود. هر سلول دارای بخشی به‌نام سرفصل است که اطلاعات مربوط به مقصد و اطلاعات کنترلی دیگر را در خود دارد. در سیستم سوئیچ با استفاده از اطلاعات سرفصل، مسیر مناسب هر سلول تعیین می‌شود و سلول از سوئیچ عبور داده می‌شود.

در این مقاله یک شبکه ATM و سیستم سوئیچینگ بر مبنای آن به‌طور خلاصه شرح داده شده و مبانی طراحی و بلوکهای سازنده سوئیچ موضوع مقاله مورد بررسی قرارگرفته‌اند. سپس طرح سوئیچ مزبور با استفاده از VHDL شبیه‌سازی شده و عملکرد آن از نقطه‌نظر پارامترهای تعیین‌کننده در هر سوئیچ مورد بررسی قرار گرفته است. در انتها نتایج به‌دست آمده مورد ارزیابی قرار گرفته‌اند[8-5].

طراحی فابریک سوئیچ سلول

همانگونه که در شکل (۱) دیده می‌شود، طرح شکل یک فابریک سوئیچ با ۴ پورت ورودی و خروجی می‌باشد که هر یک از پورتها قابلیت انتقال داده از طریق یک مسیر انتقال (باس) ۳۲ بیت استاندارد را دارا می‌باشد. هر پورت ورودی توسط یک مدول ورودی تغذیه می‌شود و هر پورت خروجی نیز به یک مدول خروجی متصل است. جریانهای داده سری در ورودی که در یک جریان SONET یا SDH قرار دارند، توسط مدول ورودی استخراج می‌شوند. عمل تفکیک حدود هر سلول نیز در همین بخش انجام می‌شود. سپس سلول استاندارد ۵۳ بایتی ATM به یک سلول ۶۴ بایتی تبدیل می‌شود و برچسب مسیریابی RT(Routing Tag) نیز به آن الصاق می‌شود. همچنین، عمل تبدیل سری به موازی نیز در همین بخش انجام می‌شود. اعمال دیگر شبکه مانند کنترل پهنای باند، کنترل و تصحیح خطا و ... نیز در همین بخش یا بخشهای دیگر سوئیچ انجام می‌شوند.



شکل ۱ شمای کلی فابریک سوئیچ

سلولی که در این سوئیچ مورد عمل قرار می‌گیرد با اعمال تغییراتی روی سلول استاندارد ATM به‌دست می‌آید. در این سلول تغییر یافته ۱۱ بایت به ۵۳ بایت سلول استاندارد ATM (۱ بایت در ابتدا و ۱۰ بایت به انتهای سلول) اضافه می‌شود تا یک سلول ۶۴ بایتی

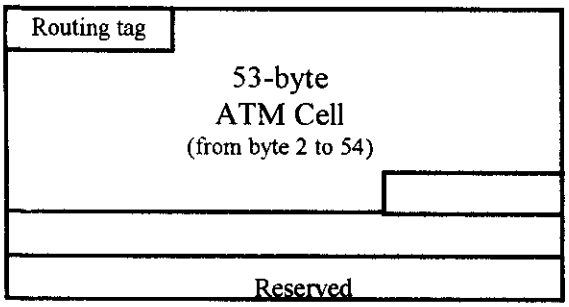
www.SID.ir

Archive of SID

پدید آید. با این عمل سلولهایی پدید می‌آیند که مضربی از ۸ هستند و ازاین‌رو براحتی قابل تطابق با سیستمهای ۸، ۱۶، ۳۲، ۶۴ و ۱۲۸ بیتی هستند و برای کامپیوترها، ترمینالهای داده و یا، سیستمهای مخابراتی موجود که همه بر مبنایی مشابه قرار دارند، مناسب می‌باشد.

شکل (۲) فرمت یک سلول تغییر یافته را نمایش می‌دهد. سلول استاندارد ۵۳ بایتی ATM که از طریق سیستم سوئیچ، بدون تغییر (اصطلاحاً به‌صورت شفاف Transparent) انتقال می‌یابد در بایتهای دوم تا پنجاه و چهارم جاسازی شده است. بایت اضافی در ابتدای سوئیچ به‌عنوان برچسب مسیریابی سلول مورد استفاده قرار می‌گیرد و توسط مدول ورودی و با استفاده از اطلاعات بخشهای VCI و VPI سرفصل هر سلول محاسبه و بدان الصاق می‌شود.

فابریک سوئیچ سلول دو وظیفه اصلی را انجام می‌دهد: بافرکردن سلولها و عبوردهی آنها. سوئیچی که در این مقاله بررسی شده است از هر دو تکنیک صف‌بندی در ورودی و خروجی بهره می‌برد و ازاین‌رو همانگونه که انتظار می‌رود برخی مزایای هر دو تکنیک با هم تلفیق و کاستی‌های هر روش نیز تا حدود زیادی مرتفع شده است.

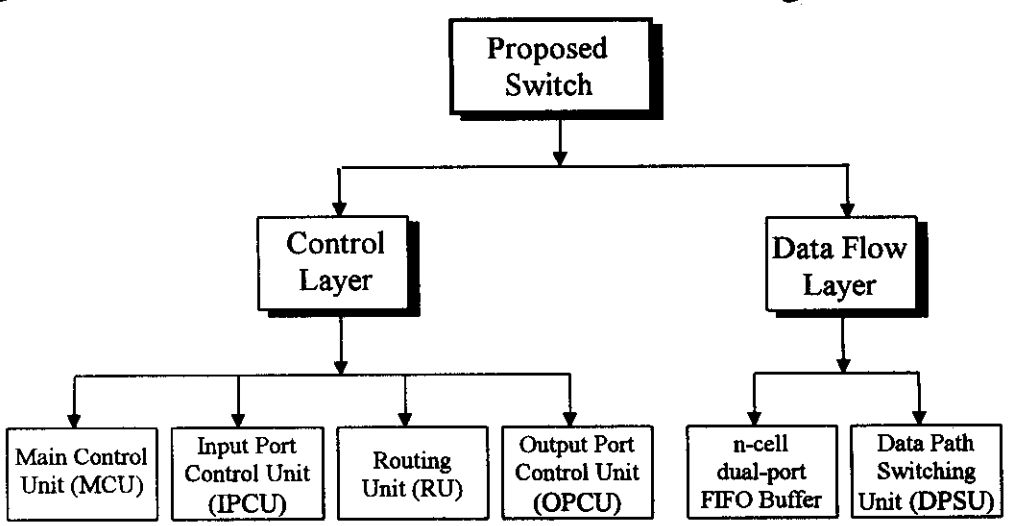


شکل ۲ فرمت سلول تغییر یافته ATM

ساختار سوئیچ

سوئیچ از دولایه عملیاتی تشکیل شده است، لایه جریان داده و لایه کنترل. لایه جریان داده مسیرهای داده بین پورتهای ورودی و خروجی را تامین می‌کند. لایه کنترل نیز عمل هماهنگی و سنکرون‌سازی بخشهای مختلف و همچنین تعیین ورودی انتخاب شده برای هر پورت خروجی را بر عهده دارد و سیگنالهای کنترلی مناسب برای لایه جریان داده را ایجاد می‌کند. یک نمایش سلسله مراتبی از عملیات سوئیچ در شکل (۳) دیده می‌شود[8-15].

هر پورت ورودی و خروجی شامل یک زوج بافر



شکل ۳ نمایش سلسله مراتبی عملکرد سوئیچ

www.SID.ir

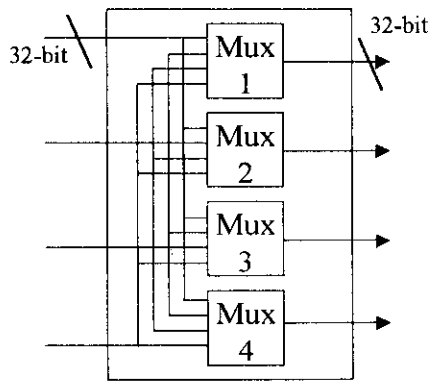
Archive of SID

FIFO که به یک واحد سوئیچینگ به‌نام DPSU (Data Path Switching Unit) متصل هستند، می‌باشد. هر خط ورودی و خروجی از طریق پورتهای سوئیچ به آن ارتباط می‌یابند و عمل نوشتن و خواندن و مسیریابی سلولهای ATM توسط بخشهای کنترلی مجزا برای هر پورت انجام می‌شود. بخش DPSU عمل سوئیچینگ و مسیریابی در فابریک را برعهده دارد. این بخش با استفاده از چهار مالتی پلکسر ۴ به ۱ طراحی شده است. باسهای ورودی و خروجی هر یک از مالتی پلکسرهای مزبور ۳۲ بیتی بوده و ورودیهای این چهار مالتی‌پلکسر به پورتهای ورودی سوئیچ متصل هستند اما خروجی هر یک از آنها به یک پورت خروجی مشخص متصل می‌باشد. بدین ترتیب، سلول ورودی برای هر خروجی توسط مالتی پلکسر مربوطه از پورتهای ورودی انتخاب و سرویس داده می‌شود. این ساختار که در واقع ساختاری کراس‌بار است، از نظر امکان ارسال همگانی و چندگانه مناسب و کارآمد است. شکل (۴) دیاگرام داخلی بخش DPSU را نمایش می‌دهد.

بافرهای ورودی، خروجی و بخش DPSU لایه مسیر داده را در این سوئیچ تشکیل می‌دهند.

لایه کنترل شامل چهار واحد عملیاتی می‌شود: واحد کنترل اصلی MCU(Main Control Unit)، واحد کنترل پورت ورودی IPCU(Input Port Control Unit)، واحد کنترل پورت خروجی OPCU(Output Port Control Unit) و واحد مسیریابی RU(Routing Unit).

هر بخش IPCU به یکی از پورتهای ورودی اختصاص دارد و مسئول نوشتن سلولهای ورودی در بافر و قرائت آن و همچنین عمل هماهنگی با OPCU برای تعیین مسیر است. از طرف دیگر OPCU نیز اعمال مشابهی را برعهده دارد. هر پورت ورودی خروجی به یک زوج IPCU و OPCU نیاز دارد. بخش MCU عمل



شکل ۴ دیاگرام داخلی DPSU

هم‌زمانی و هماهنگی بخشهای مختلف سوئیچ را برعهده دارد و با ایجاد یک سیگنال مرجع بخشهای مختلف سوئیچ را همزمان می‌کند. افزون‌براین، کنترل خطا و اندازه‌گیری نرخ تلفات سلول برای هر پورت ورودی و همچنین تعیین فاکتور speedup نیز برعهده این بخش است.

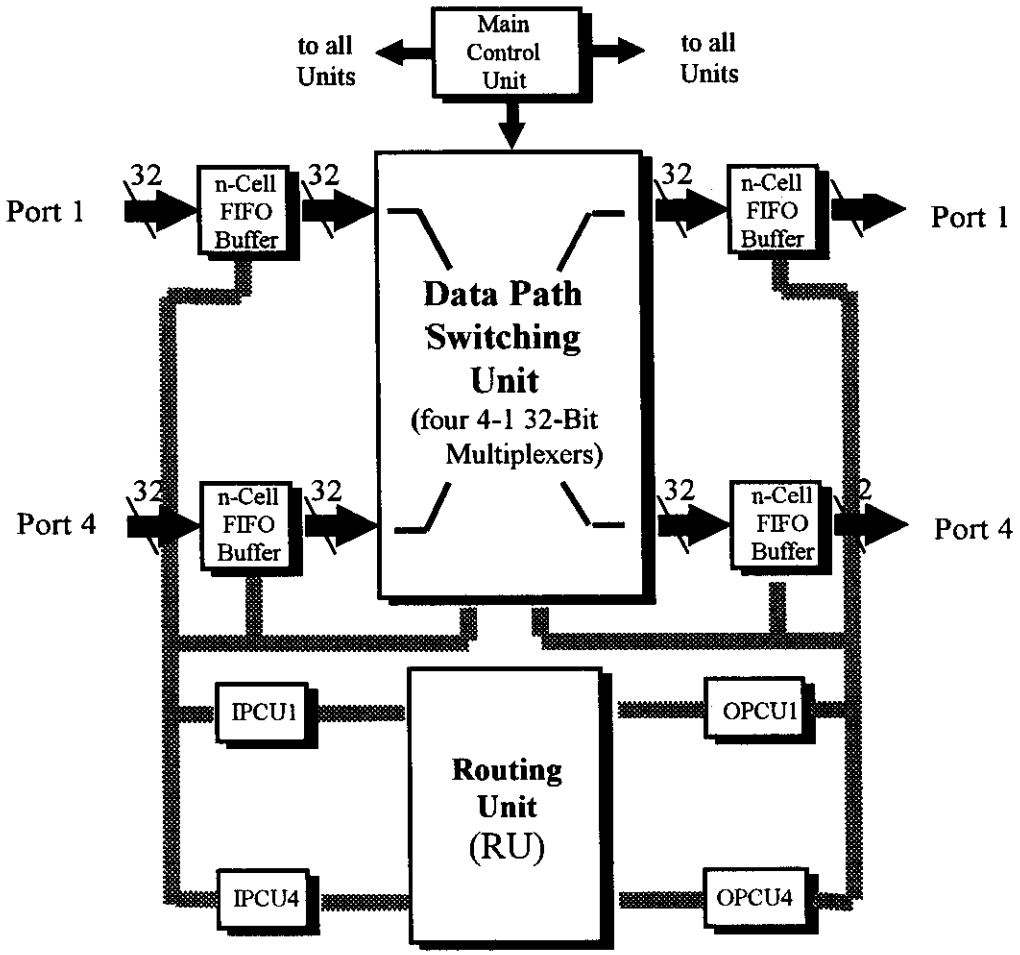
آخرین واحد عملیاتی واحد RU می‌باشد که تعیین مسیر مناسب برای هر پورت ورودی و خروجی، تعیین اولویت سرویس‌دهی به هر پورت، ایجاد سیگنالهای فرمان و آدرس برای DPSU را برعهده دارد. عمل مسیریابی در این بخش توسط یکسری بردار به‌نامهای بردارهای مقصد انجام می‌شود که در واقع با توجه به برچسب مسیریابی ایجاد می‌شوند. شکل (۵) ساختار کلی سوئیچ و ارتباط بین بخشهای مختلف را نمایش می‌دهد[16-24].

الگوریتمهای تعیین مسیر و سرویس‌دهی

هر یک از سلولهای ورودی به محض ورود به فابریک سوئیچ در بافر ورودی قرار می‌گیرند و برچسب مسیریابی که در واقع اولین بایت سلول می‌باشد، نیز در بافر دیگری به‌نام بردارهای مقصد در RU قرار می‌گیرد.

www.SID.ir

Archive of SID



شکل ۵ ساختار کلی سوئیچ

سپس، برچسبهای مسیریابی چهار پورت ورودی در جدولی به‌نام جدول بردارهای مقصد نوشته می‌شوند. از آنجا که این فابریک تنها دارای ۴ پورت می‌باشد، تنها ۴ بیت اولیه برچسب مسیریابی در جدول نوشته می‌شوند. چنانچه بیت i ام در برچسب مسیریابی یا معادل آن در بردار مقصد برابر یک باشد بدین معنی است که سلول مربوطه برای پورت خروجی i ام آدرس‌دهی شده است. برای مثال سلولی با برچسب مسیریابی ۱۰۱۰ برای پورتهای خروجی ۱ و ۳ آدرس‌دهی شده است.

به این ترتیب هر یک از ستونهای جدول بردارهای مقصد، حاوی تقاضاهای سرویس برای هر یک از پورتهای خروجی است. به‌عنوان مثال، در شکل (۶-الف) پورت خروجی ۱، از ورودیهای ۱ و ۳ درخواست سرویس دریافت کرده است و پورت خروجی ۳ نیز از پورتهای ورودی ۱ و ۲.

RU با توجه به الگوریتم سرویس‌دهی انتخاب شده به هر یک از سلولهای ورودی سرویس می‌دهد. یک الگوریتم ساده اختصاص اولویت به پورت ورودی با بالاترین یا پایین‌ترین مرتبه است. در این الگوریتم هر یک از ستونهای جدول مورد بررسی قرار می‌گیرند و بسته به اولویت انتخاب، پورت ورودی دارای اولویت بالاتر در واحد زمانی جاری سرویس داده می‌شود و

www.SID.ir

Archive of SID

پورتهای دیگر برای سیکلهای بعدی در نوبت انتظار قرار می‌گیرند. بیت مربوط به هر پورتی که سرویس داده می‌شود در جدول بردارهای مقصد صفر می‌شود. این مطلب در شکل (۶-ب) دیده می‌شود.

فرض شود که ترتیب اولویت سرویس‌دهی به‌ترتیب مرتبه پورتها باشد یعنی پورت ورودی شماره ۱ (سطر یکم) بیشترین اولویت و پورت شماره ۴ (سطر آخر) کمترین اولویت را داشته باشد. RU از ستون اول جدول شروع به سرویس‌دهی می‌کند. در ستون یکم، سطر اول مقدار "۱" دارد لذا پورت خروجی ۱ در واحد زمانی بعدی از پورت شماره ۱ سرویس خواهد گرفت و سایر سطرها در صورت نیاز به سرویس‌دهی در نوبت بعدی بررسی و سرویس‌دهی می‌شوند. حال نوبت به ستون دوم می‌رسد. در ستون دوم پورتهای ورودی (سطرهای) ۱ تا ۳ تقاضای سرویس ندارند و ازاین‌رو پورت خروجی شماره ۲ در واحد زمانی بعد، از پورت ورودی ۴ تغذیه خواهد شد. به‌همین ترتیب دو ستون دیگر بررسی می‌شوند و پس از پایان سیکل تعیین سرویس، جدول مسیریابی به‌صورت شکل (۶-ب) در می‌آید.

RU پیش از آغاز پروسه تعیین مسیر، هر یک از سطرها جدول بردارهای مقصد را از نظر صفر بودن بررسی می‌کند و در صورتی که تمام بیتهای یک سطر برابر صفر باشد (بدین معنی که سلول مربوطه کاملاً سرویس داده شده است) آنگاه آدرس سلول بعدی را از صف محتوی برچسبهای مسیریابی جایگزین می‌کند (شکل ۶-ج).

RU در هر سیکل مسیریابی پس از تعیین نوبت سرویس به هر یک از پورتهای ورودی سیگنالهای لازم برای عبور سلول از DPSU را ایجاد و در ابتدای سیکل بعدی آنها را به DPSU و IPCU اعمال می‌کند.

با توجه به ۳۲ بیتی بودن باس انتقال در این سوئیچ، عمل انتقال کامل یک سلول ۱۶ پالس ساعت طول می‌کشد و RU در خلال این ۱۶ پالس فرصت کافی برای ایجاد سیگنالهای لازم برای واحد زمانی بعدی را خواهد داشت. در عمل تنها در ۲ یا ۳ پالس از این ۱۶ پالس سیگنالهای کنترل و فرمان لازم برای انتقال سلول در سیکل بعدی آماده می‌شود.

الگوریتم پیشنهادی

همانگونه که آورده شد الگوریتمهای متفاوتی برای سرویس‌دهی به پورتهای ورودی قابل اجرا هستند. یک الگوریتم ساده در قسمت قبل توضیح داده شد. ایراد الگوریتم یاد شده این است که همواره اولویت به پورتهای با مرتبه بالاتر (یا پایینتر) داده می‌شود و پورتهای با اولویت پایین سرویس کمتری دریافت می‌کنند. میزان تلفات سلول در این پورتها بیشتر از دیگر پورتها خواهد بود و همینطور راندمان عبور این پورتها کمتر از پورتهای با اولویت بیشتر است. این مساله در یک سوئیچ تجاری قابل قبول نخواهد بود.

1	0	1	0
0	0	1	0
1	0	0	0
0	1	0	1

الف

0	0	0	0
0	0	1	0
1	0	0	0
0	0	0	0

ب

0	1	0	0
0	0	1	0
1	0	0	0
1	0	0	1

ج

0	0	0	0
0	0	0	0
0	0	0	0
1	0	0	0

د

شکل ۶ جدول بردارهای مقصد

www.SID.ir

Archive of SID

برای رفع کاستی یاد شده الگوریتم دیگری در این پروژه اتخاذ شده است که در آن سرویس‌دهی به‌طور یکسان و یکنواخت بین پورتهای ورودی صورت می‌گیرد. در این الگوریتم جدید عمل بررسی روی ستونهای جدول بردارهای مقصد از یک سطر، که به‌طور اتفاقی انتخاب می‌شود شروع می‌شود، و اولویت سرویس‌دهی به پورتی تعلق می‌گیرد که کمترین سرویس را در هر واحد زمانی دریافت کرده باشد. برای این منظور هر یک از پورتهای ورودی به یک شمارنده مجهز شده است و در هر زمان سلول تعداد سرویسهای دریافتی هر پورت را در خود ذخیره می‌کند. در ابتدای هر سیکل سرویس‌دهی پورتهای ورودی بر حسب تعداد سرویسها دریافتی در سیکلهای قبل مرتب (Sort) می‌شوند و سپس عمل اسکن روی ستونهای جدول مسیریابی انجام می‌شود. برای مثال در شکل (۷-الف) فرض می‌کنیم سطر اول به‌طور اتفاقی انتخاب شود. عمل انتخاب از ستون اول آغاز می‌شود و از آنجا که سطر اول ستون اول "۱" می‌باشد پورت خروجی شماره ۱ از پورت ورودی ۱ تغذیه خواهد شد. سپس عمل انتخاب به سطر بعدی منتقل می‌شود. در اینجا نیز سطر اول ستون دوم مقدار "۱" دارد اما از آنجاکه پورت ورودی شماره ۱ یکبار برای خروجی ۱ انتخاب شده است اولویت با پورتهایی است که سرویس کمتری دریافت کرده‌اند. ازاین‌رو، سطرهای بعدی مورد بررسی قرار گرفته و اولویت با پورتهایی است که سرویس کمتری دریافت کرده‌اند. پورت خروجی شماره ۲ از ورودی شماره ۳ تغذیه خواهد شد. در بررسی ستون سوم این بار پورت ورودی ۳ تقاضای سرویس دارد اما چون در ستون قبلی یک سرویس دریافت کرده است لذا اولویت به پورتهای بعدی داده می‌شود و تقاضای پورت ورودی ۴ برای خروجی سوم مورد قبول واقع می‌شود. در ستون چهارم نیز تقاضای سرویس پورت ورودی ۲ برای خروجی شماره ۴ تایید می‌شود. با این روش سرویس‌دهی بطور یکسان بین پورتها انجام می‌شود و جدول بردارهای مقصد به شکل (۷-ب) در می‌آید.

برای هر یک از پورتهای ورودی یک شمارنده در RU در نظر گرفته شده است که تعداد سرویسهای دریافتی هر پورت را طی یک پروسه مسیریابی و سرویس‌دهی ذخیره می‌کند و تعیین اولویت به کمک همین شمارنده‌ها انجام می‌شود.

مدولهای طراحی با استفاده از VHDL

اولین مدول از مدولهای طراحی Package و Package body مربوط به آن به نام MY-PACK است که حاوی تعاریف مقادیر ثابت و همچنین توابع و رویه‌های مورد استفاده در طرح می‌شود. بسته دیگری که در این طرح مورد استفاده قرار گرفته است بسته My-components است که حاوی معرفی Component های مورد استفاده در طرح می‌باشد. این مدول، همان‌طور که توضیح داده شد، دارای چهار مالتی‌پلکسر ۳۲ بیتی ۴ به ۱ است.

0	1	1	0
1	0	0	0
0	0	1	0
0	1	0	0

ب

1	1	1	0
1	0	0	1
0	1	1	0
0	1	1	0

الف

شکل ۷ جدول بردارهای مقصد و الگوریتم بکار رفته

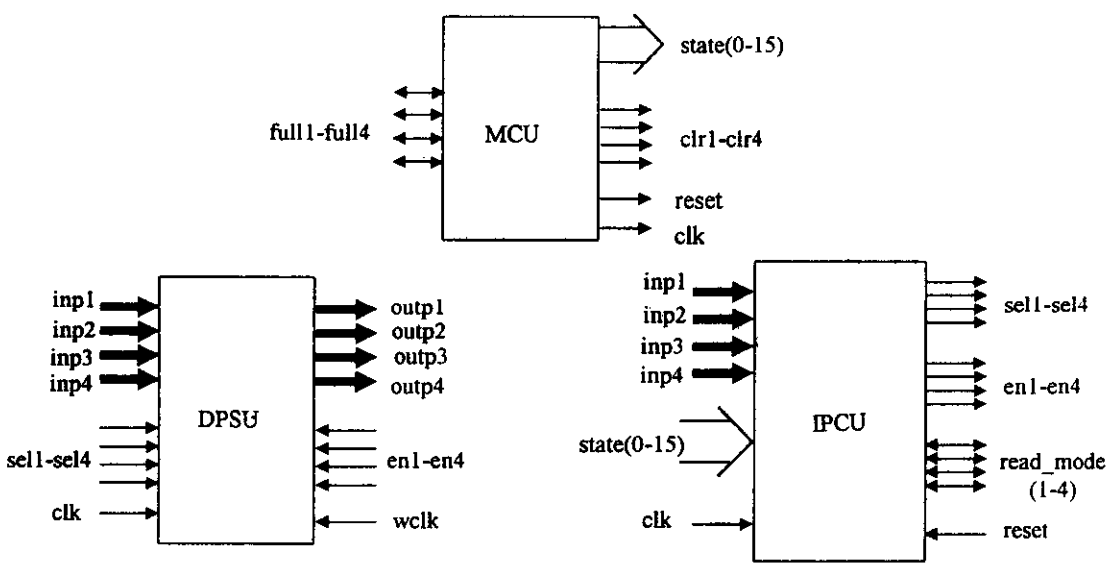
www.SID.ir

Archive of SID

عمل انتقال سلولها یا لبه بالارونده هر پالس ساعت و طی ۱۶ پالس ساعت انجام می‌شود. پورتهای ورودی DPSU شامل چهار پورت ۳۲ بیتی ورودی و چهار پورت ۳۲ بیتی خروجی، چهار پورت ۲ بیتی (Sel1 to sel4) برای انتخاب ورودی هر مالتی‌پلکسر، چهار پورت تک‌بیتی Enable (انتخاب هر مالتی‌پلکسر)، و clk می‌باشد. این مدول در واقع به معرفی بافرهای FIFO در ورودی و خروجی‌های سوئیچ می‌پردازد. بافرهای FIFO دارای یک پورت ورودی و یک پورت خروجی ۳۲ بیتی برای نوشتن و خواندن از آنها می‌باشند. عمل نوشتن در بافر توسط سیگنال wclk که به پورتی به همین نام اعمال می‌شود، انجام می‌شود و عمل خواندن نیز همزمان با پالس ساعت سوئیچ که همان سیگنال rclk است، صورت می‌گیرد. پورتهای دیگر این مدول عبارتند از: full، read-mode، empty. بخش MCU واحد کنترل اصلی یا مرکزی نام دارد. این بخش وظیفه ایجاد سیگنالی به‌نام clk را دارد که در واقع کلاک مرکزی سیستم است و همهٔ اعمال سوئیچ همزمان با این سیگنال صورت می‌گیرند. با افزایش یا کاهش فرکانس این سیگنال سرعت عملکرد سیستم افزایش یا کاهش می‌یابد و بعبارت دیگر با تغییر آن می‌توان فاکتور speedup را تعیین نمود. سیگنال دیگری به‌نام state نیز در این بخش تولید می‌شود که دارای ۱۶ حالت می‌باشد و با هر کلاک پالس وضعیت آن تغییر می‌کند و در واقع برای کنترل انتقال کامل یک سلول و پروسه مسیریابی و سرویس‌دهی بکار می‌رود. سه بخش IPCU، OPCU و RU آخرین واحدهای طراحی سوئیچ حاضر هستند که به‌ترتیب وظیفه نوشتن و خواندن در صفهای ورودی، صفهای خروجی و همچنین پیاده‌سازی الگوریتمهای سرویس‌دهی و مسیریابی را برعهده دارند. شکل (۸) سه مدول MCU، IPCU و DPSU را نمایش می‌دهد.

شبیه‌سازی

برای شبیه‌سازی عملکرد سوئیچ مزبور از محیط شبیه‌ساز VHDL در نرم‌افزار Active VHDL استفاده شده است. در این مرحله جریانهای داده ورودی به هر یک از پورتهای سوئیچ، که سلولهای تغییر یافته ۶۴ بایتی هستند،



شکل ۸ بلوکهای MCU، DPSU و IPCU و پورتهای مربوطه

www.SID.ir

Archive of SID

با پارامترهای مختلفی شبیه‌سازی شده و در قالب فایلهایی به سوئیچ اعمال می‌شوند. عملکرد فابریک سوئیچ سلول از نظر سه فاکتور اساسی یعنی راندمان عبور سوئیچ، نرخ تلفات سلول در سوئیچ و تاخیر عبور سلول از سوئیچ، مورد بررسی و ارزیابی قرار گرفته است. همچنین، میزان تاثیر هر یک از پارامترهای طراحی سوئیچ نظیر اندازه بافرهای ورودی و خروجی و فاکتور speedup بر این مشخصه‌ها تعیین شده است. اندازه‌گیریها روی شکل موجهای خروجی (پورتهای خروجی سوئیچ) مانند پورت full۱-full۴ یا پورتهای outp۱-outp۴ صورت گرفته است. عمل شبیه‌سازی با استفاده از مدولی به‌نام Testbench انجام شده است.

جریانهای داده ورودی به سوئیچ خود دارای چند پارامتر اساسی هستند که در شبیه‌سازی مورد توجه قرار می‌گیرند. سلولهای موجود در یک جریان داده می‌توانند تنها برای یک پورت خروجی آدرس‌دهی شده باشند (حالت ارسال یگانه Monocast) و یا اینکه برای چند پورت خروجی و یا حتی تمامی پورتها مسیردهی شده باشند (حالت ارسال چندگانه Multicast و همگانی Broadcast). همچنین، ترافیک ورودی می‌تواند یک ترافیک اتفاقی ساده، که دارای توزیع برنولی است، باشد و یا اینکه در حالتها و کاربردهای خاص، توزیعی خوشه‌ای Bursty داشته باشد که این مورد اغلب در ارسال صوت و تصویر بلادرنگ اتفاق می‌افتد [16].

فاکتور دیگری که در شبیه‌سازی یک سوئیچ مورد توجه قرار می‌گیرد میزان بار ورودی به سوئیچ است. بار ورودی به هر یک از پورتهای سوئیچ می‌تواند بین ۱ و (بار کامل) و ۰ (بی‌بار) تغییر کند. در حالت بار کامل تمامی پهنای باند جریان ورودی با سلولهای با ارزش ATM اشغال می‌شود و هیچ سلول خالی و یا اختصاص داده نشده در جریان ورودی وجود ندارد. در حالتهای غیر بارکامل، بسته به میزان بار ورودی، تعدادی سلول خالی و یا اختصاص داده نشده مابین سلولهای با ارزش ATM قرار می‌گیرند تا توالی سلولها در یک جریان داده حفظ شود. قابل ذکر است که در عمل هیچگاه سوئیچ تحت بار کامل قرار نمی‌گیرد و همواره بار ورودی به هر یک از پورتها عددی کمتر از یک است. در این شبیه‌سازی فایلهای ورودی از نظر میزان بار و حالت ارسال توسط زیربرنامه‌ای به‌زبان C تهیه و به سوئیچ اعمال شده‌اند.

به غیر از پارامترهای متغیر مربوط به جریانهای ورودی به سوئیچ، چند پارامتر طراحی سوئیچ نیز در عملکرد سوئیچ تاثیر دارند که در شبیه‌سازی عملکرد یک سوئیچ باید مورد توجه قرار گیرند. اولین پارامتر مهم اندازه بافرهای صفهای ورودی و خروجی در سوئیچ است. اندازه این بافرها ارتباط مستقیمی با نرخ تلفات سلول در یک سوئیچ دارد و هرچه اندازه بافرهای خروجی سوئیچ بزرگتر باشد نرخ تلفات سلول نیز کمتر خواهد بود. اما محدودیتهای فیزیکی و عملی در ساخت یک سوئیچ مانع از افزایش بیش از حد اندازه بافرهای ورودی و خروجی سوئیچ می‌شود. ازاین‌رو لازم است مقداری بهینه برای اندازه بافرهای یک سوئیچ به‌دست آید. تعیین این مقدار با شبیه‌سازی سوئیچ میسر خواهد بود. پارامتر با اهمیت دیگر فاکتور speedup یا به‌عبارت دیگر سرعت عملکرد سوئیچ است که در مورد سوئیچهای با صف خروجی یا میانی مورد بحث قرار می‌گیرد. پارامتر مهم دیگر الگوریتم سرویس‌دهی در سوئیچ است. اتخاذ الگوریتمهای متفاوت سرویس‌دهی تاثیر قابل توجهی بر سه مشخصه عملکرد یک سوئیچ دارد.

همانگونه که دیده می‌شود تعداد متغیرهای شبیه‌سازی یک سوئیچ زیاد هستند و ترکیب این

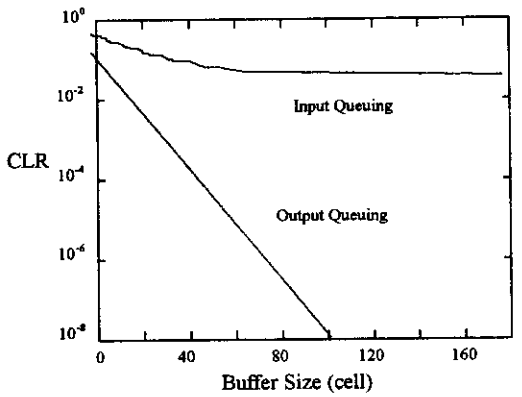
www.SID.ir

Archive of SID

پارامترها حالات بسیاری را پدید می‌آورند که بررسی همه این حالتها به زمان زیادی نیاز دارد. با وجود این در طرح حاضر سعی شده است که بیشترین حالات و مهمترین آنها مورد بررسی قرار گیرند. در شبیه‌سازی سوئیچ پیشنهادی عملکرد سوئیچ از نظر سه مشخصه اساسی مورد توجه قرار داشته است و در این راستا تاثیر هر یک از پارامترهای ترافیکی یا ساختمانی سوئیچ بررسی و ارزیابی شده‌اند.

نرخ تلفات

همانگونه که پیشتر توضیح داده شد، در سوئیچهای با صف ورودی اندازه بافرهای صف ورودی و الگوریتم سرویس‌دهی و در سوئیچهای با صف خروجی نیز اندازه بافرهای خروجی و فاکتور speedup عوامل تعیین کننده نرخ تلفات سلول هستند. سوئیچ موضوع این مقاله از هر دو تکنیک صف‌بندی بهره می‌برد و از این‌رو منطقی به‌نظر می‌رسد که در بررسی میزان تلفات سلول در سوئیچ تاثیر هر دوی این پارامترها مورد توجه قرارگیرد. اما باکمی دقت و همانگونه که در [10] اشاره شده است تاثیر اندازه بافرهای ورودی در یک سیستم با صف ورودی در مقایسه با تاثیر الگوریتم سرویس‌دهی بر CLR سوئیچ مقدار کمی است و تنها روی زمان پرشدن بافر ورودی و وقوع اولین تلف سلول تاثیر می‌گذارد. همانگونه که در شکل (۹) دیده می‌شود افزایش اندازه بافرهای ورودی بیش از یک حد آستانه تاثیر چندانی روی CLR سوئیچ ندارد. در شبیه‌سازی با توجه به مرجع شماره [10] فرض کرده‌ایم که اندازه بافرهای ورودی مقداری ثابت باشد (۶۴ سلول). برخلاف صف‌بندی ورودی، اندازه بافرهای خروجی در speedup های مختلف تاثیر مستقیم روی CLR سوئیچ دارد.



شکل ۹ تغییرات CLR در ازای تغییر اندازه بافر در سوئیچهای با صف ورودی و خروجی [10]

برای تعیین مقدار بهینه برای اندازه صفهای خروجی و ورودی در یک سیستم سوئیچینگ لازم است که عملکرد سوئیچ از نظر CLR در اندازه‌های مختلف بافرهای ورودی و خروجی مورد آزمون و ارزشیابی قرار گیرد. اما با توجه به محدودیت امکانات شبیه‌سازی فاکتور دیگری مورد توجه قرار گرفته است. این فاکتور وقوع اولین و دومین تلف سلول در سوئیچ است که این نیز رابطه مستقیمی با اندازه بافرهای سوئیچ دارد. البته بررسی این فاکتور با بافرهای با اندازه‌های بزرگ نیز زمان بسیار زیادی طلب می‌کند، لذا در این بخش بافرهای با اندازه‌های کوچک مورد ارزیابی قرار گرفته‌اند.

در مرحله نخست عملکرد سوئیچ تحت جریانهای داده با یک آدرس (ارسال یگانه) و با بارهای متفاوت مورد بررسی قرار گرفته است. در این مرحله speedup برابر با یک در نظر گرفته شده است به این معنی که سوئیچ با سرعتی برابر با سرعت کانالهای ورودی (۱۵۵/۵Mbps)[1] عمل می‌کند. شکلهای زیر عملکرد سوئیچ از نظر پارامتر یاد شده را نشان می‌دهند.

شکل (۱۰) فاصله بین وقوع اولین و دومین تلف سلول

www.SID.ir

Archive of SID

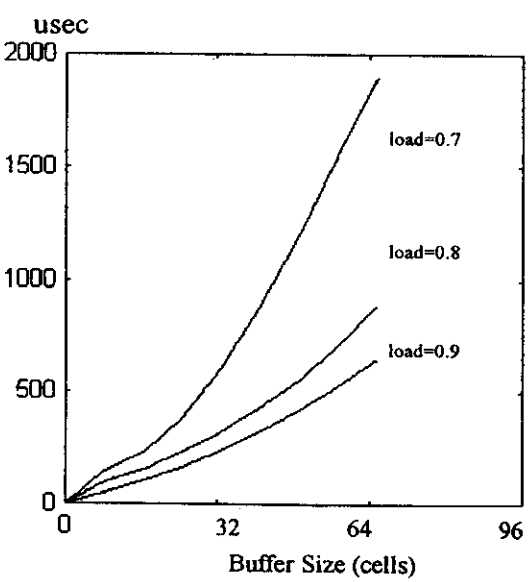
را تحت ترافیک ارسال یگانه به ازای مقادیر مختلف برای بافرهای ورودی و در بارهای مختلف (با فاکتور speedup برابر یک) نشان می‌دهد. همان‌طور که دیده می‌شود با افزایش اندازه بافرهای ورودی میزان تلفات سلول کم می‌شود. افزون براین، کاهش بار جریانهای داده ورودی باعث کاهش چشمگیر در تلفات سلول می‌شود. شکل (۱۱) نیز نشان دهنده همین کمیت برای بافرهای خروجی تحت ترافیک ارسال یگانه بابار ۰/۹ به‌ازای اندازه‌های متفاوت بافر خروجی و برای چند speedup می‌باشد.

همانگونه که در شکل (۱۱) دیده می‌شود افزایش speedup نقش بسیار چشمگیری روی کاهش تلفات سلول دارد، به‌طوری‌که در speedup برابر ۲ و بالاتر این مقدار بسیار کاهش می‌یابد و اندازه‌گیری آن با امکانات موجود ممکن نمی‌باشد.

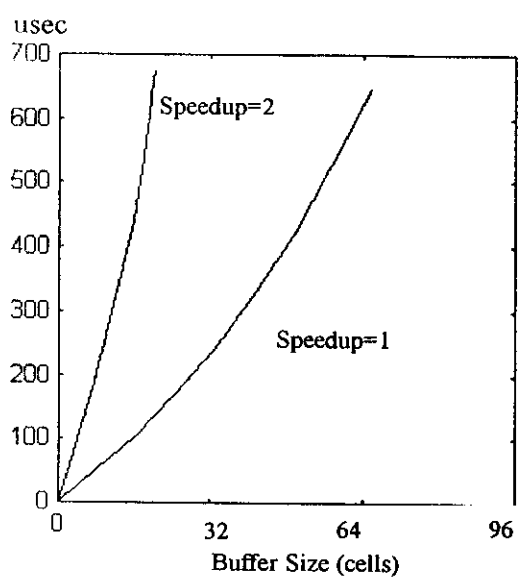
در مرحله بعد ترافیکهای ارسال چندگانه[25] و ارسال همگانی یعنی ترافیکهایی با سلولهای ورودی دارای دو، سه و چهار مقصد (ارسال همگانی) مورد بررسی قرار گرفته‌اند. شکلهای (۱۲ و ۱۳) نتیجه شبیه‌سازی این بخش را نمایش می‌دهند.

راندمان عبور سوئیچ

همان‌طور که می‌دانیم در سوئیچهای با صف ورودی ماکزیمم راندمان عبور قابل حصول هنگامی که سایز بافرهای ورودی به سمت بینهایت میل کند، به ۵۸٪ خواهد رسید. اما در سوئیچهای با صف خروجی با افزایش فاکتور speedup راندمان عبور سیستم تا حدود ۹۹٪ نیز افزایش خواهد داشت [4]. در این بخش سایز بافرهای ورودی و خروجی ثابت (۶۴ سلول) در نظر گرفته شده است چراکه تأثیری بر راندمان عبور سوئیچ ندارند و پارامتر متغیر در این بخش فاکتور speedup سوئیچ بوده است. اکنون عملکرد سوئیچ تحت ترافیکهای متفاوت در بارکامل مورد بررسی قرار می‌گیرد. روشن است که برای رسیدن به ماکزیمم راندمان عبور سوئیچ لازم است که جریانهای ورودی نیز ماکزیمم (بار ۱) باشند. شکل (۱۵) نشاندهنده راندمان عبور سوئیچ در حالت ارسال یگانه و بارکامل به ازای مقادیر متفاوت برای فاکتور speedup است. همانگونه



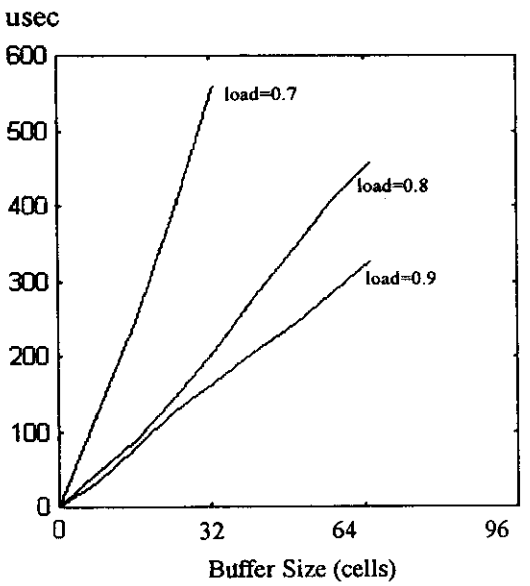
شکل ۱۰ فاصله زمانی بین وقوع اولین و دومین تلف سلول برای بارهای مختلف در ترافیک یگانه



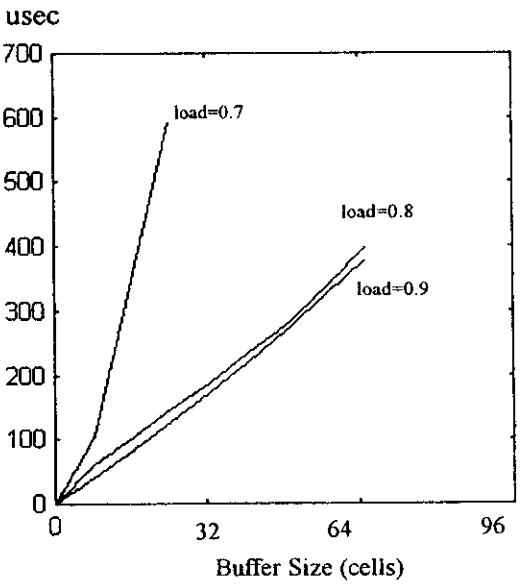
شکل ۱۱ وقوع اولین تلف سلول (میکروثانیه) به ازای اندازه بافر برای speedup های مختلف در ترافیک مونوکاست

www.SID.ir

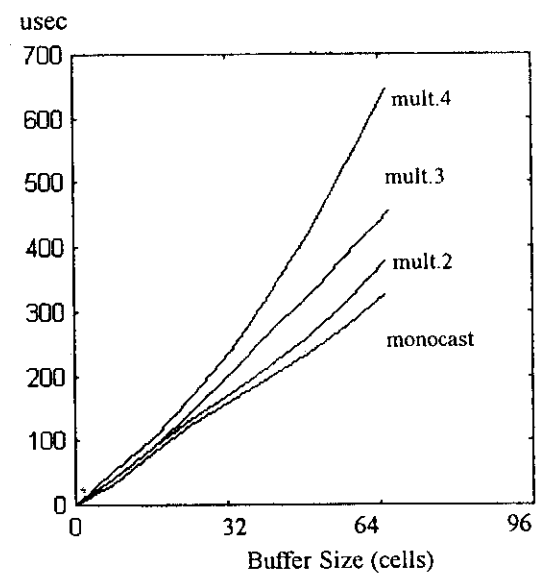
Archive of SID



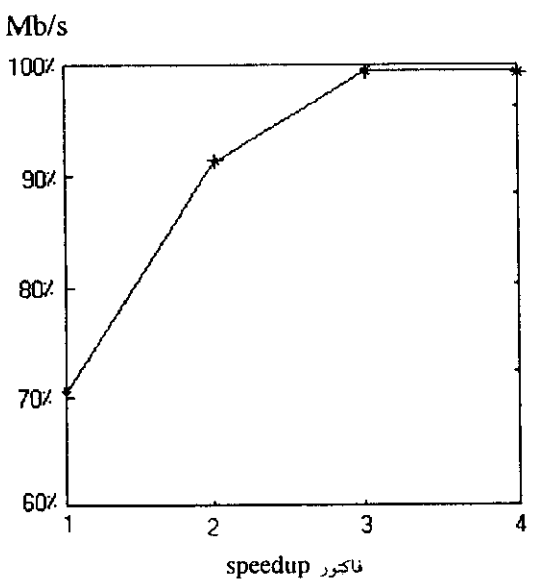
شکل ۱۲ فاصله بین وقوع اولین و دومین تلف سلول
برای بارهای مختلف در ترافیک با دو آدرس



شکل ۱۳ فاصله بین وقوع اولین و دومین تلف سلول
برای بارهای مختلف در ترافیک با سه آدرس



شکل ۱۴ فاصله بین وقوع اولین و دومین تلف سلول
در ترافیکهای ارسال یگانه و چندگانه



شکل ۱۵ راندمان عبور سوئیچ در حالت ارسال
یگانه با بار کامل

که مشاهده می‌شود سوئیچ در speedup برابر ۱ دارای راندمان عبور مجموع ۷۰٪ است. با افزایش فاکتور speedup راندمان عبور سوئیچ نیز افزایش می‌یابد و به ازای speedupهای بیش از ۲ مقدار آن ثابت و دارای مقدار ماکزیمم ۹۹/۷٪ است.

در مراجع [16] سوئیچی با مشخصات مشابه

www.SID.ir

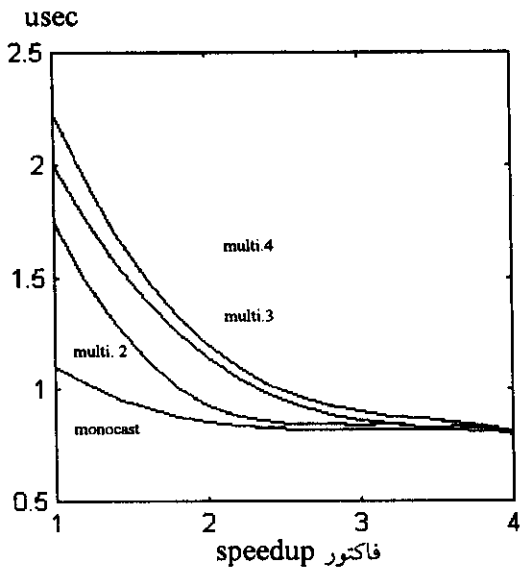
Archive of SID

(ساختار کراس‌بار با صف‌بندی در ورودی و خروجی، اندازه بافرهای ورودی و خروجی ۳۲ سلول) مورد شبیه‌سازی قرار گرفته است. اتفاقاً محیط شبیه‌سازی سوئیچ مزبور نیز شبیه‌سازی VHDL بوده است و نتیجه شبیه‌سازی سوئیچ مزبور به ازای بار کامل مقدار ۹۶٪ می‌باشد. با مقایسه این دو سوئیچ مشاهده می‌شود عملکرد سوئیچ موضوع این مقاله از نظر راندمان عبور (۹۹/۷٪) بهتر از سوئیچ بررسی شده در [16] می‌باشد.

تاخیر عبور سلول از سوئیچ

آخرین مشخصه اصلی عملکرد یک سوئیچ، تاخیر یا زمان انتظار عبور سلول از سوئیچ می‌باشد. تاخیر عبور یک سلول از سوئیچ به چند عامل بستگی دارد. یکی تاخیر انتشار دروازه‌های منطقی و مدارات داخلی سوئیچ است که مقدار ثابتی دارد و محدودیتی فیزیکی به حساب می‌آید و در این مقاله مورد توجه قرار نگرفته است. عامل دیگر الگوریتم سرویس‌دهی بکار رفته در سوئیچ می‌باشد. همچنین سرعت عمل سوئیچ یا به‌عبارت دیگر speedup نیز یکی دیگر از عوامل تاثیرگذار بر تاخیر عبور سلول از سوئیچ است. البته باید توجه داشت که اندازه بافرهای ورودی یا خروجی نیز بر زمان انتظار سلول در یک سوئیچ تاثیر دارد. لیکن تاثیر این فاکتورها کاملاً خطی می‌باشد و با افزایش اندازه بافرها، هر سلول زمان بیشتری را در سوئیچ منتظر خواهد ماند. به‌همین دلیل در این بخش از تاثیرات اندازه بافرها بر زمان انتظار چشم‌پوشی شده است.

در این بخش تاخیر عبور یک سلول از سوئیچ تحت ترافیکهای مختلف و با speedupهای متفاوت مورد بررسی قرار گرفته است. در همه آزمونهای این بخش نیز اندازه بافرهای ورودی ثابت و ۶۴ سلول در نظر گرفته شده است. شکل (۱۶) نشان‌دهنده میزان تاخیر عبور یک سلول از سوئیچ در speedupهای مختلف تحت ترافیکهای یگانه و چندگانه با بار کامل است. شکل (۱۶) تنها تاثیر ساختار و الگوریتم بکار رفته در این سوئیچ بر تاخیر عبور را نشان می‌دهد، تاخیرهای انتشار ناشی از محدودیتهای فیزیکی مورد توجه قرار نگرفته‌اند.



شکل ۱۶ میزان تاخیرعبورسلول به‌ازای speedupهای مختلف

آنچه که از جمع‌بندی نتایج شبیه‌سازی فوق حاصل می‌شود این است که در سوئیچ طراحی شده با صف ورودی و خروجی، فاکتور speedup مهمترین نقش در عملکرد سوئیچ از نقطه نظر سه مشخصه اصلی همهٔ سوئیچها (CLR، راندمان عبور و تاخیر عبور سلول) را دارا می‌باشد. افزایش این فاکتور باعث بهبود عملکرد سوئیچ از هر سه جهت می‌شود. اگرچه اندازه بافرهای خروجی یکی از عوامل تعیین کننده CLR در سوئیچهای با صف خروجی هستند، لیکن چنانچه سرعت عملکرد سوئیچ (speedup) دو یا چند برابر سرعت پورتهای ورودی باشد، با استفاده از حالت ترکیبی و بافر در ورودی حتی با اندازه‌های نسبتاً کم بافرهای خروجی، می‌توان به مشخصه‌های خوبی دست یافت. نکته

www.SID.ir

Archive of SID

دیگری که در این شبیه‌سازی دیده می‌شود نحوه عملکرد سوئیچ در ترافیکهای یگانه و چندگانه است. این سوئیچ به‌علت ساختار داخلی آن، که در واقع نوعی کراس بار است، عملکرد خوبی تحت ترافیکهای مزبور دارد و تنها با افزایش سرعت عملکرد سوئیچ می‌توان به مشخصه‌های خوبی دست یافت. در این شبیه‌سازی دیده می‌شود که راندمان عبور سوئیچ در speedup برابر چهار به مقدار حداکثر برای سوئیچهای با صف‌بندی خروجی بسیار نزدیک است. همچنین بکارگیری صف‌بندی در ورودی پیش‌بینی CLR کم برای سوئیچ تحت شرایط مذکور را باعث می‌شود.

در بخشی از این شبیه‌سازی CLR، راندمان عبور و تاخیر هر یک از پورتهای خروجی به‌طور مجزا مورد بررسی قرار گرفتند و مشاهده شد که این مشخصه‌ها در مورد تمامی پورتهای خروجی تقریباً یکسان هستند. همانگونه که قبلاً نیز ذکر شد اتحاد الگوریتم سرویس‌دهی جدیدی در این طرح باعث چنین عملکردی در شبیه‌سازی سوئیچ شده است و این یکی از جنبه‌های بارز و قابل توجه عملکرد سوئیچ طرح شده می‌باشد.

نتیجه‌گیری

در این مقاله طرح جدیدی برای یک فابریک سوئیچ سلول ATM ارائه شد و با استفاده از محیط برنامه‌نویسی و شبیه‌سازی VHDL مورد آزمایش و شبیه‌سازی قرار گرفت. سوئیچ مزبور دارای چهار پورت ورودی و چهار پورت خروجی می‌باشد (سوئیچ ۴×۴) که به آسانی قابل گسترش به ورودی و خروجیهای بیشتر می‌باشد. عملکرد سوئیچ را می‌توان به دو لایه عملیاتی به‌نامهای لایه جریان داده و لایه کنترل تقسیم کرد. بخش اصلی سوئیچ که عمل عبور سلولها را برعهده دارد از چهار مالتی‌پلکسر ۴ به ۱ تشکیل شده است که حالت خاصی از یک سوئیچ کراس‌بار است و از این نظر سوئیچی بدون انسداد بشمار می‌آید. سوئیچ از تکنیکهای صف‌بندی ورودی و خروجی به‌صورت ترکیبی بهره می‌برد و می‌تواند در سرعتی برابر با جریانهای داده ورودی و یا بیشتر عمل نماید. از دیگر ویژگیهای این سوئیچ الگوریتم جدید سرویس‌دهی به صفهای ورودی است که باعث شده است سوئیچ عملکردی منصفانه نسبت به پورتهای ورودی داشته باشد.

در بخش شبیه‌سازی، عملکرد سوئیچ از نقطه‌نظر سه مشخصه مهم سوئیچهای ATM یعنی نرخ تلفات سلول (CLR)، راندمان عبور سوئیچ و تاخیر عبور و یا زمان انتظار سلول، مورد آزمایش قرار گرفت. پارامترهای متغیر سوئیچ اندازه بافرهای صف ورودی و خروجی سوئیچ و سرعت عملکرد سوئیچ (speedup factor) و پارامترهای خارجی نوع ترافیک ورودی (ارسال یگانه، چندگانه و همگانی) و همچنین، بار ترافیکهای ورودی بودند. با توجه به نتایج آزمایشهای به‌عمل آمده و توضیحات ارائه شده روشن شد که افزایش اندازه بافرهای ورودی بیش از یک مقدار آستانه (حدوداً ۶۴ سلول) روی مشخصه CLR سوئیچ تاثیر چندان مهمی ندارد[10]. برای بارهای با ترافیک کمتر از ۱ مقدار ۶۴ سلول برای اندازه بافرهای ورودی مقداری معقول و قابل قبول است.

فاکتور speedup عامل موثر و تعیین‌کننده دیگری در سوئیچ است. افزایش سرعت عمل سوئیچ (speedup بالاتر) باعث کاهش CLR سوئیچ و همچنین زمان انتظار سلولها در صفهای ورودی می‌شود و در ضمن افزایش راندمان عبور سوئیچ را نیز بهمراه دارد. چنانچه سوئیچ در سرعتی بیش از سرعت ورود اطلاعات در پورتهای ورودی عمل کند (speedup>۱)، می‌توان با کاهش

www.SID.ir

Archive of SID

اندازه بافرهای صفهای ورودی به مشخصه مشابهی از نظر CLR در حالت speedup=۱ دست یافت.

با speedup=۴ و بافرهای ورودی با ظرفیت ذخیره ۶۴ سلول، راندمان عبور سوئیچ برای ترافیک ارسال یگانه با بار کامل به حداکثر مقدار خود (۹۹/۷٪) می‌رسد که مشخصه‌ای بسیار مناسب می‌باشد. مقدار دقیق CLR به‌علت محدودیتهای موجود قابل اندازه‌گیری نمی‌باشد اما با در نظر گرفتن فاصله زمانی بین اولین و دومین تلف سلول در سوئیچ، مقدار بسیار کم و قابل قبولی برای آن پیش‌بینی می‌شود. در این حالت (speedup=۴) حداقل زمان انتظار (یا به‌عبارت دیگر تاخیر عبور) یک سلول بدست می‌آید که در مقایسه با سوئیچهای مشابه زمان کوتاهتری است. در جمع‌بندی کلی می‌توان به این نکته اشاره کرد که با توجه به نتایج شبیه‌سازی و مقایسه‌های به‌عمل آمده با کارهای مشابه [10] و [16] سوئیچ طرح شده، موضوع این مقاله، دارای عملکرد و کارایی بهتری است و نیز، با توجه به سادگی ساختار داخلی آن (لایه جریان داده) و همچنین الگوریتم بکار رفته در آن، بهتر از سوئیچهای مشابه عمل می‌کند.

مراجع

1. Martin De. Prycker, "*Asysnchronous Transfer Mode; Solutions for Broadband ISDN*", Prentice-Hall Inc., (1995).
2. Uyless Black, "*ATM Vol I, Foundations for Broadband Networks*", Prentice-Hall Inc., (1995).
3. T. M. Chen & S. Liu, "*ATM Switching Systems*", Artech House Inc. (1995).
4. A. S. Tanenbaum, "*Computer Networks*", 3rd Ed., Prentic-Hall Inc, (1996).
5. P. J. Ashenden, "*The Designers' Guide to VHDL*", Morgan Kaufmann Publishing Inc., (1995).
6. D. Aterylor & S. Jones, "*VHDL Algorithms Synthesis Approach*", Chapman & Hall, (1997).
7. J. Pick, "*VHDL Techniques, Experiments, and Caveats*", Mc-Graw Hill Intl., (1996).
8. J. Gilderson, F. El-Guilbaly and V. K. Bhargava, "VHDL design of an ATM switch" *IEEE 0-7803-2553*, pp. 100-103, (1995).
9. A. Lahchime, J. P. Guedon, "ATM switch architecture modelling under uniform and bursty traffic", *IEEE 0-7803-3336-5*, pp. 767-771, (1996).
10. C. Fujihashi, H. Hikita, "Speed-Up of input buffer asynchronous transfer mode switch by introducing of paralle read-Out buffer", *IEEE 0-7703-3336*, pp. 819-824, (1996).
11. K. S. Chan, S. Chan and K. L. Yeung, "Wide-sense non-blocking multicast ATM switches", *Electronic letters*, Vol 33, No. 6, pp. 462-463, March (1997).

www.SID.ir

Archive of SID

12. R. C. Chang and C-Y. Hsieh, "Design of multicast ATM switches", *Electronic letters*, 29th, Vol 34, No. 22, pp. 2090-2091, Oct (1998).

13. K. J. Schultz and P. G. Gulak, "Physical performance limits for shared buffer ATM switchies", *IEEE Trans. on Communication*, Vol 45, No. 8, pp. 997-1007, Aug (1997).

14. T. T lee and C. H. Lam, "Path switching - A quasi-static routing scheme for large-scale ATM packet switches", *IEEE Jornal on selected areas in comm*, Vol 15, No. 5, pp. 914-924, June (1997).

15. B. S. Park, & S. C. Kin, "Analysis & queuing shcemes for batcher-banysn networks with speedup under various traffic loadings", *ATM forum*, Vol 2, pp. 755-759, (1997).

16. A. Lahchime, J. P. Guedon, "ATM switch architecture modelling under uniform and bursty traffic", *IEEE 0-7803-3336-5*, pp. 767-771, (1996).

17. J. C. Diaz, P. Plaza, L. A. Merayo, P. Scarfone, M. Zamboni, "Design and validation with HDL verilog of a complex I/O processor for an ATM switch: the CMC", *IEEE 0-8186-7082-7*, pp. 67-72, (1995).

18. N. Ranganathan, R. Anand, & G. Chiruvolu, "A VLSI ATM switch architecture for VBR traffic", *IEEE 1063-9667*, pp. 420-427, (1997).

19. K. Sezaki, Y. Yasuda, "A general architecture of ATM switching networks which are non-blocking at call level", *IEEE 0-7803-0849-2*, pp. 603-607, (1992).

20. Parr. G. P., W. S., Marshall A. "Modelling ATM Switch-Fabric Based on The Knockout Principle",

21. S. Sezer, F. E. Garcia-palacios, A. Marshall, R. Woods, "Analysis of ATM switch design for achieveing predictable quality of service", *Internet*.

22. PMC Sierra Inc., "5gbit/s ATM Switch Fabric Element, Preliminary Datasheet", (1998).

23. "The Next Generation ATM Switch", Cisco Systems Inc., (1996).

24. Fulton, C. Li. S, Q, Lin, A, "The impact of rate mismatch in ATM switch design", *IEEE Intl. Conference on Communications*, Vol 3, pp. 1463-1467, (1999).

25. Hongxu Chen, Lambert J., "Design of a high performance multicast ATM switch for BISDN", *IEEE Global Telecommunications Conference, Globcom1998*, Vol 4, pp. 2393-2398, (1998).

www.SID.ir