طراحي پردازنده سيستوليكي براي شناسائي دقيق و بلادرنگ رادار با استفاده از ماتريس ΔTOA

علي ناصري استاديار گروه مهندسی برق دانشكده فني و مهندسي، دانشگاه امام حسين (ع)
مجيد نادري دانشيار دانشكده مهندسي برق، دانشگاه علم وصنعت ايران
هادي شهريار شاه حسيني استاديار دانشكدة مهندسی برق، دانشگاه علم و صنعت ايران

چكيده

الگوريتمهائي كه تنها از مشخصه زمان ورود پالس براي شناسائي استفاده ميكنند از دقت بسيار خوبي برخوردارند. ولي به دليل اينكه حجم محاسبات تسلسلي آنها زياد است عليرغم دقت بسيار خوب براي سيستمهاي بلادرنگ مناسب نيستند. در اين مقاله پردازنده سيستوليكي طراحي ميگردد كه با عمليات ماتريسي روي ماتريس اختلاف زمان ورود پالسها (با ابعاد بزرگ)، با دقت و سرعت قابل توجهاي بهشناسائي رادارها ميپردازد. بزرگ بودن ماتريسها باعث بزرگ شدن آرايه سيستوليكي ميشود كه خود باعث مشكلاتي از قبيل تأخير انتشار پالسهاي ساعت و عدم فعاليت سنكرون سلولها خواهد شد. براي غلبه بر اين مشكلات، ابتدا ماتريس اختلاف زمان ورود پالسها را قسمتبندي نموده و سپس طبق الگوريتمهاي پيشنهادي هر مرحله محاسبات روي زير ماتريسها انجام ميگيرد. نتايج بررسيهاي انجام گرفته، نشان ميدهد پردازنده طراحي شده قادر است بهصورت بلادرنگ و با دقت بسيار خوبي بهانجام عمليات شناسائي رادارها بپردازد.

كلمات كليدی: شناسائي رادارها، محاسبات ماتريسي، پردازش موازي، آرايه سيستوليكي.

Design a Systolic Processor for Fast and Accurate Radar Identification by Using ΔTOA

A. Naseri Technical Faculty, Imam Hossin University
M. Naderi and H. Shahriar Shahhoseini Faculty of Electrical Engineering, Iran University of Science and Technology

Abstract

Radar identification algorithms according to time of arrival (TOA), of the pulse train have very good accuracy. Since this accuracy is achieved by hard consequent computation, they are not suitable for real time applications. In this paper a systolic processor has been designed for radar identification using difference time of arrival matrix, ΔTOA. High performance radar identification can be achieved by increasing the size of ΔTOA, which increase the size of systolic array. Increasing the size of systolic array causes the clock propagation delay and asynchronous operation of cells. To overcome the above problems, the ΔTOA matrix has been partitioned. Then the algorithm is applied to the ΔTOA sub matrixes. The simulation results show, the effectiveness of the algorithm when accurate and high-speed identification is needed.

Key words: Radar identification, Matrix computation, Parallel processing, Systolic array.

۱- مقدمه

راداره‌اي پالسي در رهگيري، رديابي، مراقبت و جستجو كاربرد دارند. شناسائي دقيق و سريع اين راداره‌ا بسيار حائز اهميت است، براي اينكار ابتدا مشخصه‌هاي زاويه ورود پالس، فركانس حامل پالس، پهناي پالس، دامنه پالس و زمان ورود پالس براي هر پالس دريافتي از رادار استخراج ميگردد و سپس با پردازش يك يا چند مشخصه از مشخصه‌هاي مذكور، نوع رادار تشخيص داده ميشود [۱و۲]. دقت اندازهگيري زمان ورود پالس بسيار دقيقتر از اندازهگيري ديگر مشخصه‌ها ميباشد بنابراين در صورتيكه فقط از اين مشخصه براي شناسائي رادار استفاده شود دقت قابل توجهاي حاصل ميگردد. درگذشته روشهاي استفاده از تابع خود همبستگي، روشهاي هيستوگرام تفاضلي، روشهاي استفاده از تبديل فوريه و تبديل فوريه اصلاح شده، روش استفاده از مدل مخفي ماركف، روش استفاده از تبديل Hough، روش استفاده از مدل ديناميكي - خطي، روش استفاده از الگوريتم اقليدسي اصلاح شده، روش استفاده از الگوريتم تركيبي مدل مخفي ماركف و مدل سري زماني باينري، روش مبتني بر مشخصه‌هاي عددي و روش استفاده از فيلتر كالمن توسعه يافته ارائه شده‌اند كه همگي براساس مشخصه زمان ورود پالس بهشناسائي راداره‌ا ميپردازند [۱۱-۳]. روشهاي مذكور داراي حجم عمليات تسلسلي زيادي ميباشند بنابراين زمان زياد پردازش در آنها باعث ناتواني آنها در سيستمهاي بلادرنگ ميشود. در اين مقاله ضمن معرفي روشي ماتريسي با درجه موازيسازي بالا براي شناسائي رادار (براساس مشخصه زمان ورود پالس)، پردازنده موازي براي بالا بردن سرعت آن طراحي ميشود. اين موازيسازي و پيادهسازي بصورت سختافزاري باعث تسريع بسيار زيادي در انجام عمليات مربوط به شناسائي رادار ميگردد. در ادامه در بخش ۲ معرفي اصول بنيادي روش ماتريسي براي شناسائي رادار و در بخش ۳ طراحي پردازنده سيستوليكي براساس محاسبات روي زيرماتريسهاي، ماتريس اختلاف زمان ورود پالسها خواهد آمد و بخش۴ نيز بهنتيجهگيري و ارزيابي پيادهسازي روش پيشنهادي با آرايه سيستوليكي ميپردازد.

۲- معرفي روشي ماتريسي براي شناسائي رادار

همانطور كه در بخش قبل گفته شد شناسائي رادار با پردازش يك يا چند مشخصه از مشخصه‌هاي پالس انجام ميگيرد. دقت شناسائي رادار بهدقت اندازهگيري اين مشخصه‌ها و الگوريتم شناسائي وابسته است. اگرچه دقت اندازهگيري مشخصه‌ها بهدستگاههاي گيرنده بستگي دارد ولي عموماً دقت اندازهگيري مشخصه زمان ورود پالس بسيار بيشتر از ديگر مشخصه‌ها ميباشد لذا الگوريتمهاي شناسائي كه فقط از مشخصه زمان ورود پالسها استفاده مينمايد دقت بسيار خوبي در شناسائي رادار دارند اما حجم محاسبات آنها بيشتر از روشهاي چند مشخصه‌اي ميباشد. در اين بخش روشي براساس عمليات ماتريسي كه فقط برحسب مشخصه زمان ورود پالس عمليات شناسائي را انجام ميدهد، معرفي ميگردد. اين الگوريتم بهدليل استفاده از محاسبات ماتريسي قابليت موازيسازي خوبي دارد بنابراين ميتوان حجم محاسبات آن را با استفاده از روشهاي موازيسازي به اندازه كافي كاهش داد مراحل مختلف الگوريتم بصورت زير ميباشد:

- انتخاب فريم زماني مناسب
- محاسبه ماتريس اختلاف زمان ورود پالسها (ΔTOA)

اين ماتريس بصورت رابطه ۱ تعريف ميگردد [۱۲]:

$$\Delta TOA=\begin{vmatrix} 0 & t_2-t_1 & t_3-t_1 & \cdots\cdots & t_{N-1}-t_1 & t_N-t_1 \\ t_2-t_1 & 0 & t_3-t_2 & \cdots\cdots & t_{N-1}-t_2 & t_N-t_2 \\ \vdots & \vdots & \vdots & & \vdots & \vdots \\ t_{N-1}-t_1 & t_{N-1}-t_2 & t_{N-1}-t_3 & \cdots\cdots & 0 & t_N-t_{N-1} \\ t_N-t_1 & t_N-t_2 & t_N-t_3 & \cdots\cdots & t_N-t_{N-1} & 0 \end{vmatrix} \quad (۱)$$

عناصر اين ماتريس از رابطه ۲ به دست ميآيند [۱۲].

$$\Delta TOA(i,j)=\left|TOA(i)-TOA(j)\right| \qquad 1\le i,j\le N \quad (۲)$$

- محاسبه معكوس ماتريس اختلاف زمان ورود پالسها (ΔTOA^{-1})
- شناسائي راداره‌ا با بررسي عناصر قطر اصلي ماتريس ΔTOA^{-1}

تشخيص رشته پالسها از ماتريس ΔTOA^{-1} بصورت زير انجام ميشود:

الف- اگر تمام عناصر قطر اصلي ماتريس ΔTOA^{-1} برابر باشند رشته پالس از نوع constant pri است.

ب- اگر عناصر قطر اصلي به جز عناصر اول و آخر ماتريس ΔTOA^{-1} داراي تناوب خاصي باشند. رشته پالس از نوع

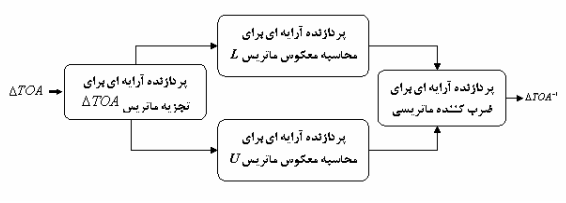
stagger pri با درجه تعداد عناصر دوره تناوب در قطر اصلي ماتريس ΔTOA^{-1} ميباشد.

ج- اگر عناصر قطر اصلي ماتريس ΔTOA^{-1} شرايط هيچكدام از موارد (الف) و (ب) را نداشته باشد رشته پالس از نوع jitter pri ميباشد.

دقت شناسائي در روش پيشنهادي بهابعاد ماتريس اختلاف زمان ورود يا تعداد پالسهاي مورد پردازش (طول فريم زماني) وابسته است. هر چقدر ابعاد ماتريس بزرگتر باشد دقت شناسائي بيشتر شده اما حجم محاسبات افزايش مييابد. همانطور كه قبلاً هم بيان شد به دليل درجه موازيسازي بالاي عمليات ماتريسي ميتوان براي انجام محاسبات، از آرايه سيستوليكي كه بهترين ساختار از بين ساختارهاي پردازش موازي براي عمليات ماتريسي ميباشد، استفاده نمود. پيادهسازي روش پيشنهادي با آرايه سيستوليكي سرعت انجام محاسبات روش مذكور را تا حد قابل توجهاي افزايش ميدهد.

۳- طراحي پردازنده سيستوليكي براي روش پيشنهادي

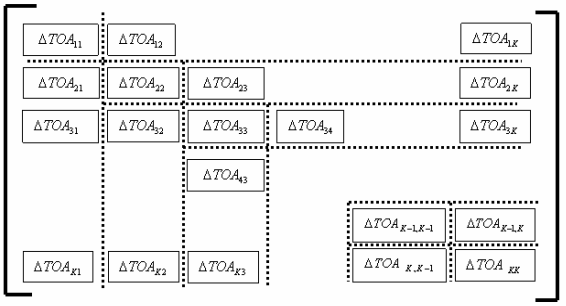
روش معرفي شده در بخش قبل بهدليل استفاده از مشخصه زمان ورود پالسها داراي دقت خوبي در شناسائي رادارها ميباشد. ولي افزايش بيشتر دقت در روش مذكور بستگي بهتعداد پالسهاي مورد پردازش يا طول فريم زماني انتخابي دارد و از طرفي افزايش تعداد پالسها باعث بزرگ شدن ابعاد ماتريس اختلاف زمان ورود پالسها ميشود. بنابراين بايستي عمليات ماتريسي روي ماتريسهاي با ابعاد بزرگ انجام گيرد. در اين بخش پردازنده موازي مناسبي براي پيادهسازي روش پيشنهادي طراحي ميگردد. بهترين ساختار از بين ساختارهاي پردازش موازي براي عمليات ماتريسي آرايههاي سيستوليكي ميباشند. سلولهاي آرايه سيستوليكي داراي ساختاري مشابه بوده و بهصورت سنكرون عمل مينمايند. بنابراين بهراحتي با تكنولوژي VLSI قابل پيادهسازي ميباشند. ابعاد آرايه سيستوليكي براي عمليات ماتريسي رابطه مستقيم با ابعاد ماتريس دارد و از طرفي بزرگ شدن اين آرايهها مشكلاتي از قبيل تأخير انتشار پالس ساعت و عدم همزماني فعاليت سلولها را بهدنبال خواهد داشت. در ادامه اين بخش با قسمتبندي ماتريسهاي بزرگ و ارائه الگوريتمهائي براي محاسبه با توجه به زير ماتريسها ماتريس ΔTOA، مشكل مذكور در پيادهسازي روش پيشنهادي با آرايه سيستوليكي بر طرف ميگردد. براي محاسبه معكوس ماتريس بزرگ اختلاف زمان ورود پالسها، روش محاسبه معكوس ماتريس با LU بهكار رفته است. شكل (۱) نمودار بلوكي اين روش را نشان ميدهد. ماتريسهاي ورودي بلوكها در شكل (۱) داراي ابعاد بزرگ ميباشند. بنابراين بايستي ابتدا آنها را قسمتبندي كرد و سپس طبق الگوريتمهاي خاصي، آرايه سيستوليكي براي آنها طراحي نمود.



شكل ۱- نمودار بلوكي محاسبه ماتريس زمان ورود پالسها

الف- الگوريتمهاي انجام عمليات روي زير ماتريسها

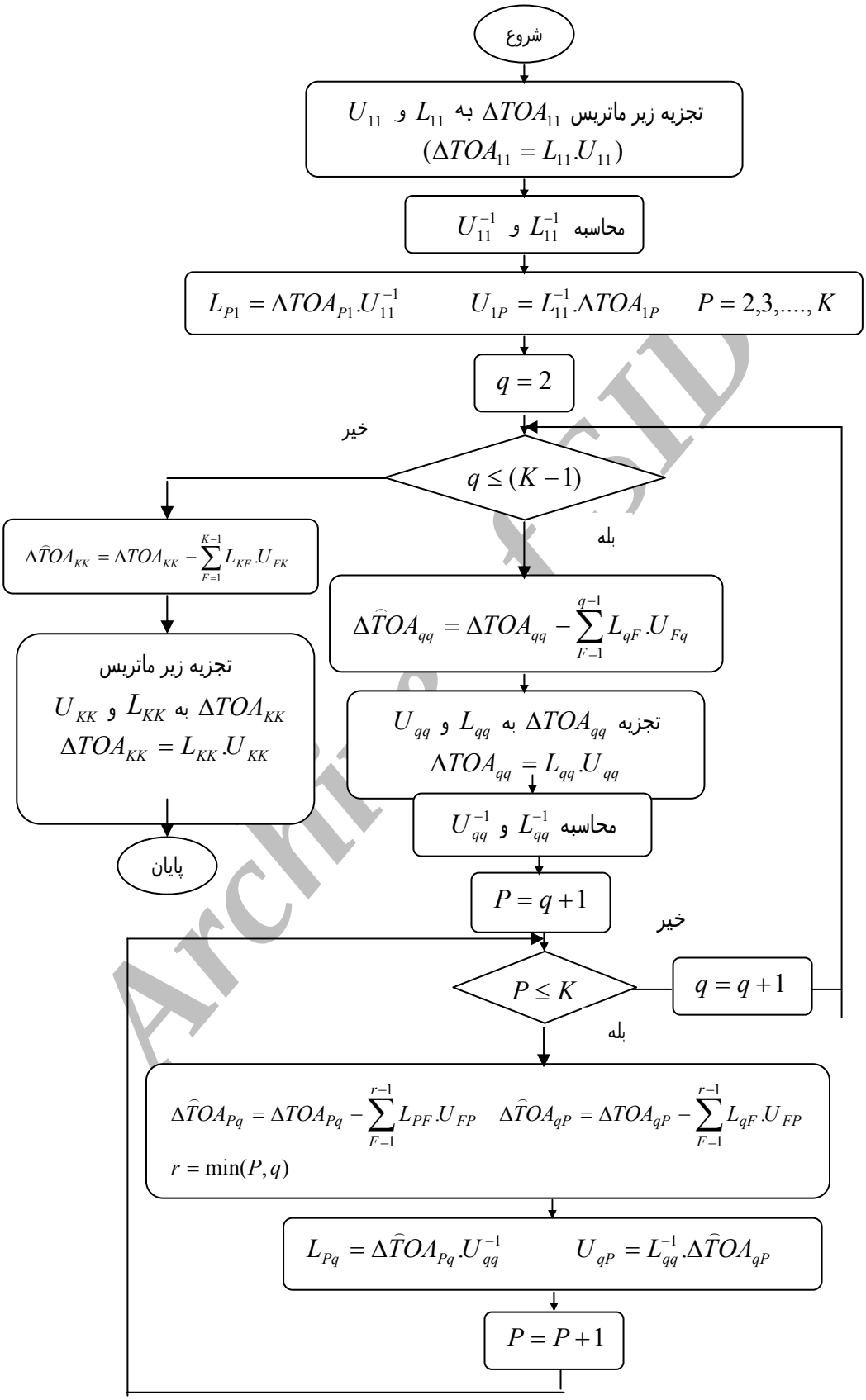
ماتريس با ابعاد N بزرگ (N تعداد پالسها) به K^2 قسمت با ابعاد مساوي ($\frac{N}{K}$ سطر و $\frac{N}{K}$ ستون) تقسيمبندي ميشود. در زير ماتريس قسمتبندي شده اختلاف زمان ورود پالسها (ΔTOA) نشان داده شده است.



در روش پيشنهادي ماتريس ΔTOA مطابق نمودار جرياني شكل (۲) به دو ماتريس قسمتبندي L و U تجزيه ميشوند و اين ماتريسها در زير نشان داده شدهاند. هر كدام از عناصر $[L_{ij}]$ و $[U_{ij}]$ بهترتيب زير ماتريسهاي، ماتريس L و U ميباشند.

$$L=\begin{bmatrix}[L_{11}] & [0] & \cdots & [0]\\ [L_{21}] & [L_{22}] & \cdots & [0]\\ \vdots & \vdots & \vdots & \vdots\\ [L_{K1}] & [L_{K2}] & \cdots & [L_{KK}]\end{bmatrix}$$

$$U=\begin{bmatrix}[U_{11}] & [U_{12}] & \cdots & [U_{1K}]\\ [0] & [U_{22}] & \cdots & [U_{2K}]\\ \vdots & \vdots & \vdots & \vdots\\ [0] & [0] & \cdots & [U_{KK}]\end{bmatrix}$$

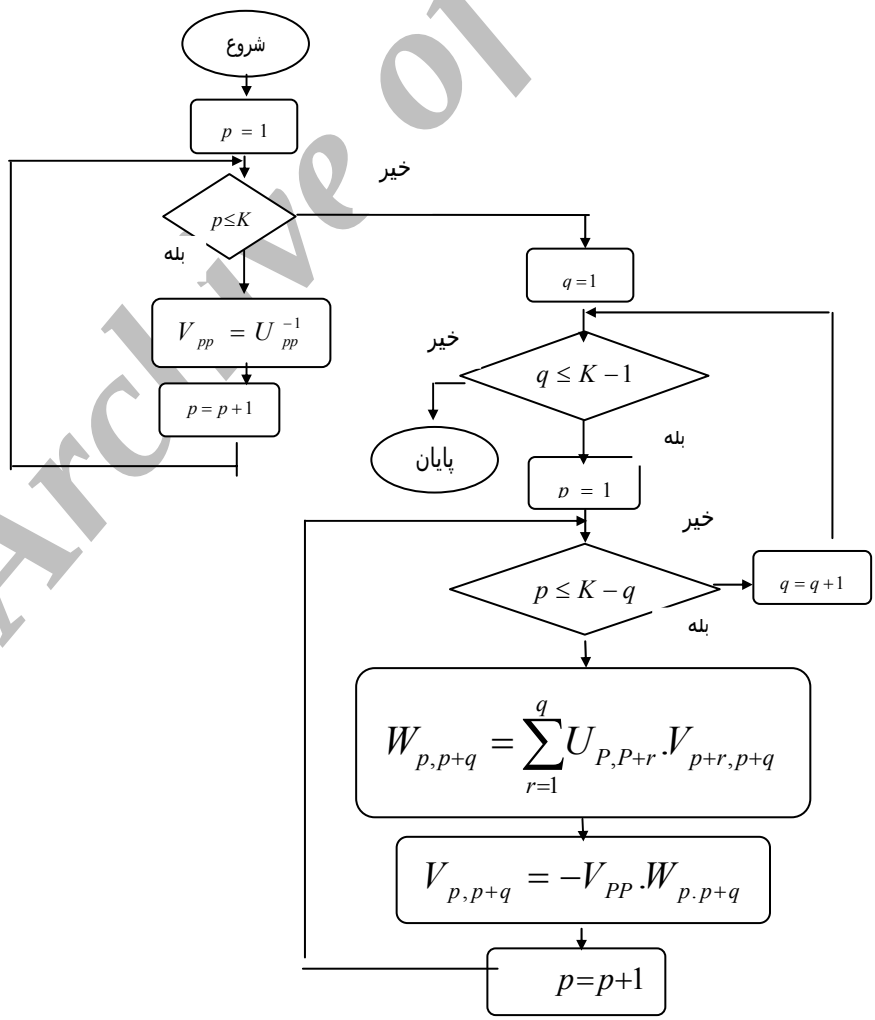


شکل ۲- نمودار جریانی محاسبه زیرماتریسهای ماتریس L و ماتریسU از زیر ماتریسهای ΔTOA

سپس زیر ماتریسهاي ماتریس V (V معکوس ماتریس U) مطابق نمودار جریاني شکل (۳) از زیر ماتریسهاي ماتریس U به دست میآیند. (زیر ماتریسهاي معکوس ماتریس L (ماتریس W) نیز بهصورت مشابه محاسبه میگردند). همانطور که در شکلهاي (۲) و (۳) ملاحظه میگردد کلیه عملیات محاسبه معکوس ماتریس روي بلوکها یا زیر ماتریسهاي ماتریس ورودي انجام میگیرد (هرکدام از عناصر $[V_{ij}]$ و $[W_{ij}]$ زیر ماتریسهاي ماتریس V و W میباشند). در نهایت با ضرب ماتریس قسمتبندي شده V در ماتریس قسمتبندي شده W، معکوس ماتریس اختلاف زمان ورود پالسها (ΔTOA^{-1}) محاسبه میشود.

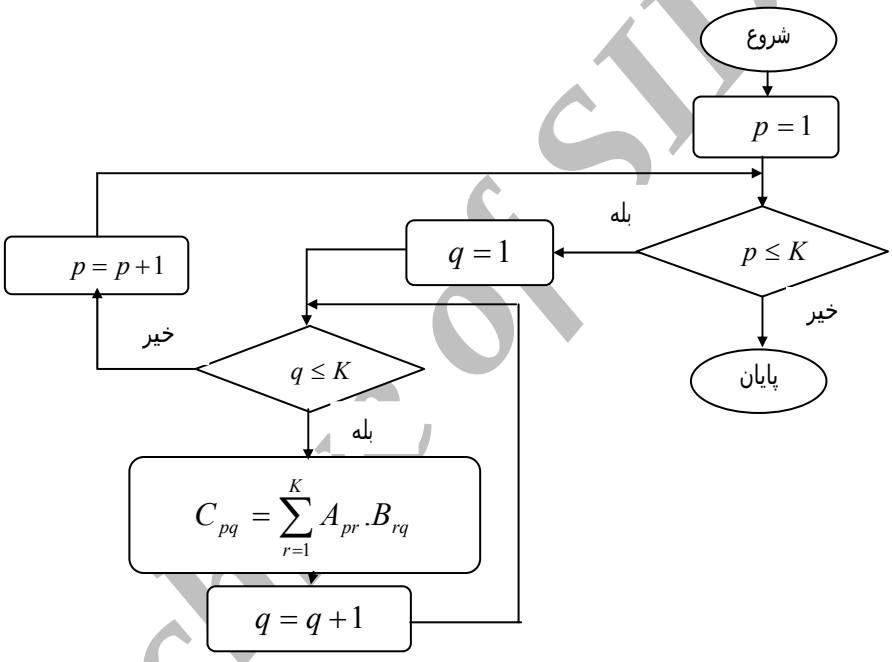
ب- طراحي پردازنده موازي

بهترین ساختار از بین ساختارهاي پردازش موازي براي عملیات ماتریسي آرایه سیستولیکي میباشد. آرایههاي سیستولیکي بهدلیل ساختار مشابه سلولها و فعالیت سنکرون آنها، بهراحتي با تکنولوژي VLSI پیادهسازي میشوند. ابعاد آرایههاي سیستولیکي براي محاسبات ماتریسي با افزایش ابعاد ماتریس بزرگ میشوند بنابراین لازم است مطابق آنچه در بخش قبل مطرح گردید براي کاهش ابعاد آرایه، ماتریس قسمتبندي شود. در این بخش براي هر بلوك شکل (۱) پردازنده آرایهاي، طراحي میشود. در طراحي این بلوکها از آرایه ضرب ماتریس در ماتریس (MMU)، آرایه تجزیه ماتریس بهماتریسهاي بالا مثلثي و پائین مثلثي (LUU) و آرایه محاسبه معکوس ماتریس (MIU) استفاده میشود. در طراحي انجام شده تعداد پالسها یا ابعاد ماتریس اختلاف زمان ورود پالسها ۱۰۰۰ لحاظ شده است که به ۲۰۰ زیر ماتریس۵۰×۵۰ قسمت شده است و سپس مطابق شکلهاي (۳،۲ و ۴) آرایه سیستولیکي آن طراحي شده است.

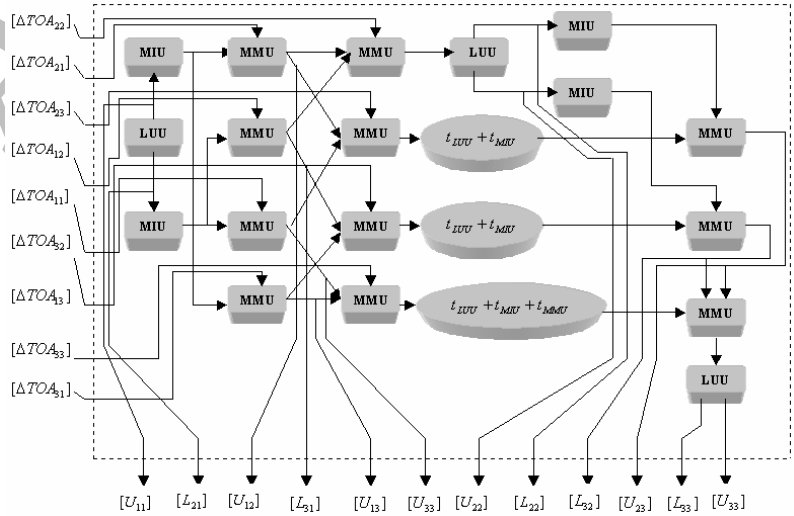


شکل ۳- نمودار جریاني محاسبه زیر ماتریسهاي V (V ماتریس معکوس U میباشد) از زیر ماتریسهاي ماتریس U

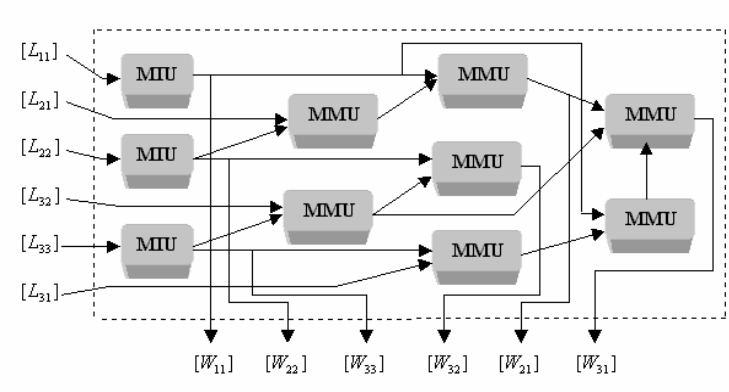
بـهدلیل بـزرگ بـودن آرایـههـاي طراحـي شـده از آوردن ایـن طراحیها در مقاله چشم پوشي شـده و در ادامـه، بـراي نمـایش ساختار عمومي طراحي، ماتریس اخـتلاف زمـان ورود پـالس بـا ابعاد ۹×۹ در نظر گرفته شده است و بـا فـرض بـر ایـنکـه ایـن ماتریس به ۹ زیر ماتریس ۳×۳ تقسیم شده، پردازنـده آرایـههاي براي محاسبه معکوس آن طراحي میگردد (شایان توجه است در نظر گرفتن ابعاد ۹×۹ براي ماتریس ΔTOA تنها بـراي نمـایش ساختار عمومي طراحي است و در بخشهاي بعدي بحث و ارزیابـي براساس تعداد پالس N انجام گرفتـه است). شکل (۵) پردازنده آرایهاي براي تجزیه ماتریس قسمتبندي شده اخـتلاف زمان ورود پالـسها بـه ماتریـسهاي L و U کـه براسـاس نمـودار جریاني شکل (۲) براي تعـداد تقـسیمات سـطر و سـتون K=3 طراحـي شـده اسـت، نـشان مـیدهـد. شـکلهاي (۶) و (۷) نیـز بهترتیب پردازنده آرایهاي براي محاسبه معکـوس مـاتریس U و L حاصله از شکل (۵) که براسـاس نمـودار جریـاني شـکل (۳) براي K=3 طراحي شدهاند نشان میدهند.



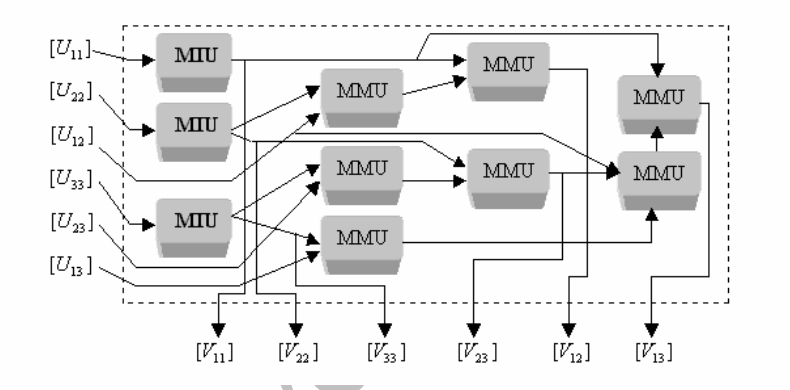
شکل ۴ - نمودار جریاني محاسبه زیر ماتریسهاي ماترس $\Delta TOA^{-1} = C_{OUT}$ از زیر ماتریسهاي ماتریس V و W



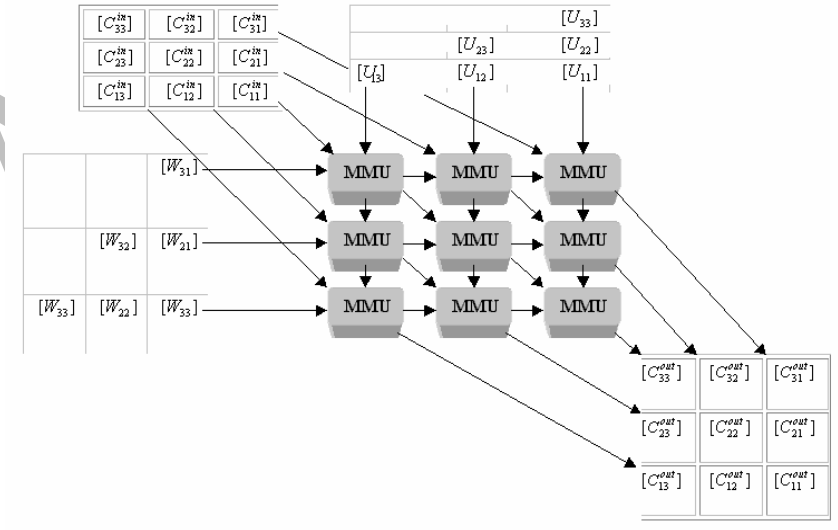
شکل۵- پردازنده آرایهاي براي محاسبه زیر ماتریسهاي U و L



شکل ۶- پردازنده آرايهاي براي محاسبه زير ماتريسهاي W



شکل ۷- پردازنده آرايه اي براي محاسبه زير ماتريسهاي V



شکل۸- پردازنده آرايه اي براي محاسبه زير ماتريسهاي ΔTOA^{-1}

ج- طراحي آرايههاي سيستوليكي

يك آرايه سيستوليكي ساختاري توري مانند از سلولهاي عملياتي و تأخير است كه دادهها، مقادير ورودي و نتايج مياني، در آن حركت مينمايند بهصورتي كه اين حركات در جهات مختلف صورت ميپذيرند. از خصوصيات آرايه سيستوليك نرخ بالاي ورودي و خروجي است كه بهعلت برخورداري از ساختار نسبتاً همگن بهويژه در پردازندههاي غير مرزي، امكان استفاده از پايپ لاين را فراهم ميسازند. بنابراين آرايههاي سيستوليكي براي كاربردهاي با حجم بالاي محاسبات موازي مانند محاسبات ماتريسي و مسائل رياضي داراي معادله بازگشتي مناسب ميباشند [۱۳و۱۴]. در اين بخش آرايه سيستوليكي براي بلوكهاي MMU، MIU و LUU شكلهاي (۸-۵) طراحي ميشوند. براي طراحي آرايه سيستوليكي ابتدا با توجه به معادله بازگشتي گراف وابستگي (DG) رسم ميگردد و سپس گراف جريان سيگنال (SFG) با توجه بهبردار نگاشت (Maping) از گراف وابستگي بهدست ميآيد. شايان توجه است كه بهازاي هر بردار نگاشت يك آرايه سيستوليكي به دست خواهد آمد كه از لحاظ تعداد سلولهاي عملياتي، تعداد سلولهاي تأخير، فاصله لولهاي (Pipline Interval) و تعداد ورودیها و خروجيهاي خارجي (External I/O) با آرايههاي حاصله از ديگر بردارهاي نگاشت متفاوت است. در مرحله آخر طراحي آرايه سيستوليك، نگاشت ورودیها و خروجيها انجام خواهد شد [۱۵و۱۶]. روابط جدول (۱) چگونگي تبديل گراف وابستگي به آرايه سيستوليكي را نشان ميدهند.

جدول ۱- روابط تبديل گراف وابستگي به آرايه سيستوليك

رابطه	مراحل تبديل DG بهآرايه سيستوليک
$[C]=P^t[n]$	Node Mapping
$\begin{bmatrix} D(e) \\ e \end{bmatrix}=\begin{bmatrix} S^t \\ P^t \end{bmatrix}[b]$	Arc Mapping
$\begin{bmatrix} T(c) \\ c \end{bmatrix}=\begin{bmatrix} S^t \\ P^t \end{bmatrix}[n]$	Input Mapping
$\begin{bmatrix} T(c) \\ c \end{bmatrix}=\begin{bmatrix} S^t \\ P^t \end{bmatrix}[n]+\begin{bmatrix} 1 \\ 0 \end{bmatrix}$	Output Mapping

در جدول (۱)، C موقعيت سلولها در SFG، D(e) تأخير لبه e، T(c) تأخير ورودیها و خروجيهاي آرايه، S بردار زمانبندي b، جهتهاي اتصال گرهها درگراف وابستگي، P^t ماتريس Projection و d بردار Projection ميباشد. بردار S و ماتريس P^t بايستي طوري انتخاب گردند كه در شروط $S^t d>0$ ، $S^t b>0$ و $P^t d=0$ صدق نمايند.

مشخصات گراف وابستگي براي هركدام از مسائل ضرب ماتريس در ماتريس، تجزيه ماتريس بهماتريسهاي بالا مثلثي و پائين مثلثي با روش گوس و محاسبه معكوس ماتريس با روش گوس ـ جردن توسط نرمافزار تهيه شده، استخراج شده است. جدول (۲) مشخصات آرايههاي سيستوليكي براي انجام عمليات ضرب ماتريسي (MMU)، جدول (۳) مشخصات آرايههاي سيستوليكي براي تجزيه ماتريس بهماتريسهاي بالا و پائين مثلثي (LUU) و جدول (٤) مشخصات آرايههاي سيستوليكي براي معكوس نمودن ماتريس (MIU) را كه بهازاي بردارهاي نگاشت مختلف و ماتريس با ابعاد N×N به دست آمدهاند، نشان ميدهند.

معيار ارزيابي آرايههاي سيستوليكي پارامترهاي تعداد سلول (A)، تعداد پالس ساعت براي انجام كل محاسبات (T)، AT و AT^2 ميباشند. جداول (۷-۵) بهترتيب اين پارامترها را براي آرايههاي سيستوليكي طراحي شده براي بلوكهاي MMU، LUU و MIU بهازاي بردارهاي نگاشت مختلف نشان ميدهند (مقادير اين جداول براساس ابعاد ماتريس يا تعداد پالسها (N) محاسبه شده است). آرايه سيستوليكي مناسبتر است كه مقادير پارامترهاي ارزيابي آن كمتر از بقيه باشد. بنابراين همانطور كه در جداول (۵ تا ۷) ديده ميشود آرايههاي حاصله از بردارهاي نگاشت (0,1,0) و (1,0,0) مناسب

بلوك MMU و آرايههاي حاصله از بردارهاي نگاشت (0,0,1)، (0,1,0) و (1,0,0) مناسبترين آرايهها براي بلوك LUU و آرايههاي بهدست آمده از بردارهاي نگاشت (0,1,0) و (1,0,0) مناسب ترين آرايهها براي بلوك MIU ميباشند. ولي بهدليل اينكه اين آرايهها بايستي بهجاي بلوكهاي MMU ، LUU وMIU شكلهاي (۸-۵) قرار گيرند بنابراين لازم است تمام ورودیها و خروجيهاي آرايه قابل دسترس باشند بههمين دليل آرايه حاصله از بردار نگاشت (1,1,0) براي بلوك MMU، آرايه حاصله از بردار نگاشت (1,1,0) براي بلوك LUU و آرايه حاصله از بردار نگاشت (0,1,0) براي بلوك MIU انتخاب شدهاند. شايان توجه است اين آرايهها بهازاي هر ابعادي از ماتريس (هر مقدار N) قابل طراحي ميباشند. در طراحي انجام شده ابعاد ماتريس ۵۰ ×۵۰ در نظرگرفته شده ولي بهدليل حجيم بودن آرايهها از آوردن آنها در مقاله چشمپوشي كرده و جهت نمايش ساختار

عمومـي ايـن آرايـهها شكلهاي (۱۱-۹) بهازاي ابعاد ماتريس ۳×۳ نشان داده شدهاند.

جدول ۲- مشخصات آرایههای سیستولیکی بهازای بردارهای نگاشت مختلف برای ضرب ماتریس در ماتریس (ماتریس با ابعاد N*N)

بردار نگاشت (Project)	فاصله لولهاي (Pipline interval)	ورودیها و خروجیهاي خارجي (External I/O)	افزایش سرعت (Speedup)	كارائي (Effectiveness)
(0,0,1)	1	2N	$\frac{N^3}{3N-2}$	$\frac{N}{3N-2}$
(0,1,0)	1	3N	$\frac{N^3}{3N-2}$	$\frac{N}{3N-2}$
(1,0,0)	1	3N	$\frac{N^3}{3N-2}$	$\frac{N}{3N-2}$
(1,1,0)	2	6N-2	$\frac{N^3}{3N-2}$	$\frac{N^3}{(3N-2)(2N^2-N)}$
(0,1,-1)	2	5N-1	$\frac{N^3}{3N-2}$	$\frac{N^3}{(3N-2)(2N^2-N)}$
(-1,0,1)	2	5N-1	$\frac{N^3}{3N-2}$	$\frac{N^3}{(3N-2)(2N^2-N)}$
(1,1,1)	1	8N-4	$\frac{N^3}{3N-2}$	$\frac{N^3}{(3N-2)(3N^2-3N+1)}$
(1,-1,1)	1	8N-4	$\frac{N^3}{3N-2}$	$\frac{N^3}{(3N-2)(3N^2-3N+1)}$
(-1,1,1)	1	8N-4	$\frac{N^3}{3N-2}$	$\frac{N^3}{(3N-2)(3N^2-3N+1)}$
(1,1,-1)	3	8N-4	$\frac{N^3}{3N-2}$	$\frac{N^3}{(3N-2)(3N^2-3N+1)}$

جدول ۳- مشخصات آرایههای سیستولیکی بهازای بردارهای نگاشت مختلف برای تجزیه ماتریس به L و U (ماتریس با ابعاد N* N)

بردار نگاشت	تعداد سلولهاي عملياتي	تعداد سلولهاي تاخيرها	فاصله لولهاي (Pipline interval)	ورودیها و خروجیهاي خارجي (External I/O)	افزايش سرعت (Speedup)	كارائي (Effectiveness)
(0,0,1)	N^2-N	N	1	2N-1	$\frac{11N}{3N-2}$	$\frac{11N}{3N^3-2N^2}$
(0,1,0)	$0.5N^2+0.5N-1$	1	1	2N-1	$\frac{11N}{3N-2}$	$\frac{11N}{1.5N^3+0.5N^2-N}$
(0,1,1)	N^2-N	N	2	3N-1	$\frac{11N}{3N-2}$	$\frac{11N}{3N^3-2N^2}$
(1,0,0)	$0.5N^2-0.5N$	N	1	2N	$\frac{11N}{3N-2}$	$\frac{11N}{1.5N^3+0.5N^2-N}$
(1,0,1)	N^2-N	N	2	3N-1	$\frac{11N}{3N-2}$	$\frac{11N}{3N^3-2N^2}$
(1,1,0)	N^2-N	N	2	4N-2	$\frac{11N}{3N-2}$	$\frac{11N}{3N^3-2N^2}$
(1,1,1)	N^2-N	N	3	4N-2	$\frac{11N}{3N-2}$	$\frac{11N}{3N^3-2N^2}$
(1,-1,1)	$1.5N^2-1.5N-1$	N+1	1	5N-4	$\frac{11N}{3N-2}$	$\frac{11N}{4.5N^3-4.5N^2+N}$
(-1,1,1)	$1.5N^2-3.5N+2$	2N-1	1	5N-3	$\frac{11N}{3N-2}$	$\frac{11N}{4.5N^3-7.5N^2+6N-2}$
(1,1,-1)	$2N^2-4N+2$	2N-1	1	6N-5	$\frac{11N}{3N-2}$	$\frac{11N}{6N^3-10N^2+7N-2}$

۴- نتیجه گیری

در این مقاله روشي ماتريسي كه براساس مشخصه زمان ورود پالسها با دقت بسيار خوبي قادر بهشناسائي كليه تكنيكهاي constant PRI، staggered PRI و Jittered PRI ميباشد، معرفي شد و سپس پردازنده سيستوليكي مناسبي براي انجام محاسبات آن طراحي گرديد. نتايج شبيهسازيهاي انجام گرفته نشان ميدهد پردازنده سيستوليك طراحي شده در مقاله باعث تسريع همراه با دقت قابل توجهاي در شناسائي رادارها ميگردد.

در صورتيكه محاسبات روش پيشنهادي بصورت معمول با يك پردازنده بهتنهائي انجام گيرد تعداد پالس ساعت لازم براي آن N^3+2N^2 خواهد بود ($2N^2$ پالس ساعت براي محاسبه ΔTOA و شناسائي نوع رشته پالسها و N^3 پالس ساعت براي محاسبه معكوس ماتريس ΔTOA) ولي اگر اين محاسبات با پردازنده سيستوليك طراحي شده در مقاله انجام شوند حجم محاسبات آن بصورت روابط ۳ تا ۱۰ محاسبه ميگردد. در اين روابط T_{AP} زمان انجام محاسبات روش پيشنهادي با آرايه سيستوليكي طراحي شده، T_{LUD} تعداد پالس ساعت لازم براي انجام محاسبات تجزيه ماتريس قسمتبندي شده ΔTOA بهماتريسهاي L و U، $T_{L^{-1}}$ و $T_{U^{-1}}$ بهترتيب تعداد پالس ساعت لازم براي محاسبه معكوس نمودن ماتريسهاي L و U (زمان محاسبه w و v)، $T_{L^{-1}\times U^{-1}}$ تعداد پالس ساعت لازم براي محاسبـه ضرب معكوس ماترس U در معكوس ماتريس L، t_{MMU} تعداد پالس ساعت لازم براي ضرب ماتريسي توسط آرايه شكل (۹) بهازاي تعدادپالس N، t_{MIU} تعـداد پالس ساعت لازم براي محاسبه معكوس ماتريس توسط آرايه شكل ۱۰ بهازاي تعدادپالس N، t_{LUU} تعداد پالس ساعت لازم براي تجزيه ماتريس بهماتريسهاي بالا مثلثي و پائين مثلثي توسط آرايه شكل (۱۱) بهازاي تعدادپالس N، N ابعاد ماتريس و K تعداد تقسيمات سطر يا ستون ماتريس اختلاف زمان ورود پالسها ميباشند.

جدول ٤- مشخصات آرايههاي سيستوليكي به ازاي بردارهاي نگاشت مختلف براي محاسبه معكوس ماتريس (ماتريس با ابعاد N×N)

بردار نگاشت	تعداد سلولهاي عملياتي	تعداد سلولهاي تاخيرها	فاصله لولهاي (Pipline interval)	ورودیها و خروجيهاي خارجي (External I/O)	افزايش سرعت (Speedup)	كارائي (Effectiveness)
(0,0,1)	$3N^2-4N+2$	4N-2	1	0	$\frac{N^3+2N}{5N-2}$	$\frac{N^3+2N}{15N^3-6N^2}$
(0,1,0)	N^2+N	0	1	2N	$\frac{N^3+2N}{5N-2}$	$\frac{N^3+2N}{5N^3+3N^2-2N}$
(0,1,1)	$2N^2-N$	3N-1	2	2N	$\frac{N^3+2N}{5N-2}$	$\frac{N^3+2N}{10N^3+6N^2-9N+2}$
(1,0,0)	N^2	N	1	2N	$\frac{N^3+2N}{5N-2}$	$\frac{N^3+2N}{5N^3+3N^2-2N}$
(1,0,1)	$2N^2-1$	2N	2	2N	$\frac{N^3+2N}{5N-2}$	$\frac{N^3+2N}{10N^3+6N^2-9N+2}$
(1,1,0)	$2N^2-2N$	2N	2	4N-2	$\frac{N^3+2N}{5N-2}$	$\frac{N^3+2N}{10N^3-4N^2}$
(1,1,1)	N^2	2N	3	4N-2	$\frac{N^3+2N}{5N-2}$	$\frac{N^3+2N}{5N^3+8N^2-4N}$
(1,-1,1)	$3N^2-N-1$	3N-1	1	4N-2	$\frac{N^3+2N}{5N-2}$	$\frac{N^3+2N}{15N^3+4N^2-14N+4}$
(-1,1,1)	$3N^2-2N$	4N-2	1	4N-2	$\frac{N^3+2N}{5N-2}$	$\frac{N^3+2N}{15N^3+4N^2-14N+4}$
(1,1,-1)	$5N^2-9N+5$	6N-4	1	4N-2	$\frac{N^3+2N}{5N-2}$	$\frac{N^3+2N}{25N^3-25N^2+11N-2}$

جدول ۵- پارامترهاي ارزيابي آرايههاي حاصله از بردارهاي نگاشت مختلف براي ضرب ماتريس در ماتريس (ماتريس با ابعاد NxN)

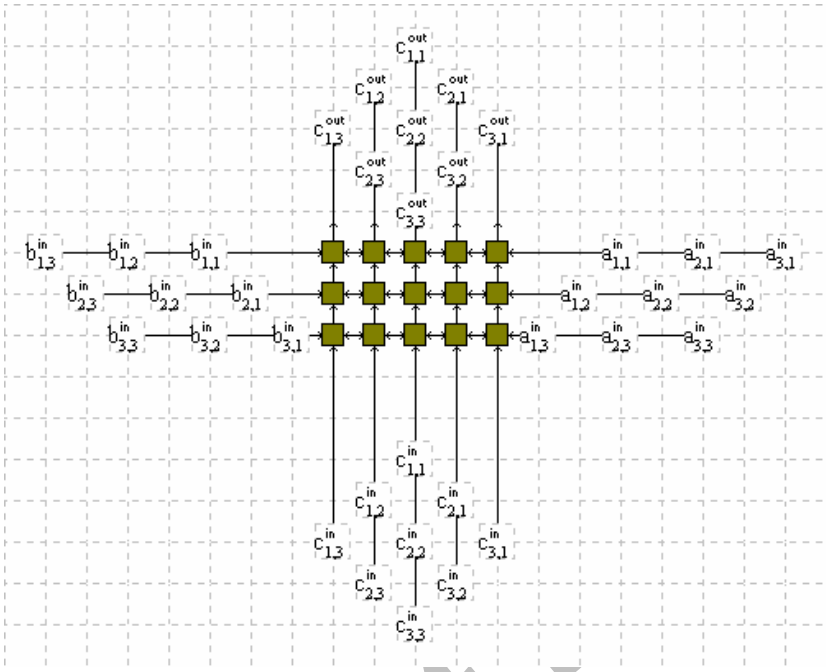
بردار نگاشت	تعدادسلولها A	تعدادپالس ساعت T	AT	AT^2
(0,0,1)	N^2	$3N-2$	$3N^3-2N^2$	$9N^4-12N^3+4N^2$
(0,1,0)	N^2	$3N-2$	$3N^3-2N^2$	$9N^4-12N^3+4N^2$
(1,0,0)	N^2	$3N-2$	$3N^3-2N^2$	$9N^4-12N^3+4N^2$
(1,1,0)	$2N^2-N$	$3N-2$	$6N^3-7N^2+2N$	$18N^4-33N^3+20N^2-4N$
(0,1,-1)	$2N^2-N$	$3N-2$	$6N^3-7N^2+2N$	$18N^4-33N^3+20N^2-4N$
(-1,0,1)	$2N^2-N$	$3N-2$	$6N^3-7N^2+2N$	$18N^4-33N^3+20N^2-4N$
(1,1,1)	$3N^2-3N+1$	$3N-2$	$9N^3-15N^2+9N-2$	$27N^4-63N^3+57N^2-24N+4$
(1,-1,1)	$3N^2-3N+1$	$3N-2$	$9N^3-15N^2+9N-2$	$27N^4-63N^3+57N^2-24N+4$
(-1,1,1)	$3N^2-3N+1$	$3N-2$	$9N^3-15N^2+9N-2$	$27N^4-63N^3+57N^2-24N+4$
(1,1,-1)	$3N^2-3N+1$	$3N-2$	$9N^3-15N^2+9N-2$	$27N^4-63N^3+57N^2-24N+4$

جدول ۶- پارامترهاي ارزيابي آرايههاي حاصله از بردارهاي نگاشت مختلف براي تجزيه ماتريس به L و U (ماتريس با ابعاد NxN)

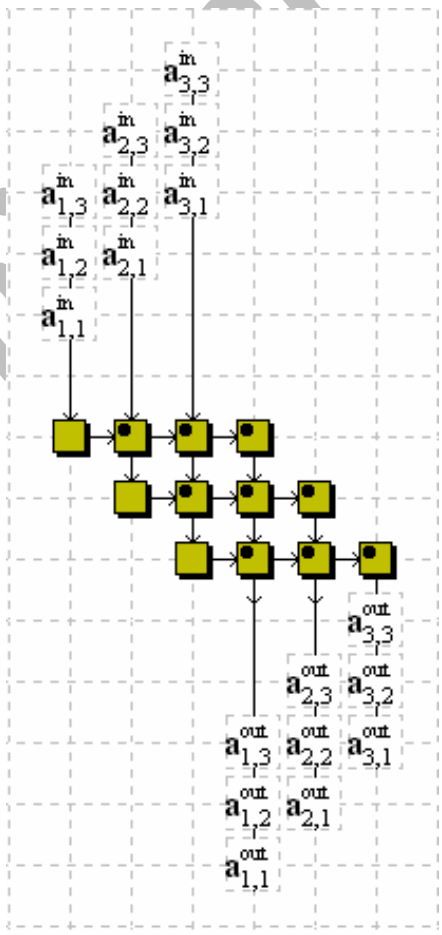
بردار نگاشت	تعدادسلولها A	تعدادپالس ساعت T	AT	AT^2
(0,0,1)	N^2	$3N-2$	$3N^3-2N^2$	$9N^4-12N^3+4N^2$
(0,1,0)	$0.5N^2+0.5N$	$3N-2$	$1.5N^3+0.5N^2-N$	$4.5N^4-1.5N^3-4N^2+2N$
(0,1,1)	N^2	$3N-2$	$3N^3-2N^2$	$9N^4-12N^3+4N^2$
(1,0,0)	$0.5N^2+0.5N$	$3N-2$	$1.5N^3+0.5N^2-N$	$4.5N^4-1.5N^3-4N^2+2N$
(1,0,1)	N^2	$3N-2$	$3N^3-2N^2$	$9N^4-12N^3+4N^2$
(1,1,0)	N^2	$3N-2$	$3N^3-2N^2$	$9N^4-12N^3+4N^2$
(1,1,1)	N^2	$3N-2$	$3N^3-2N^2$	$9N^4-12N^3+4N^2$
(1,-1,1)	$1.5N^2-0.5N$	$3N-2$	$4.5N^3-4.5N^2+N$	$13.5N^4-22.5N^3+12N^2-2N$
(-1,1,1)	$1.5N^2-1.5N+1$	$3N-2$	$4.5N^3-7.5N^2+6N-2$	$13.5N^4-31.5N^3+33N^2-18N+4$
(1,1,-1)	$2N^2-2N+1$	$3N-2$	$6N^3-10N^2+7N-2$	$18N^4-42N^3+41N^2-20N+4$

جدول ۷- پارامترهاي ارزيابي آرايههاي حاصله از بردارهاي نگاشت مختلف براي محاسبه معكوس ماتريس (ماتريس با ابعاد NxN)

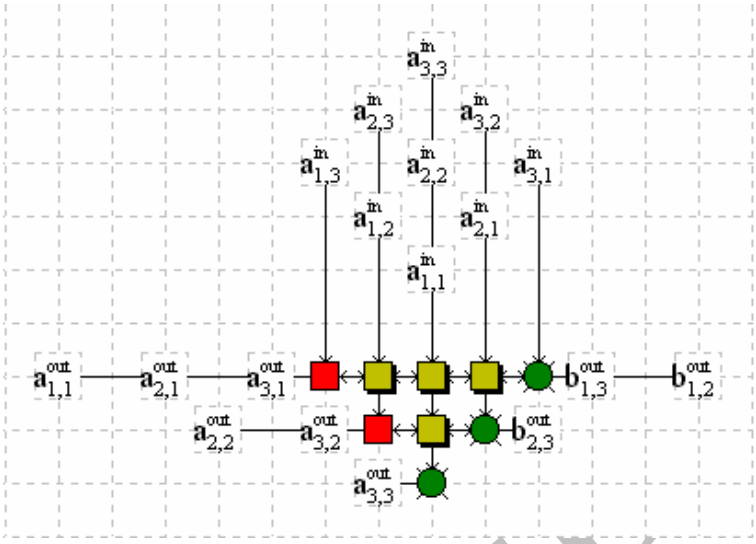
بردار نگاشت	تعدادسلولها A	تعدادپالس ساعت T	AT	AT^2
(0,0,1)	$3N^2$	$5N-2$	$15N^3-6N^2$	$75N^4-60N^3+12N^2$
(0,1,0)	N^2+N	$5N-2$	$5N^3+3N^2-2N$	$25N^4+5N^3-16N^2+4N$
(0,1,1)	$2N^2+2N-1$	$5N-2$	$10N^3+6N^2-9N+2$	$50N^4+10N^3-57N^2+28N-4$
(1,0,0)	N^2+N	$5N-2$	$5N^3+3N^2-2N$	$25N^4+5N^3-16N^2+4N$
(1,0,1)	$2N^2+2N-1$	$5N-2$	$10N^3+6N^2-9N+2$	$50N^4+10N^3-57N^2+28N-4$
(1,1,1)	N^2+2N	$5N-2$	$5N^3+8N^2-4N$	$25N^4+30N^3-36N^2+8N$
(1,-1,1)	$3N^2+2N-2$	$5N-2$	$15N^3+4N^2-14N+4$	$75N^4-10N^3-78N^2+48N-8$
(-1,1,1)	$3N^2+2N-2$	$5N-2$	$15N^3+4N^2-14N+4$	$75N^4-10N^3-78N^2+48N-8$
(1,1,-1)	$5N^2-3N+1$	$5N-2$	$25N^3-25N^2+11N-2$	$125N^4-175N^3+105N^2-32N+4$



شکل ۹- آرایه طراحي شده براي ضرب ماتریس در ماتریس(MMU) به ازاي بردار نگاشت (1,1,0) و $N = 3$



شکل ۱۰- آرایه طراحي شده براي محاسبه معکوس ماتریس (MIU) به ازاي بردار نگاشت (1,1,0) و $N = 3$



شكل ۱۱- آرايه طراحي شده براي تجزيه ماتريس به ماتريسهاي L و U

(بلوك LUU) به ازاي بردار نگاشت (1,1,0) و $N = 3$

شكل (۱۲) نمودار حجم محاسبات روش پيشنهادي در مقايسه با روشهاي قبلي بهازاي تعداد پالسهاي N را نشان ميدهد. همانطور كه در اين شكل ديده ميشود حجم محاسبات اين روش از روشهاي قبلي كمتر است. اين در حالي است كه روش پيشنهادي داراي عمليات ماتريسي بوده و داراي حجم محاسبات بالائي است. شكل (۱۳) تعداد پالس ساعت لازم براي پردازش روش پيشنهادي با تك پردازنده و آرايه سيستوليكي را نشان ميدهد.

بنابراين افزايش سرعت حاصل شده از آرايه طراحي شده بصورت زير است:

$$Speedup = \frac{N^3 + 2N^2}{\frac{9}{K}N^2 + (42 - \frac{6}{K})N - 24} \qquad (۱۱)$$

افزايش سرعت حاصله از انجام محاسبات روش پيشنهادي با آرايه سيستوليكي طراحي شده در مقاله براي تعداد پالس۱۰۰۰ و تعداد تقسيمات سطر و ستون ۲۰۰ معادل ۱۱۵۲٤ ميباشد. ضمناً نتايج بررسيهاي آماري انجام شده روي محيطهاي مختلف راداري شبيهسازي شده (محيط با مشخصات۱۰ رادار عملي (با تكنيكهاي مختلف و حضور ۵% پالس گمشده و ۵% نويز)) نشان

$$T_{AP} = T_{LUD} + T_{L^{-1}} + T_{U^{-1}\times L^{-1}} \qquad (۳)$$

$$T_{LUD} = 3t_{LUU} + 2t_{MIU} + 4t_{mmu} \qquad (۴)$$

$$T_{L^{-1}} = t_{MIU} + 4t_{mmu} \qquad (۵)$$

$$T_{U^{-1}} = t_{MIU} + 4t_{mmu} \qquad (۶)$$

$$T_{U^{-1}\times L^{-1}} = (3\frac{N}{K} - 2)t_{MMU} \qquad (۷)$$

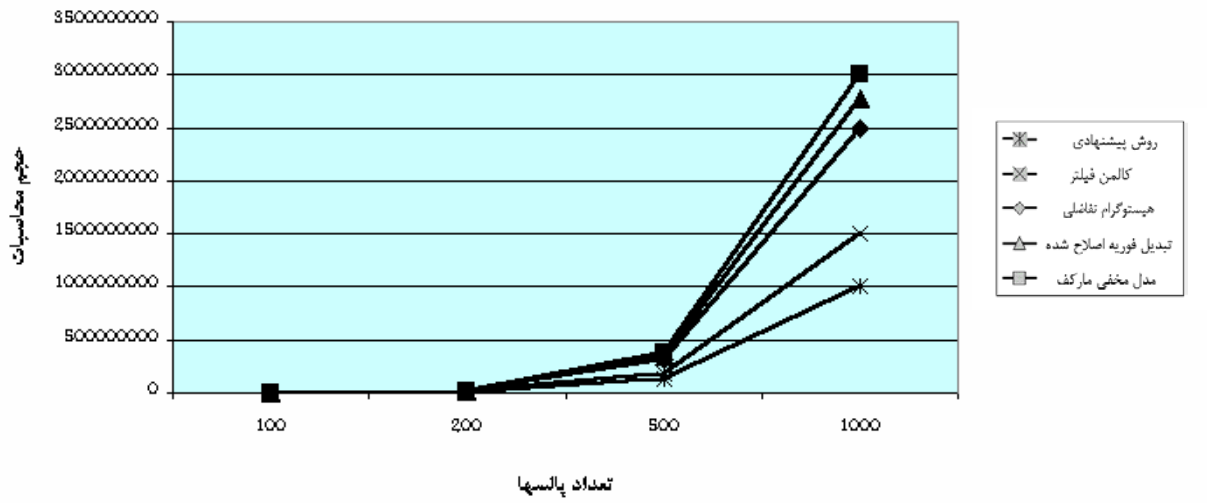
$$T_{AP} = (\frac{3N}{K} + 6)t_{MMU} + 3t_{MIU} + 3t_{LUU} \qquad (۸)$$

$$t_{LUU} = 3\frac{N}{K} - 2 \quad t_{MMU} = 3\frac{N}{K} - 2 \quad t_{MIU} = 5\frac{N}{K} - 2 \qquad (۹)$$

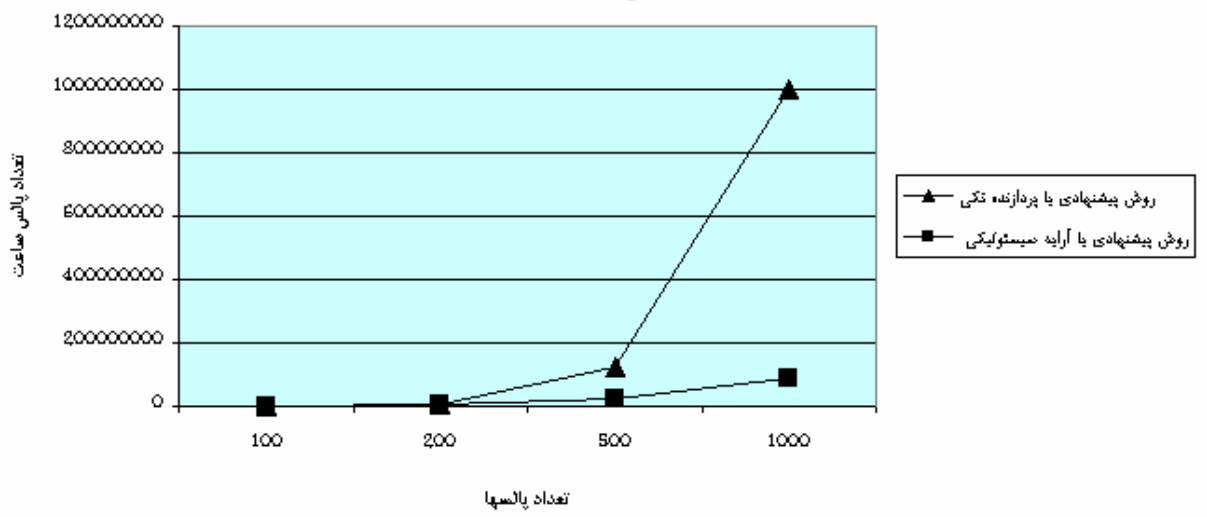
$$T_{AP} = \frac{9}{K}N^2 + (42 - \frac{6}{K})N - 24 \qquad (۱۰)$$

مطابـق رابطـه ۱۰ كل پالس سـاعت لازم براي انجـام محاسـبات روش پيشنهادي $T_{AP} = \frac{9}{K}N^2 + (42 - \frac{6}{K})N - 24$ ميباشد.

میدهد، پردازنده طراحي شده براي تعداد پالس ۱۰۰۰ با دقتي معادل ۹۸% رادارها را شناسائي ميكند كه دقت قابل توجهاي ميباشد بنابراين در صورت استفاده از پردازنده سيستوليك طراحي شده درگيرنده هشدار راداري، آن را قادر خواهد ساخت بهصورت بلادرنگ و با دقت بسيار بالائي كليه تكنيكهاي راداري را شناسائي نمايد.



شكل ۱۲- مقايسه حجم محاسبات روشهاي قبلي با روش پيشنهادي



شكل ۱۳- تعداد پالس ساعت لازم براي روش پيشنهادي در دو حالت انجام توسط تك پردازنده و آرايه سيستوليكي

مراجع

[1] H. S. Shahhoseini, A. Naseri, M. Naderi, "A New Matrix Method for Pulse Train Identification", IEEE proceedings, MELECON, pp 183-187, 2002.

[2] H.S.Shahhoseini, A. Naseri, M. Naderi, "Matrix Multistage Clustering of Interleaved Pulse Train", IASTED International Conference, Signal Processing, Pattern Recognition and Application, Greece, pp 98-101, June 2002.

[3] A. Naseri, H. S. Shahhoseini, M. Naderi "Data Clustering by Minimum Difference Tree and PRI Transform", IEEE proceedings, MELECON, pp 183-187, 2002.

[4] Andrew logothetis and Vikram Krishnamurthy, "An interval – Amplitude algorithm for

deinterleaving stochastic pulse train sources", IEEE Transactions on signal processing, vol. 46, No. 5, pp.1344-1350, May 1998.

[5] Robert J. Orsi , Johan B. Moore and Robert E. Mahony, "Interleaved pulse train spectrum estimation", International symposium on signal processing and its applications, ISSPA, gold coast, australia, pp. 125-128, 25-30 August 1996.

[6] Brian M.Sadler, Stephen D. Casey, "PRI analysis from sparse data via a modified Euclidean algorithm", IEEE proceedings of ASILOMAR – 29, pp. 1147-1151, 1996.

[7] Jane perkins, Ian coat, "Pulse train deinterleaving via the hough transform", IEEE 1994, International conference on, vol.3, pp. 197- 200, 1994.

[8] John B. Moore, and Vikram Krishnamurthy, "deinterleaving pulse trains using discrete – time stochastic dynamic linear models.", IEEE, Transaction on signal processing, vol. 42 , No, 11, pp. 3092-3103, November 1994.

[9] D. J Milojevic, B. M. Popovic, "Improved algorithm for the deinterleaving of radar pulses", IEE proceedings. F, vol. No.1, pp. 98-104, february 1992.

[10] Mardia H.K., "New techniques for the deinterleaving of repetitive sequences", IEE proceedings, Vol. 136, pt. F, No.4, pp. 149-154, August 1989.

[11] Mark W. Maier, "Processing throughput estimation for Radar intercept receivers," IEEE Transactions On Arospace and Electronics Systems, Vol 34, No.1, pp.84-92, Jan 1998.

[12] P. S. RAY,"A novel pulse TOA analysis technique for radar identification", IEEE Transactions on aerospace and electronic systems, vol. 34, No. 3, pp. 716-721, July 1998.

[13] Shek-Wayne Chan and Chin-Long Wey, "The Design of Concurrent Error Diagnosable Systolic Arrays for Band Matrix Multiplications," IEEE Transactions on Computer -Aided Design, vol. 7, No. 1, pp. 21- 37, January 1988 .

[14] T. Kurtis et. al. "General-Purpose Systolic Arrays," Vol. 26, No. 11, pp. 20-31, November 1993.

[15] S. Sedukhin and I.Sedukhin "Systematic Approach and Software Tool for Systolic Design." Proc. Intern. Conf. CONPAR'94 - VAPP VI. Sep. 6-8, 1994.

[16] I.Z. Milovanovic, T. I. Tokic, M . K. Stojcev, E. I. Milovanovic, N. M. NovaKovic, "Mapping Matrix Multiplication Algorithm on to Optimal Fault – Tolerant Systolic Array", MIEL1999, Yugoslavia., PP. 711 –714 , 1999.

[17] John A. Gunnels and Daniel S.Katz and Enrique S. Quintana –Orti and Robert A. van de Geijn, "Fault – Tolerant High – Performance Matrix Multiplication: Theory and Practice," In Proceedings of the International Conference for Dependable Systems and Networks (DSN-2001), pp. 47 - 55, 2001.

[18] J. F. Tasic and M. Zajc and A. Kosir, "Comparison of Some Parallel Matrix Multiplication Algorithms", 8th Mediterranean Electrotechnical Conference, MELECON '96., pp. 155 -158, 1996.