بررسی اثرات دمایی ترانزیستور nm ۴۵ سیلیکون روی الماس

آرش دقیقی[۱]، شهین زمانی[۲]
۱- استادیار، دانشکده برق و کامپیوتر، دانشگاه آزاد اسلامی، واحد شهر مجلسی، daghighi-a@eng.sku.ac.ir
۲- دانشجوی کارشناسی ارشد، دانشکده برق، دانشگاه آزاد اسلامی، واحد نجف آباد، shahin.zamani56@gmail.com

چکیده

در این مقاله مشخصه‌های دمایی زیرپایه‌های سیلیکون روی عایق (SOI) و سیلیکون روی الماس (SOD) با طول کانال ۴۵nm، با استفاده از شبیه‌سازی هیدرودینامیک مورد بررسی قرار گرفته است. از آنجا که الماس دارای هدایت گرمایی بسیار بالایی در مقایسه با اکسید سیلیکون بوده، لذا با انتقال سریع گرما در زیرپایه‌های سیلیکون روی الماس، دمای شبکه نسبت‌به زیرپایه‌های سیلیکون روی عایق بسیار افت کرده، به‌طوری‌که امکان استفاده از این زیرپایه‌ها را در شرایط دمایی یکسان و توان بالاتر فراهم می‌کند. از طرفی در مدارات مجتمع بر پایه تکنولوژی سیلیکون روی الماس، هدایت یکنواخت و سریع گرما توسط لایه الماس موجب همدما شدن ترانزیستورهای کناری با دمای ترانزیستور فعال می‌گردد. در این مقاله برای اولین بار اثر عایق مدفون الماس در انتقال گرمای تولید شده به ترانزیستورهای کناری مورد بررسی قرار می‌گیرد. نتایج شبیه‌سازی بیانگر افزایش جریان خاموشی (Ioff) ترانزیستورهای کناری تا میزان ۸ برابر می‌باشد. این وابستگی دمایی، باعث افزایش جریان خاموشی ترانزیستورهای کناری و ایجاد مسئله عدم انطباق در مدارات مجتمع می‌گردد.

کلمات کلیدی

ماسفت، سیلیکون روی عایق، سیلیکون روی الماس، شبیه‌سازی هیدرودینامیک، اثر خودگرمایی

۱– مقدمه

با گسترش تکنولوژی ساخت ترانزیستورها در ابعاد نانو، ترانزیستورهای سیلیکون روی عایق[۱] در مقایسه با ترانزیستورهای بدنه سیلیکون[۲] مزیت‌های عمده‌ای از خود نشان می‌دهند که استفاده از آنها را برای مقاصد عملی تحت شرایط سخت کاری بسیار مطلوب می‌سازد. از جمله مزیت‌های این ترانزیستورها می‌توان کاهش مؤلفه جریان‌های نشتی، کاهش خازن‌های پیوند، بهبود اثرات کانال کوتاه، ایزوله بودن ترانزیستور،کاهش نویزپذیری و حذف اثر Latch-up نام برد [۱]. به‌خاطر اینکه این ترانزیستورها ۲۰٪ تا ۳۵٪ بهبود عملکردی در مقایسه با ترانزیستورهای بدنه سیلیکون از خود نشان می‌دهند بسیاری از شرکت‌های بزرگ برای ساخت مدارات مجتمع از این ترانزیستورها استفاده می‌نمایند. از این‌رو متخصصین، SOI را تکنولوژی منتخب برای کاربردهای سیستم روی چیپ[۳] می‌دانند [۲]. اما در این ترانزیستورها به‌دلیل وجود لایه اکسید سیلیکون، گرمای ایجاد شده در ترانزیستور مسیری برای خروج نداشته و این باعث به‌وجود آمدن اثر خودگرمایی در این ترانزیستورها می‌گردد [۳]. از این‌رو استفاده از زیرپایه‌های سیلیکون روی الماس[۴] برای ترانزیستورهای SOI پیشنهاد می‌گردد [۴]. ازآنجائی‌که هدایت گرمایی بالا در الماس (w/m.k ۲۰۰۰ در مقایسه با ۱/۴w/m.k برای اکسید سیلیکون)، ترانزیستورهای سیلیکون روی الماس را به‌عنوان جایگزین مناسبی برای نسل آتی ترانزیستورها معرفی کرده [۷ - ۵]، زیرپایه‌های SOD با هدایت گرمای ایجاد شده در سطح سیلیکون به پایه و از آنجا به محیط

Archive of SID

www.SID.ir

خارج، اثر خودگرمایی ترانزیستورهای SOI را به حداقل رسانده و درنتیجه باعث بهبود عملکرد این ترانزیستورها می‌شود [۸].

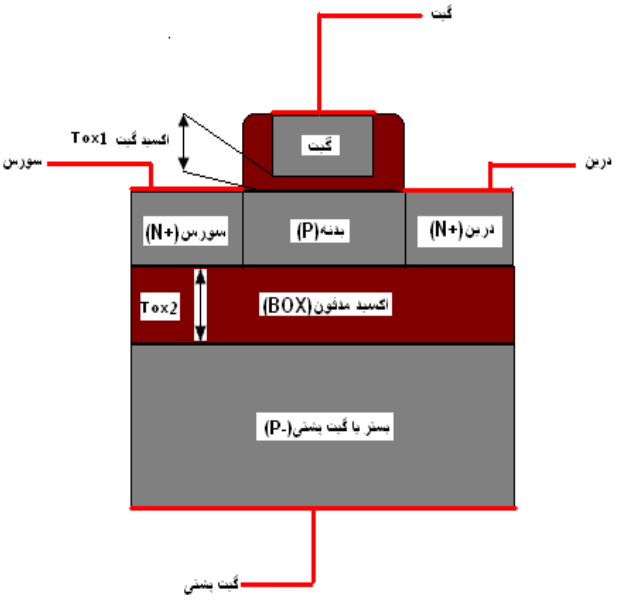
۲– ساختار ترانزیستورهای SOI و SOD

۲–۱– ساختار ترانزیستورهای SOI

در شکل (۱)، یک برش عرضی از یک ترانزیستور SOI با کانال نوع n نشان داده شده است. ناحیه بین نواحی سورس و درین، کانال نام داشته که همان ناحیه فعال ترانزیستور می‌باشد. T_{OX1} و T_{OX2} به‌ترتیب ضخامت اکسید گیت جلو و ضخامت لایه اکسید مدفون می‌باشد. ترانزیستور دارای ۴ ترمینال سورس، درین، گیت جلو و گیت پشتی (بستر) می‌باشد. در بعضی از کاربردها ازترمینال بدنه جهت اتصال ترانزیستور به زمین نیز استفاده گردیده به‌طوری‌که این ترانزیستور را، یک المان ۵ ترمیناله می‌نامند. به لایه اکسید مدفون در بین بدنه و بستر اصطلاحاً BOX می‌گویند.

فیزیک ترانزیستورهای سیلیکون بر روی عایق، شدیداً وابسته به ضخامت و چگالی ناخالصی لایه سیلیکانی کانال است.

افزاره‌های SOI MOSFET به دو دسته اصلی تقسیم می‌شوند: افزاره که لایه سیلیکان در ناحیه کانال، به‌صورت کامل تخلیه نمی‌گردد[۵] و افزاره‌هایی که لایه سیلیکان در ناحیه کانال، به‌صورت کامل تخلیه می‌گردد[۶].



شکل ۱- برش عرضی یک ترانزیستور SOI

در افزاره‌های PD SOI، ضخامت لایه سیلیکان در ناحیه کانال، t_{Si}، از دو برابر مقدار عرض لایه تخلیه بزرگتر است. در این حالت هیچ برهم کنشی بین نواحی تخلیه ناشی از بایاس گیت جلو و پشت در زیر فصل مشترک‌های جلو و پشت وجود نداشته و یک ناحیه خنثی در زیر نواحی تخلیه به‌وجود می‌آید. این ناحیه خنثی را بدنه می‌نامند. اگر بدنه توسط اتصال بدنه[۷] به زمین وصل گردد مشخصه‌های افزاره‌های PD SOI، دقیقاً همان مشخصه‌های افزاره های BULK می‌باشد. اگر بدنه، به‌صورت الکتریکی شناور رها گردد اثراتی که تحت عنوان اثرات بدنه شناور[۸] نامیده شده، ظاهرگردیده که موجب تاثیر بر مشخصه‌های افزاره‌های PD SOI می‌گردد. ازجمله این اثرات می‌توان به اثرکینک[۹] اشاره کرد [۱]. در افزاره‌های FD SOI، ضخامت لایه سیلیکان از مقدار عرض لایه تخلیه کمتر است. در این حالت با اعمال ولتاژ آستانه به گیت جلویی، لایه سیلیکان صرف نظر از بایاس اعمال شده به گیت پشتی (به استثناء امکان تشکیل لایه نازک انباشته و معکوس در فصل مشترک پشتی به‌ازاء ولتاژهای بایاس بسیار منفی یا مثبت به گیت پشتی)، کاملاً تخلیه می‌گردد. در این افزاره‌ها، اگر فصل مشترک پشتی در مد انباشته قرار نگیرد، اثر کینک در آنها به‌وجود نمی‌آید.

۲–۲– ساختار ترانزیستورهای SOD

ساختار ترانزیستورهای SOD، کاملاً شبیه ترانزیستورهای SOI بوده با این تفاوت که به‌جای لایه اکسید سیلیکون در BOX، یک لایه الماس قرار می‌گیرد. ترانزیستورهایSOD نیز بسته به ضخامت و ناخالصی لایه کانال به دوسته PD SOD و FD SOD تقسیم می‌گردند.

۳– تکنولوژی ساخت ترانزیستورهای SOD

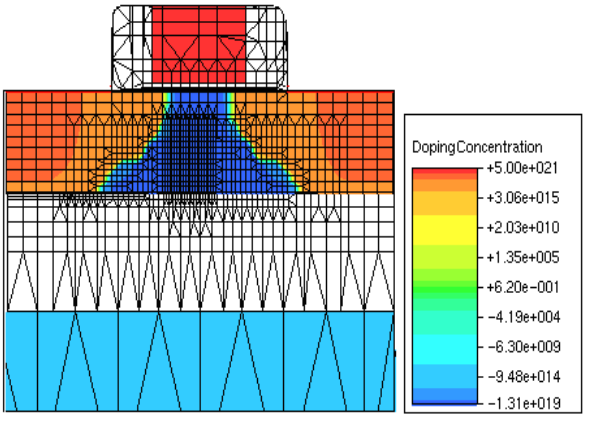
زیرپایه‌های سیلیکون روی الماس را می‌توان با استفاده از ترکیب روش‌های رسوب بخارشیمیایی الماس به‌کمک پلاسما و پیوندزنی ویفر و یا رشد سیلیکان به‌روش رونشانی جانبی تولید کرد. همچنین می‌توان با استفاده از روش فیلمان داغ، لایه الماس را بر روی سیلیکان رسوب داد [۹]. در مقالات چاپ شده [۱] روش ذوب ناحیه‌ای و تبلور مجدد[۱۰] را به‌عنوان یکی از روش‌های ساخت ترانزیستورهای سیلیکون روی الماس بیان کرده است. در این روش ابتدا یک لایه پلی کریستال الماس با ضخامت ۱۰۰۰ نانومتر، با استفاده از رسوب بخار شیمیایی، بر روی یک بستر سیلیکانی آلاییده شده با ناخالصی‌های نوع P و جهت‌گیری بلوری<۱۰۰>، رسوب داده می‌شود. سپس بر روی این لایه، یک لایه پلی کریستال سیلیکان با ضخامت ۱ میکرو متر با استفاده از روش ذوب ناحیه‌ای و تبلور مجدد رسوب داده می‌شود.

Archive of SID

www.SID.ir

۴– طراحی وشبیه‌سازی ترانزیستور SOI و SOD درمقیاس ۴۵nm

در این بخش، مشخصه‌های خروجی ترانزیستورهای SOI وSOD در مقیاس ۴۵nm، بدست می‌آید. این مشخصه‌ها شامل مشخصه‌های الکتریکی، مشخصه دما و پروفایل دمای شبکه می‌باشد. در شکل (۲) شماتیک دوبعدی یک ترانزیستور PD SOD در مقیاس۴۵nm نشان داده شده است.



شکل۲– شمای دوبعدی یک ترانزیستور PD SOD در مقیاس ۴۵nm

مشخصه‌های خروجی در هردو تکنولوژی SOI و SOD با استفاده از مدل بسیار دقیق هیدرودینامیک[11] مورد بررسی و شبیه‌سازی قرار گرفته است. با استفاده از این مدل که مختص ترانزیستورها در مقیاس نانو می‌باشد، مشخصه دقیق و قابل اطمینانی از گرمای تولید شده در ترانزیستورها بدست می‌آید. در مدل هیدرودینامیک، معادله ابقاء انرژی برای حفره، الکترون و شبکه حل می‌شود. در این مدل برخلاف مدل نفوذ-رانش[12]، درجه حرارت حامل‌های بار الکترون و حفره، T_n، T_p، با درجه حرارت شبکه سیلیکون، T_L، مساوی نمی‌باشد. معادلات چگالی جریان در این مدل به‌صورت زیر می‌باشد:

۱- الف

$$\vec{J} = q.\mu_n\left(n\nabla E_C + k_B T_n \nabla n + f_n^{td} k_B n \nabla T_n - 1.5 n k_B T_n \nabla \ln m_e\right)$$

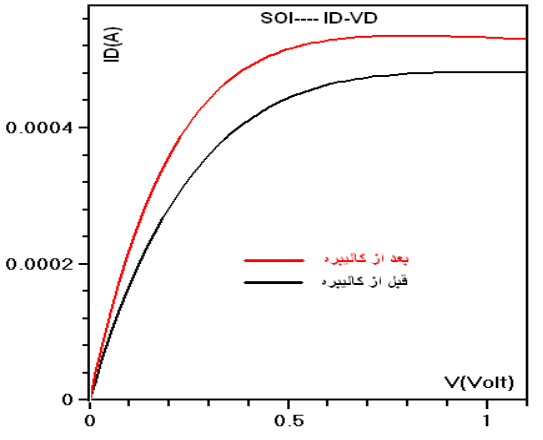
۱- ب

$$\vec{J} = q.\mu_p\left(p\nabla E_V + k_B T_p \nabla p + f_p^{td} k_B p \nabla T_p - 1.5 p k_B T_p \nabla \ln m_h\right)$$

در این معادلات E_C و E_V به‌ترتیب انرژی باند هدایت و ظرفیت، n و p چگالی الکترون و حفره، T_n و T_p درجه حرارت حامل‌ها، m_e و m_h جرم موثر حامل‌ها و k_B ثابت بولتزمن می‌باشند. ترم اول معادلات، بیانگر تغییرات فضایی پتانسیل الکترواستاتیک و شکاف انرژی و سایر ترم‌ها بیانگر گرادیان چگالی ناخالصی، گرادیان دما و تغییرات فضایی جرم مؤثر الکترون و حفره می‌باشد [۱۰].

۴–۱– مشخصه‌های خروجی و پروفایل توزیع دما در ترانزیستورهای SOI و SOD

در شکل (۳) مشخصه خروجی یک ترانزیستورSOI در مقیاس ۴۵nm قبل و بعد ازکالیبره نشان داده شده است.



شکل۳– مشخصه ID-VD در یک ترانزیستور SOI در مقیاس ۴۵nm قبل و بعد از کالیبره

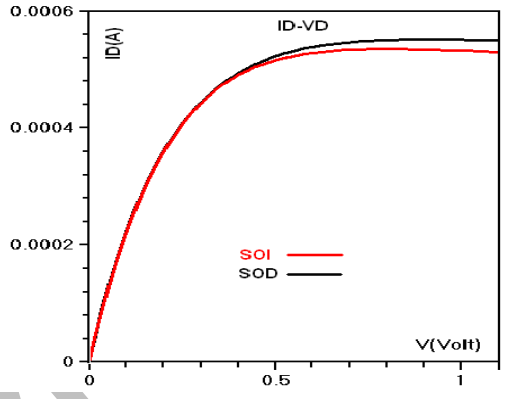
در شکل (۴)، مشخصه‌های خروجی در ترانزیستور SOI و SOD تحت ولتاژ بایاس ۱/۱ ولت نشان داده شده است. در این ترانزیستور، شیب زیر آستانه ۸۳mv/decade، ولتاژ آستانه در حدود ۰/۲۵ ولت می‌باشد. با توجه به مشخصه شکل(۴)، جریان درین در ترانزیستورSOD از جریان درین ترانزیستور SOI بیشتر بوده که دلیل این امر، کاهش موبیلیته حامل‌ها در ترانزیستور SOI به‌علت بالابودن دمای آن نسبت ترانزیستور SOD است.

در شکل‌های ۵- الف و ۵- ب، پروفایل توزیع دما در هر دو تکنولوژی SOI و SOD نشان داده شده است. با توجه به شاخص دما، تحت ولتاژ بایاس ۱/۱ ولت، دمای شبکه در ناحیه بدنه در ترانزیستور SOI و SOD به‌ترتیب در حدود ۵۱۴ K و ۴۱۲ K بوده و دمای لایه مدفون اکسید سیلیکون در ترانزیستور SOI، در رنج دمایی ۵۱۰K تا ۴۱۰K تغییر کرده، درحالی‌که دمای لایه الماس در ترانزیستورSOD، در حدود ۴۱۱ K می‌باشد. این نتایج حاکی از این بوده که یک لایه الماس، حرارت منتقل شده از ناحیه کانال را به‌صورت یکنواخت به‌سمت بستر منتقل کرده به‌طوری‌که توزیع دما در لایه مدفون الماس، کاملاً یکنواخت می‌باشد. لذا انتقال یکنواخت حرارت توسط لایه الماس، باعث افت دمای ناحیه کانال

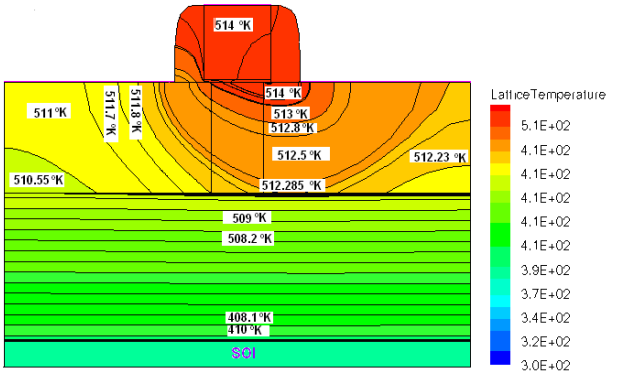
Archive of SID

www.SID.ir

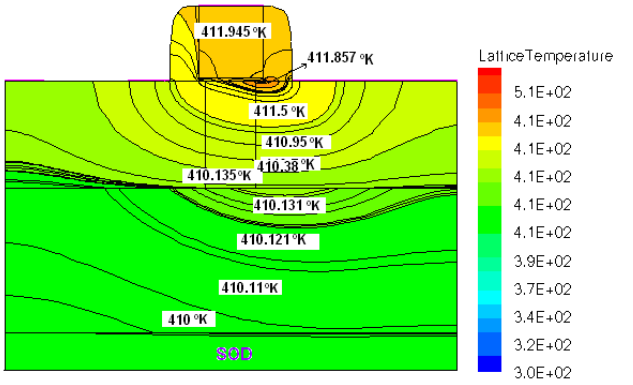
درترانزیستور SOD نسبت‌به ترانزیسور SOI می‌گردد. با توجه به نتایج فوق می‌توان گفت که زیرپایه‌های SOD، قادر به انتقال گرمای بیشتری بوده و این موجب افزایش توان قابل تحمل و دانسیته توان در این تکنولوژی می‌گردد. جهت تصدیق این ادعا یک ترانزیستورSOD، در دمای معادل ترانزیستور SOI، مورد آزمایش و شبیه‌سازی قرارگرفته است. تحت شرایط دمایی جدید، توان قابل تحمل ترانزیستور SOD، ۶۳ درصد افزایش یافته است.



شکل۴ – مشخصه ID-VD در ترانزیستورهای SOI و SOD در مقیاس nm ۴۵



شکل۵–الف– پروفایل توزیع دما در ترانزیستور SOI



شکل۵–ب– پروفایل توزیع دما در ترانزیستور SOD

۴–۲– شبیه‌سازی و بررسی نتایج حاصل از اثرات دمایی یک ترانزیستور SOI یا SOD بر ترانزیستورهای جانبی خود

در این بخش با ایجاد ۳ ترانزیستور دیگر در کنار هرکدام از ترانزیستورهای SOI و SOD، اثرات دمایی یک ترانزیستور فعال را بر ترانزیستورهای کناری خود بررسی می‌کنیم. پروفایل دمایی و منحنی دمای شبکه در مجموعه ترانزیستورهای SOI و SOD در شکل‌های (۶–الف) و (۶–ب) نشان داده شده است.

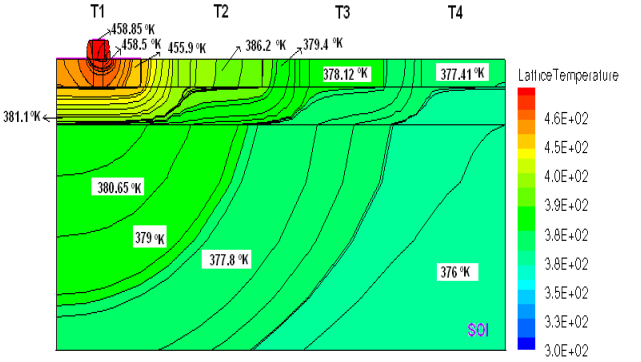
باتوجه به پروفایل توزیع دما در شکل (۶–الف)، در یک ترانزیستور SOI تحت ولتاژ بایاس ۱/۱ ولت، دمای ناحیه فعال کانال ۴۵۸ K رسیده که نسبت‌به دمای شبکه در تک ترانزیستور SOI درشکل (۵–الف) کاهش یافته است. به‌عبارت دیگرمی‌توان گفت که در این حالت مقدار زیادی از گرمای ایجاد شده در ترانزیستور فعال از مسیر ترانزیستورهای جانبی به خارج منتقل می‌گردد. دمای ترانزیستورهای کناری T4، T3، T2 به‌ترتیب در حدود ۳۸۶ K، ۳۷۹ K و ۳۷۷ K می‌باشد. دمای پایه این ترانزیستورها در ابتدا ۳۰۰K بوده که در اثر عملکرد ترانزیستور فعال، دمای هرکدام به‌ترتیب به میزان ۸۶ K، ۷۹ K و ۷۷ K افزایش یافته است. با توجه به این نتایج می‌توان گفت ترانزیستور فعال بیشترین دما را به ترانزیستور T2، منتقل کرده است.

با توجه به پروفایل توزیع دما در شکل (۶–ب)، در یک ترانزیستور SOD تحت ولتاژ بایاس ۱/۱ ولت، دمای ناحیه فعال کانال به ۳۷۹ K رسیده که نسبت‌به دمای شبکه در تک ترانزیستور SOD درشکل (۵–ب)، در حدود ۵۰ درصد کاهش یافته است. در این حالت نیز، مقداری از گرمای ایجاد شده در ترانزیستور فعال، از مسیر ترانزیستورهای جانبی به خارج منتقل می‌گردد. دمای ترانزیستورهای کناری T4، T3، T2 به در حدود ۳۷۸K، ۳۷۷/۸Kو ۳۷۷/۵K می‌باشد. دمای پایه این ترانزیستورها در ابتدا ۳۰۰K بوده که در اثر عملکرد ترانزیستور فعال، دمای آنها تقریباً به میزان ۷۷K افزایش یافته است. دلیل همدما شدن ترانزیستورهای کناری در تکنولوژی SOD، هدایت گرمایی بالا و یکنواخت لایه مدفون الماس می‌باشد.

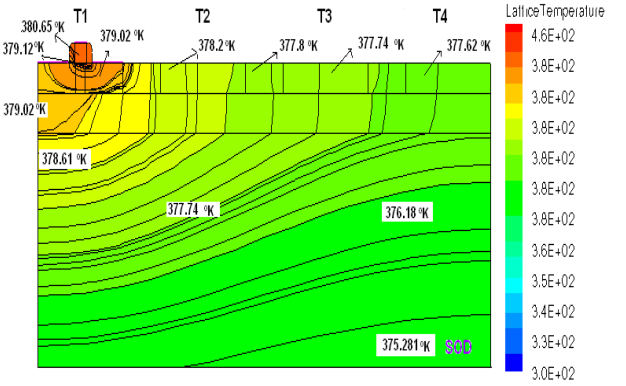
با توجه به نتایج فوق در مورد ترانزیستورSOD می‌توان گفت که لایه الماس حرارت را به‌صورت یکنواخت به بستر و ترانزیستورهای کناری خود منتقل می‌کند. شکل (۷) این مطلب را به‌وضوح می‌رساند.

Archive of SID

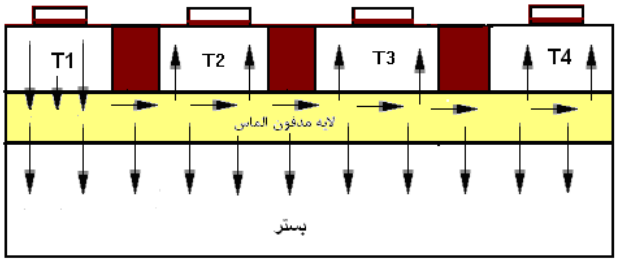
www.SID.ir



شکل۶- الف- پروفایل توزیع دما در یک ترانزیستور فعال SOI و اثر آن بر ترانزیستورهای کناری



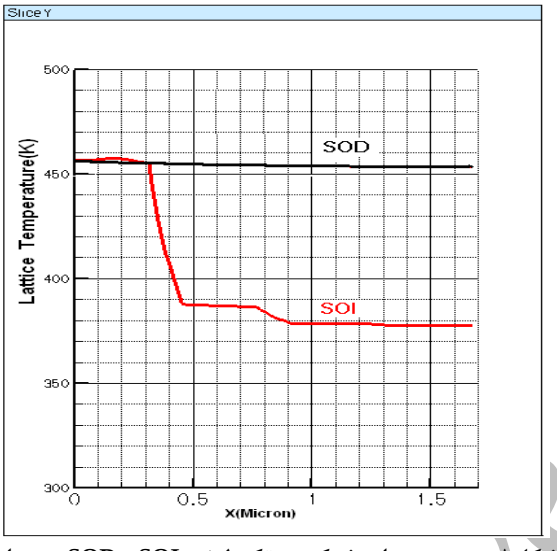
شکل۶- ب- پروفایل توزیع دما در یک ترانزیستورفعال SOD و اثر آن بر ترانزیستورهای کناری



شکل۷- مسیر هدایت گرما در زیرپایه SOD – با فرض فعال بودن ترانزیستور T1

۴-۳- بررسی اثرات دما بر مشخصه زیر آستانه در ترانزیستور SOD توان بالا

ازآنجاکه قبلاً عنوان گردید، می‌توان از ترانزیستورهای SOD در کاربردهای با توان بالاتر استفاده کرد. در این شرایط با توجه به مسئله همدما شدن ترانزیستورهای کناری در تکنولوژی SOD، دمای کل ترانزیستورها به یک اندازه افزایش می‌یابد. این مسئله در حالتی که ترانزیستور جانبی خاموش باشد موجب افزایش دمای آن ترانزیستور به میزان زیادی گردیده و این خود موجب افزایش جریان خاموش این ترانزیستور و ایجاد مسئله عدم تطابق[۱۳] در مدارات مجتمع می‌گردد. بنابراین می‌توان گفت که همدمایی ترانزیستور فعال و ترانزیستورهای کناری در تکنولوژی SOD، می‌باید دقیق‌تر مورد بررسی قرار گیرد. برای نشان دادن این مطلب، مجموعه ترانزیستورهای SOD را در دمای ۴۵۸ K (دمای شبکه ترانزیستور فعال در مجموعه ترانزیستورهای SOI) شبیه‌سازی کرده، منحنی دمای شبکه به‌صورت شکل (۸) می‌باشد:



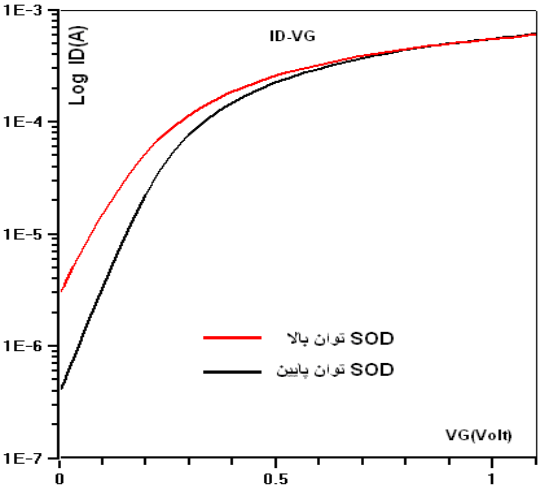
شکل۸- منحنی دمای شبکه در تکنولوژی SOI و SOD در دمای یکسان ۴۵۸ K برش در جهت طول افزاره

در این وضعیت، با همدما کردن مجموعه تراتزیستو SOI و SOD، اگرچه توانستیم توان قابل تحمل ترانزیستور فعال را در حدود ۷۶ درصد افزایش دهیم اما این مسئله باعث افزایش دمای ترانزیستورهای کناری در تکنولوژی SOD، به ۴۵۶ K شده که این دما نسبت‌به دمای دومین ترانزیستور کناری در تکنولوژی SOI (۳۸۶K)، بسیار بیشتر می‌باشد. این مسئله در زمانی که ترانزیستور کناری در تکنولوژی SOD، در وضعیت خاموشی باشد موجب افزایش جریان خاموش این ترانزیستور می‌گردد. در شکل (۹)، جریان خاموش ترانزیستور T2 - SOD (ترانزیستور دوم درشکل (۶-ب) را در شرایطی که دمای ترانزیستور فعال T1، به ۴۵۸ K (معادل دمای شبکه در ترانزیستور SOI فعال در شکل (۶-الف) رسانده‌ایم، نشان می‌دهد. در این حالت میزان جریان خاموش در ترانزیستور توان بالای کناری از ۳۸۰ nA به ۲/۹ μA رسیده است. یعنی می‌توان گفت که در یک دمای بالا (توان بالا)، جریان خاموش ترانزیستورکناری در تکنولوژی SOD نسبت‌به شرایط دمای پایین (توان پایین)، حدود ۸ برابرگردیده است. این افزایش جریان

Archive of SID

www.SID.ir

خاموشی باعث افزایش توان مصرفی در مدارات مجتمع می‌گردد. به‌علاوه، افزایش تاثیر شرایط کاری یک ترانزیستور بر ترانزیستور کناری، باعث ایجاد مسئله عدم تطابق در مدارات آنالوگ که نیاز به دقت بالا و حداکثر تطبیق هست، می‌گردد.



شکل۹- جریان وضعیت خاموش ترانزیستورکناری T2-SOD توان بالا و توان پایین

۵– نتیجه‌گیری

استفاده از زیرپایه‌های سیلیکون روی الماس می‌تواند مسئله خودگرمایی در ترانزیستورهای سیلیکون روی عایق را حل کند. از طرفی ترانزیستورهای سیلیکون روی الماس توان قابل تحمل بیشتری داشته که این خود موجب استفاده از این ساختارها در فرکانس های بالاتری می‌گردد. هدایت یکنواخت لایه الماس باعث افزایش جریان خاموش ترانزیستورهای سیلیکون روی الماس در دماهای بالاتر گردیده و این موجب ایجاد مسئله عدم انطباق در مدارات مجتمع می‌گردد.

۶– مراجع

[1] J.P. Colinge; **"Silicon-On-Insulator Technology: Materials to VLSI"**, Kluwer Academic Publishers. 3rd edition, 2004.

[2] G.G. Shahidi, **"SOI Technology for the GHz era"**, IBM J.RES & DEV, Vol. 46, No. 2/3, March/May 2002.

[3] C. Fiegna, Y. Yang, E. Sangiorgi, A.G. O'Neil; **"Analysis of Self-Heating Effects in Ultrathin Body SOI MOSFETs by Device Simulation"**, IEEE Trans. on Electron Devices, Vol. 55, No. 1, pp. 233 - 244, 2008.

[4] Jerry W. Zimmer, G. Chandler**; "SOD Substrates – The Next Step in Thermal Control"**, Sp3 Diamond Technologies, Inc. 2220 Martin Avenue, Santa Clara, CA 95050 Phone, pp. 408 – 492 - 0630.

[5] K. Raleva, **"Is SOD Technology the Solution to Heating Problems in SOI Devices?"**, IEEE Electronic Device Letters, Vol. 29, No. 6, June 2008.

[6] A. Aleksov; **"Fabrication and Thermal Evaluation of Silicon on Diamond Wafers"**, Journal of Eletronic Materials, Vol. 34, No. 7, 2005.

[7] A. Soderbag; **"Evaluation of Silicon Device Processes Aimed For Silicon-On-Diamond Material"**, IEEE International SOI Conference, October 1995.

[8] R. Granzner; **"Simulation of Nanoscale MOSFETs Using Modified Drift-Diffusion and Hydrodynamic Models and Comparison with Monte Carlo Results"**, Microelectron. Engineering, Vol. 83, No. 2, pp. 241 – 246, February 2006.

[9] N.K. Annamalai; **"Radiation Response of Silicon on Diamond (SOD) Devices"**, IEEE Transactions on Nuclear Science, Vol. 40**,** No. 6**,** December 1993.

[10] Dessis Manual, ISE Integrated System Engineering, Version 10.

۷– پی‌نوشت‌ها

1- Silicon- On- Insulator
2- Bulk
3- System- On- Chip
4- Silicon- On- Diamond
5- Partially Depleted =PD
6- Fully Depleted=FD
7- Body Contact
8- Floating Body Effects.
9- Kink Effect
10- Zone Melting Recrystallization = ZMR
11- Hydrodynamic Energy Balance
12- Drift- Diffusion
13- Miss Match

Archive of SID

www.SID.ir