Archive of SID

JIPET | Journal of Intelligent Procedures in Electrical Technology/ Vol. 11/No. 42/Summer 2020
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

Ternary DCVS Half Adder with Built-in Boosters

Naghmeh Dehabadi[1], *M.Sc*, Reza Faghih Mirzaee[2], *Assistant Professor*

[1] Department of Computer Engineering, West Tehran Branch, Islamic Azad University, Tehran, Iran
del.naghmeh@yahoo.com
[2] Department of Computer Engineering, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran
r.f.mirzaee@qodsiau.ac.ir

Abstract:
Differential Cascode Voltage Switch (DCVS) is one of the most well-known logic styles, which forms a robust structure. In addition, two complementary outputs are produced in this logic style at the same time. It has several unique attributes and different applications. This paper presents three comparable methods to design some ternary half adders, whose efficiencies are superior especially when they are put one after another in a cascading scenario. These cells are essential for the realization of larger arithmetic circuits. In the third proposed method, instead of ternary inverters, which consume considerable static power, built-in low-power binary boosters are exploited to reinforce driving power of the DCVS circuits. Simulation results by HSPICE and 32 nm Carbon Nanotube Field Effect Transistor (CNFET) technology demonstrate that the new adder cell with binary boosters operates 21.8% faster and consume 6.7% less power than the cell with ternary inverters in a real test bed. Furthermore, the final design is compared with three other ternary half adders. The new design is faster than all of them, and also consumes less power and energy than the previous DCVS half adder.

Keywords: DCVSL, Ternary Logic, Ternary Half Adder, Binary Booster, CNFET.

Received: 16 January 2020
Revised: 16 April 2020
Accepted: 6 June 2020

Corresponding Author: Dr. Reza Faghih Mirzaee

Citation: N. Dehabadi, R. Faghih Mirzaee, "Ternary DCVS half adder with built-in boosters", Journal of Intelligent Procedures in Electrical Technology, vol. 11, no. 42, pp. 41-56, Summer 2020 (in Persian).

www.SID.ir

Archive of SID

نیم جمع‌کننده DCVS سه مقداری با استفاده از تقویت‌کننده‌های توکار

نغمه ده‌آبادی[1]، کارشناسی‌ارشد، رضا فقیه میرزایی[2]، استادیار

۱- گروه مهندسی کامپیوتر- واحد تهران غرب، دانشگاه آزاد اسلامی، تهران، ایران
del.naghmeh@yahoo.com
۲- گروه مهندسی کامپیوتر- واحد شهرقدس، دانشگاه آزاد اسلامی، تهران، ایران
r.f.mirzaee@qodsiau.ac.ir

چکیده: منطق DCVS یکی از معروف‌ترین روش‌های طراحی مدارهای الکترونیکی است، که یک ساختار مستحکم ایجاد می‌کند. بعلاوه، در این منطق طراحی، دو خروجی که مکمل یکدیگر هستند به‌طور همزمان تولید می‌شوند. این منطق کاربردها و ویژگی‌های زیادی دارد. در این مقاله با استفاده از سه روش مشابه، نیم جمع‌کننده‌های DCVS سه مقداری جدید ارائه می‌شوند، که کارآمدی آنها به ویژه در مواقع اتصال آبشاری مدارها نمایان می‌گردد. وجود این مدارها برای طراحی مدارهای بزرگتر محاسباتی حیاتی است. در سومین و اصلی‌ترین روش پیشنهادی، به‌جای استفاده از معکوس‌کننده‌های سه مقداری که توان ایستای قابل ملاحظه‌ای مصرف می‌کنند، از تقویت‌کننده‌های دودویی کم مصرف توکار به‌منظور تقویت سیگنال و افزایش قابلیت راندن مدارهای DCVS استفاده شده است. نتایج شبیه‌سازی با استفاده از نرم افزار اچ-اسپایس و کتابخانه ترانزیستورهای نانو لوله کربنی با طول کانال ۳۲ نانومتر نشان می‌دهد که استفاده از تقویت‌کننده‌های دودویی نسبت به معادل سه مقداری موجب افزایش سرعت تا ۲۱/۸ درصد و کاهش توان مصرفی تا ۶/۷ درصد در یک بستر تست واقعی می‌گردد. همچنین، آخرین طرح پیشنهادی با سه نیم جمع‌کننده سه مقداری دیگر نیز مقایسه شده است، که طرح جدید سرعت بالاتری از تمام آنها دارد. در مقایسه با نیم جمع‌کننده DCVS قبلی، مدار پیشنهادی هم از لحاظ سرعت، و هم از لحاظ مصرف توان و انرژی عملکرد بهتری دارد.

کلمات کلیدی: منطق DCVS، منطق سه مقداری، نیم جمع‌کننده سه مقداری، تقویت‌کننده دودویی، ترانزیستورهای نانو لوله کربنی

تاریخ ارسال مقاله: ۱۳۹۸/۱۰/۲۶
تاریخ بازنگری مقاله: ۱۳۹۹/۱/۲۶
تاریخ پذیرش مقاله: ۱۳۹۹/۳/۱۷

نام نویسنده‌ی مسئول: رضا فقیه میرزایی
نشانی نویسنده‌ی مسئول: تهران- بزرگراه فتح- شهرقدس- انتهای بلوار شهید کلهر- دانشگاه آزاد اسلامی واحد شهرقدس- دانشکده فنی و مهندسی- گروه کامپیوتر

www.SID.ir

Archive of SID

۱- مقدمه

منطق‌های طراحی متفاوتی در سطح ترانزیستور وجود دارد، که هر یک ویژگی‌های خاص خود را دارد [۱]. منطق مکمل اکسید فلز نیمه هادی[۱] (CMOS) شناخته شده‌ترین روش طراحی است که از دو شبکه پایین‌بر[۲] با ترانزیستورهای نوع N و بالابر[۳] با ترانزیستورهای نوع P تشکیل شده است. تولید صفر و یک منطقی با سطوح ولتاژ کامل و حذف توان مصرفی ایستا[۴] از مزایای این منطق طراحی است. یکی دیگر از روش‌های طراحی معروف، منطق ترانزیستور عبور[۵] (PTL) است. در این منطق، شبکه بالابر که حاوی ترانزیستورهای نوع P است، حذف می‌شود. حذف این سری از ترانزیستورها که ۲ الی ۳ برابر کندتر از ترانزیستورهای نوع N هستند، علاوه بر کاهش مساحت سلول، به سرعت بیشتر مدار نیز می‌انجامد [۱]. از معایب آن عدم تولید خروجی با سطوح کامل ولتاژ است. منطق‌های دیگری نیز مانند منطق آستانه[۶] (TL)، منطق ترانزیستور عبوری دوبل[۷] (DPL)، منطق پویا[۸] (DL)، و غیره وجود دارند که هر یک مزایا و معایب و کاربردی دارند.

منطق DCVS[۹] [۲] یکی از منطق‌های معروف تفاضلی است، که موجب سرعت و انعطاف‌پذیری بالا می‌شود [۴-۲]. بعلاوه، دو خروجی که مکمل یکدیگر هستند به‌طور همزمان تولید می‌شوند. در بیشتر منطق‌های طراحی برای تولید معکوس خروجی باید از یک معکوس‌کننده[۱۰] اضافی استفاده کرد، که به طولانی‌تر شدن مسیر بحرانی[۱۱] می‌انجامد. همزمانی تولید خروجی‌ها در منطق DCVS تاخیر بیشتری به مدار متحمل نمی‌کند. به دلیل وجود افزونگی ذاتی، این منطق طراحی بسیار مناسب کاربردهای تحمل پذیر خطا است. همچنین، خطاهای پویا و چسبندگی[۱۲] به دلیل ویژگی خودآزمایی مدارهای DCVS به راحتی قابل شناسایی هستند [۵،۶]. در نهایت، این منطق طراحی سرعت بالایی دارد، هرچند که این افزایش سرعت با توان مصرفی بالا و صرف ترانزیستورهای بیشتر همراه است [۳].

منطق سه مقداری[۱۳] اخیرا محبوبیت زیادی پیدا کرده است. دروازه‌های منطقی و مدارهای محاسباتی سه مقداری فراوانی تا به امروز معرفی شده‌اند [۱۰-۷]. منطق سه مقداری غیر متوازن[۱۴] شامل مجموعه ارقام $\{۲،۱،۰\}_۳$ است، که در الکترونیک دیجیتال با سطوح ولتاژ 0V، $½V_{DD}$، و V_{DD} پیاده‌سازی می‌گردند. بسیاری از منطق‌های طراحی دودویی برای استفاده در منطق سه مقداری بسط و گسترش یافته‌اند. برای مثال، از مشابه منطق مکمل اکسید فلز نیمه هادی، منطق ترانزیستور عبوری دوبل، منطق ترانزیستور عبور، و منطق پویا به ترتیب در مراجع [۱۱] الی [۱۴] برای طراحی مدارهای سه مقداری استفاده شده است. منطق DCVS دودویی نیز در مرجع [۱۵] به مدل سه مقداری تبدیل شده است. این تبدیل با افزودن چهار مقاومت به مدار دودویی امکان پذیر است. هر جفت مقاومت در صورت لزوم با تقسیم ولتاژ[۱۵] بین زمین[۱۶] و منبع تغذیه[۱۷] ولتاژ $½V_{DD}$، که بیانگر یک منطقی است، را ایجاد می‌کنند. منطق DCVS سه مقداری پویا نیز در مرجع [۱۶] ارائه شده است.

مرجع [۱۵] نشان می‌دهد که اضافه نمون معکوس‌کننده‌های سه مقداری به انتهای مدار، باعث افزایش قابلیت راندن[۱۸] و سرعت بیشتر مدارهای DCVS می‌گردد. از این تکنیک در مدارهای دودویی نیز استفاده شده است [۱۷،۱۸]. اگرچه اضافه کردن معکوس‌کننده انتهایی به طولانی‌تر شدن مسیر بحرانی می‌انجامد، اما با فراهم کردن جریان‌دهی مناسب، خازن خروجی مدار با سرعت بیشتری شارژ و دشارژ می‌گردد. بنابراین، مدار در مواجهه با بارهای خازنی بزرگ و در زمان اتصال آبشاری[۱۹] مدارها عملکرد بهتری خواهد داشت. معکوس‌کننده‌های دودویی فاقد مصرف توان ایستا هستند، اما معادل‌های سه مقداری آنها توان ایستا مصرف می‌کنند. در نتیجه، اضافه کردن معکوس‌کننده‌های سه مقداری اگرچه قابلیت راندن مدار را افزایش می‌دهند، اما باعث افزایش توان مصرفی نیز می‌شوند.

نیم جمع‌کننده[۲۰] یکی از مدارهای پایه محاسباتی است. در منطق دودویی به دلیل کوچک بودن فضای حالات ورودی، تمام جمع‌کننده[۲۱] معمولا به‌طور مستقیم پیاده‌سازی می‌شود، اما در منطق سه مقداری اغلب از ادغام نیم جمع‌کننده‌ها بدست می‌آید. لذا، نیم جمع‌کننده سه مقداری اهمیت ویژه‌ای دارد. بعلاوه، از نیم جمع‌کننده در ساختار ضرب نیز به وفور استفاده می‌شود [۲۰،۱۹]. در این مقاله، مدارهای نیم جمع‌کننده سه مقداری بر پایه منطق DCVS ارائه می‌گردد. مدار دوم در مقایسه با مدار اول دارای معکوس‌کننده‌های انتهایی است. همچنین، روش سومی ارائه خواهد شد که به‌جای معکوس‌کننده سه مقداری از تقویت‌کننده‌های[۲۲] دودویی استفاده می‌گردد. تقویت‌کننده‌های دودویی علاوه بر تقویت سیگنال، با جاسازی توکار[۲۳] در منطق ایجاد مدارها نیز نقش بازی می‌کنند. مدارها با استفاده از ترانزیستورهای نانو لوله کربنی[۲۴] (CNFET) طراحی شده‌اند.

www.SID.ir

Archive of SID

در ادامه در بخش دوم مروری بر ترانزیستورهای نانو لوله کربنی، منطق سه مقداری، و چگونگی ایجاد مدارهای DCVS سه مقداری خواهیم داشت. مدارهای جدید جمع‌کننده در بخش سوم معرفی می‌شوند. بخش چهارم به نتایج شبیه‌سازی نرم افزار اچ-اسپایس[۲۵] و مقایسه روش‌ها با یکدیگر اختصاص دارد. در نهایت، در بخش پنجم نتیجه‌گیری بیان می‌گردد.

۲- اطلاعات اولیه

در ابتدا اطلاعات اولیه مرتبط با مباحث این مقاله ارائه می‌شوند.

۲-۱- ترانزیستورهای نانو لوله کربنی

با کوچک شدن ابعاد ترانزیستورها در مقیاس نانو، ترانزیستورهای ماسفت[۲۶] با چالش‌هایی روبرو شده‌اند. کاهش اثر بخشی پایه گیت در ایجاد یا حذف کانال ترانزیستور، تونل‌زنی[۲۷] الکترون‌ها درون پایه گیت[۲۸] و زیرلایه[۲۹] که منجر به ایجاد توان نشتی[۳۰] می‌گردد، و کاهش قابلیت تحرک[۳۱] الکترون‌ها درون کانال باریک و نازک از جمله اثرات منفی کوچک‌سازی ترانزیستورها است. بنا به دلایل بالا، دانشمندان به فکر ادوات و تجهیزات جدیدی بوده‌اند تا جایگزینی برای ترانزیستورهای ماسفت در آینده باشند. ترانزیستورهای نانو لوله کربنی، آتاماتای سلولی کوآنتومی[۳۲]، و ترانزیستورهای تک الکترونی[۳۳] از جمله این فناورهای نوظهور هستند. از میان آنها، ترانزیستورهای نانو لوله کربنی بیشترین شانس را برای تسخیر صنعت الکترونیک دارند. اولا به دلیل شباهت ذاتی با ترانزیستورهای ماسفت، نیازی به ارائه روش‌های جدید طراحی نیست. همه طرح‌های موجود قابلیت پیاده‌سازی با ترانزیستورهای نانو لوله کربنی را نیز دارند. در ضمن، هر دو ترانزیستور نوع N و P دارای قابلیت تحرک یکسانی هستند. بنابراین، فرآیند سایزبندی ترانزیستورها[۳۴] بسیار ساده‌تر از ترانزیستورهای ماسفت است. ثانیا، ولتاژ آستانه[۳۵] در ترانزیستورهای نانو لوله کربنی با تغییر قطر نانو لوله‌ها (D_{CNT}) قابلیت تنظیم دارد. این ویژگی منحصربفرد انعطاف‌پذیری بیشتری برای طراحی مدارهای مختلف ایجاد می‌کند. ثالثا، مدارهایی که با ترانزیستورهای نانو لوله کربنی ایجاد می‌شوند نسبت به نمونه‌های مشابه با فناوری ماسفت از سرعت بالاتر و توان مصرفی پایین‌تری برخوردار هستند [۲۳-۲۱]. برای مثال، مقایسه انجام شده در مرجع [۲۲] نشان می‌دهد که سرعت یک مدار نانو لوله کربنی نسبت به نمونه ماسفت ۱۰ برابر بیشتر است. بعلاوه، این مدارها به ترتیب ۷۵ و ۱۰۰ برابر انرژی و توان نشتی کمتری مصرف می‌کنند [۲۲].

نانو لوله‌ها کربنی از لوله کردن ورقه گرافین[۳۶] بدست می‌آیند. نانو لوله‌های تک جداره[۳۷] نیمه‌رسانا می‌توانند به عنوان کانال ترانزیستور مورد استفاده قرار گیرند. قطر نانو لوله‌ها که تعیین کننده ولتاژ آستانه ترانزیستور خواهد بود از رابطه (۱) بدست می‌آید [۲۴]. در این رابطه n و m ضرایب بردارهای یکه‌ای هستند که بردار برآیندی به نام بردار کایرال[۳۸] را بر روی ورقه گرافین ایجاد می‌کنند. لوله‌کردن ورقه گرافین حول بردار کایرال صورت می‌پذیرد. درصورتی‌که حاصل تفاضل ضرایب n و m ضریب عدد ۳ باشد، نانو لوله خاصیت رسانایی و در غیر این صورت خاصیت نیمه رسانایی خواهد داشت. برای ساخت ترانزیستور به نانو لوله نیمه رسانا نیاز است. با دانستن قطر نانو لوله، ولتاژ آستانه ترانزیستور طبق رابطه (۲) قابل محاسبه است [۲۴]. در روابط (۱) و (۲) قطر نانو لوله بر حسب نانو متر است.

$$D_{CNT} \approx 0.0783 \times \sqrt{n^2 + m^2 + nm} \qquad (۱)$$

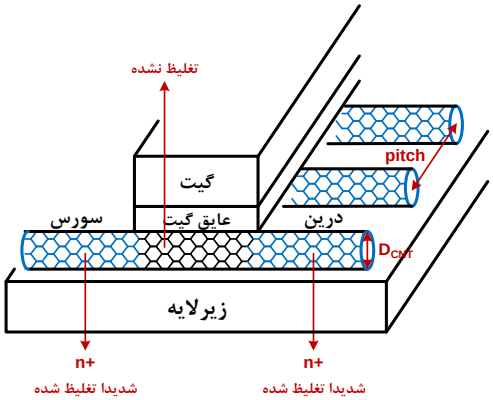
$$V_{Th} \approx \frac{0.43}{D_{CNT}} \qquad (۲)$$

شکل (۱)، ترانزیستور نانو لوله کربنی را نشان می‌دهد که رفتار مشابه ترانزیستورهای ماسفت دارد. دو سر انتهایی نانو لوله‌ها که در زیر گیت ترانزیستور واقع نشده‌اند با هدف کاهش اثر سد شاتکی[۳۹]، که بر اثر اتصال نانو لوله نیمه‌رسانا با اتصالات فلزی رسانا بوجود می‌آید، تغلیظ[۴۰] می‌شوند. عرض ترانزیستور با افزایش تعداد نانو لوله‌های کربنی طبق رابطه (۳) محاسبه می‌گردد. در این رابطه pitch برابر فاصله بین مراکز دو نانو لوله مجاور، N تعداد نانو لوله، و W_{min} حداقل عرض قابل ساخت ترانزیستور است [۲۴].

$$W_{Gate} = \max(W_{min}, N \times pitch) \qquad (۳)$$

www.SID.ir

Archive of SID



شکل (۱): ترانزیستور نانو لوله کربنی مشابه ماسف

Figure (1): MOSFET-like carbon nanotube field-effect transistor

۲-۲- منطق سه مقداری

یکی از چالش‌های امروز تراشه‌ها، حجم بسیار زیاد سیم‌ها است. سیم‌ها می‌توانند تا ۷۰ درصد خازن‌های داخلی تراشه را شامل شده و به همین میزان باعث مصرف توان در تراشه‌ها شوند [۲۶،۲۵]. همچنین، فرآیند مسیریابی[۴۱] سیم‌ها در کل تراشه مشکل شده است. منطق‌های چند مقداری[۴۲] با ارسال بیش از دو حالت منطقی بر روی یک رشته سیم می‌توانند از حجم سیم‌ها در داخل و خارج از تراشه بکاهند. از بین همه منطق‌های چند مقداری، منطق سه مقداری بالاترین کارآیی را فراهم می‌سازد [۲۷]. در این منطق، می‌توان از حالت متوازن[۴۳] با مجموعه ارقام $\{-1،0،1\}_3$ یا غیر متوازن با مجموعه ارقام $\{0،1،2\}_3$ استفاده کرد. حالت دوم در بین طراحان مدار از محبوبیت بیشتری برخوردار است زیرا برای پیاده‌سازی حالت اول به یک منبع تغذیه اضافی با ولتاژ منفی نیز نیاز است. اضافه نمودن منبع تغذیه دوم سربار و پیچیدگی‌هایی به همراه دارد. برای مثال می‌توان به مسیریابی و مشکلات رساندن منبع تغذیه اضافی در کل سطح تراشه اشاره کرد.

منطق سه مقداری غیر متوازن در واقع مدل گسترش یافته منطق دودویی است. در این حالت می‌توان توابع منطقی را به سه شکل متفاوت تعریف کرد [۲۸]. جدول (۱) نحوه تعریف معکوس‌کننده سه مقداری مثبت[۴۴]، منفی[۴۵] و استاندارد[۴۶] را مشخص می‌کند. در توابع مثبت (+) و منفی (−) مقدار یک منطقی به ترتیب با مقادیر دو و صفر جایگزین می‌شود. برای تولید یک منطقی، با فرض در اختیار نداشتن سطح ولتاژ $½V_{DD}$، باید بین ولتاژ منبع تغذیه و زمین تقسیم ولتاژ صورت پذیرد. برای تقسیم ولتاژ می‌توان از یک جفت مقاومت با مقادیر یکسان استفاده کرد. از معایب این روش می‌توان به مصرف توان ایستا در زمان تقسیم ولتاژ توسط مقاومت‌ها اشاره کرد. جریان ایستا در مسیری که از منبع تغذیه تا زمین ایجاد شده است، به‌طور دائمی جریان می‌یابد.

مدارهای سه مقداری باید قادر به تشخیص سطح ولتاژ $½V_{DD}$ باشند. در منطق سه مقداری کل پهنای ولتاژی که در اختیار داریم به دو منطقه 0V تا $½V_{DD}$ و $½V_{DD}$ تا V_{DD} تقسیم می‌گردد. بنابراین، وجود ترانزیستورها با ولتاژهای آستانه متفاوت ضروری است تا بتوان سطوح ولتاژ را از یکدیگر تفکیک کرد. به همین دلیل است که در بسیاری از مقاله‌های ارائه شده تا کنون، از ترانزیستورهای نانو لوله کربنی برای پیاده‌سازی مدارهای سه مقداری استفاده شده است. در این ترانزیستورها با تغییر قطر نانو لوله‌ها ولتاژ آستانه قابل تنظیم است، درحالی‌که ترانزیستورهای ماسفت ذاتا تک آستانه هستند و از انعطاف‌پذیری بالایی برای تنظیم ولتاژ آستانه برخوردار نیستند [۲۹].

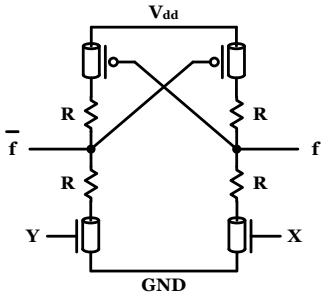
Table (1): Positive, negative, and standard ternary inverter

جدول (۱): معکوس‌کننده سه مقداری مثبت، منفی، و استاندارد

a	$\bar{a}+$	$\bar{a}-$	$\bar{a}$
0	2	2	2
1	2	0	1
2	0	0	0

www.SID.ir

Archive of SID



شکل (۲): ساختار DCVS سه مقداری [۱۵]
Figure (2): Ternary DCVS structure [15]

۲-۳- مدار DCVS در منطق سه مقداری

در منطق‌های تفاضلی منجمله DCVS همواره دو خروجی که معکوس یکدیگر هستند (f و $\bar{f}$)، همزمان با هم تولید می‌شوند. مرجع [۱۵] مدار DCVS دودویی را با اضافه کردن چهار مقاومت (دو جفت) به مدل سه مقداری تبدیل کرده است. شکل (۲) ساختار پایه مدار DCVS سه مقداری را نشان می‌دهد. مدار شامل دو ترانزیستور نوع N در شبکه‌های پایین‌بر سمت راست و چپ است. این ترانزیستورها به ترتیب با سیگنال‌های Y و X روشن و یا خاموش می‌شوند. شبکه‌های بالابر نیز هر یک شامل تنها یک ترانزیستور نوع P هستند که به‌صورت ضربدری به یکدیگر متصل شده‌اند. به‌طور خلاصه:

- اگر قرار است تابع f صفر باشد: در این صورت سیگنال X باید ترانزیستور N سمت راست را روشن کرده تا گره خروجی f به زمین وصل شود. این اتصال باعث روشن شدن ترانزیستور P سمت چپ که گیت آن به گره خروجی f متصل است می‌شود، و گره خروجی $\bar{f}$ را به منبع تغذیه وصل می‌کند. در این حالت ترانزیستورهای N سمت چپ و P سمت راست خاموش هستند. بنابراین f و $\bar{f}$ به ترتیب برابر صفر و دو منطقی خواهند شد.
- اگر قرار است تابع f دو باشد: به طریق مشابه سیگنال Y باید ترانزیستور N سمت چپ را روشن کرده تا گره خروجی $\bar{f}$ به زمین وصل شود. در این حالت ترانزیستورهای N سمت راست و P سمت چپ خاموش هستند. بنابراین f و $\bar{f}$ به ترتیب برابر دو و صفر منطقی خواهند شد.
- اگر قرار است تابع f یک باشد: در این حالت سیگنال‌های X و Y هر دو ترانزیستور N را همزمان روشن می‌کنند. این دو ترانزیستور خروجی‌های f و $\bar{f}$ را به زمین وصل می‌کنند. در نتیجه ترانزیستورهای P نیز روشن می‌شوند. سپس، هر جفت از مقاومت‌ها تقسیم ولتاژ کرده و خروجی‌های مدار برابر یک منطقی خواهند شد. در این حالت، تمامی چهار ترانزیستور روشن هستند. در ضمن، ولتاژ آستانه ترانزیستورهای P باید به گونه‌ای تنظیم گردد تا با دریافت ولتاژ $\frac{1}{2}V_{DD}$ نیز روشن باقی بمانند.

نتیجه اینکه با تنظیم صحیح سیگنال‌های X و Y مقدار خروجی‌های مدار تعیین می‌گردد. بنابراین با اتصال مدارهایی کنترلی به پایه‌های X و Y می‌توان هر تابع دلخواهی را ایجاد کرد. سیگنال کنترلی X هر زمان که خروجی f قرار است برابر با صفر یا یک منطقی باشد، فعال می‌گردد. به‌طور مشابه، سیگنال کنترلی Y هر زمان که خروجی $\bar{f}$ قرار است برابر با صفر یا یک منطقی باشد، فعال می‌گردد. بنابراین، این سیگنال‌های کنترلی در واقع سیگنال‌هایی دودویی هستند که یا فعال (برابر با V_{DD}) و یا غیر فعال (برابر با 0V) می‌باشند.

۳- طرح‌های پیشنهادی

در این بخش سه روش مختلف برای پیاده‌سازی مدار نیم جمع‌کننده سه مقداری با استفاده از ساختار DCVS پیشنهاد می‌شود. جمع از جمله عملگرهای بسیار مهم برای پیاده‌سازی همه اعمال ریاضی است. جدول (۲) خروجی‌های مربوط به یک نیم جمع‌کننده سه مقداری را نمایان می‌سازد. جدول شامل نه سطر برای نمایش تمام الگوهای متفاوت ورودی‌های a و b است. برخلاف منطق دودویی، خروجی‌های Sum و Carry معادل توابع XOR و AND نیستند.

www.SID.ir

Archive of SID

Table (2): Truth table of ternary half adder

جدول (۲): جدول صحت نیم جمع‌کننده سه مقداری

a	b	Carry	Sum
0	0	0	0
0	1	0	1
0	2	0	2
1	0	0	1
1	1	0	2
1	2	1	0
2	0	0	2
2	1	1	0
2	2	1	1

Table (3): Mid-controlling signals of ternary half adder

جدول (۳): مقادیر سیگنال‌های کنترلی میانی در نیم جمع‌کننده سه مقداری

a	b	Carry	X	$\overline{\text{Carry}}$	Y	Sum	X	$\overline{\text{Sum}}$	Y
0	0	0	2	2	0	0	2	2	0
0	1	0	2	2	0	1	2	1	2
0	2	0	2	2	0	2	0	0	2
1	0	0	2	2	0	1	2	1	2
1	1	0	2	2	0	2	0	0	2
1	2	1	2	1	2	0	2	2	0
2	0	0	2	2	0	2	0	0	2
2	1	1	2	1	2	0	2	2	0
2	2	1	2	1	2	1	2	1	2

۳-۱- روش اول

طبق آنچه در بخش ۲-۳ توضیح داده شد، کافی است تا مدارهایی کنترلی طراحی شوند تا ترانزیستورهای N ساختار DCVS را به موقع فعال سازند. جدول (۳) مقادیر سیگنال‌های X و Y را برای خروجی‌های حاصل جمع (Sum) و رقم نقلی (Carry) مشخص می‌کند. فعال شدن (2 شدن) این سیگنال‌ها منوط به صفر یا یک بودن خروجی متناظر است. برای مثال، سیگنال‌های X و Y مربوط به رقم نقلی زمانی فعال می‌شوند که به ترتیب خروجی‌های Carry و $\overline{\text{Carry}}$ برابر صفر یا یک باشند. روابط (۴) تا (۱۰) عبارات منطقی که در آنها سیگنال مورد نظر فعال است را مشخص می‌کنند. این روابط از جدول (۳) منتج شده‌اند. در این معادلات، رقم بالای هر متغیر مقدار آن را برای درست بودن (True) آن مشخص می‌کند. برای مثال، a^2 (در رابطه (۶)) بدین معنا است که اگر a برابر دو منطقی باشد، مقدار True برگشت داده می‌شود. در غیر این صورت، مقدار False برگشت داده می‌شود. مثال دیگر $a^{0|1}$ است (در رابطه (۸))، که True بودن عبارت منوط به صفر یا یک بودن متغیر a است.

همانطور که پیشتر نیز بیان شد، سیگنال‌های کنترلی X و Y در واقع سیگنال‌های دودویی هستند. برای پیاده‌سازی آنها از مداری شبیه منطق مکمل اکسید فلز نیمه هادی با شبکه‌های پایین‌بر و بالابر استفاده می‌کنیم. بنابراین، معادلات X^0 و Y^0 بیانگر همبندی شبکه پایین‌بر و معادلات X^2 و Y^2 نشان دهنده همبندی شبکه بالابر هستند. چگونگی چینش ترانزیستورها در شبکه‌ها توسط این معادلات تعیین می‌گردد.

$$X_{Carry} = 2 \quad (۴)$$

$$Y_{Carry}{}^{0} = a^{0} + b^{0} + a^{1}b^{1} \quad (۵)$$

$$Y_{Carry}{}^{2} = a^{1|2}b^{2} + a^{2}b^{1|2} \quad (۶)$$

$$X_{Sum}{}^{0} = a^{0}b^{2} + a^{2}b^{0} + a^{1}b^{1} \quad (۷)$$

$$X_{Sum}{}^{2} = a^{0|1}b^{0} + a^{0}b^{0|1} + a^{1|2}b^{2} + a^{2}b^{1|2} \quad (۸)$$

www.SID.ir

$$Y_{Sum}{}^{0} = a^{0}b^{0} + a^{1}b^{2} + a^{2}b^{1} \quad (۹)$$

$$Y_{Sum}{}^{2} = a^{1|2}b^{0} + a^{0}b^{1|2} + a^{1}b^{1} + a^{2}b^{2} \quad (۱۰)$$

جهت ایجاد شبکه‌های پایین‌بر و بالابر، از جدول نگاشت ارائه شده در مرجع [۳۰] استفاده شده است (جدول (۴))، با این تفاوت که برای تشخیص برابری متغیر با یک منطقی از مدار "آشکارساز یک منطقی"، که در مرجع [۱۴] پیشنهاد شده است، استفاده می‌گردد. خروجی مدار آشکارساز (شکل (۳)) همانند یک رمزگشا فقط زمانی فعال است که متغیر ورودی برابر یک منطقی باشد. بنابراین، برای پیاده‌سازی z^1، $z\in\{a,b,c,\ldots\}$، در جدول (۴) به‌جای دو ترانزیستور متوالی از یک ترانزیستور استفاده می‌شود. این موضوع باعث کاهش طول مسیر بحرانی سلول می‌گردد.

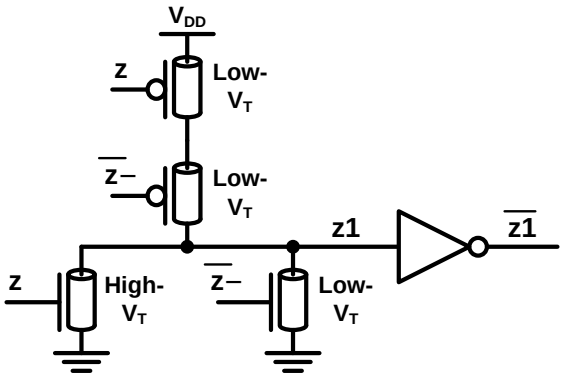
جدول (۴) چگونگی جایگزینی هر لیترال[۴۷] با ترانزیستور را نشان می‌دهد. برای انجام نگاشت لیترال‌های z^0 در شبکه بالابر و z^2 در شبکه پایین‌بر از ترانزیستورهایی با ولتاژ آستانه بالا استفاده شده است تا به ترتیب فقط در صفر و دو منطقی روشن شوند. در برخی موارد نیز ترانزیستورها توسط معکوس‌کننده‌های مثبت و منفی روشن و خاموش می‌شوند. در نهایت، اولین مدار نیم جمع‌کننده DCVS سه مقداری پیشنهادی در شکل (۴) نشان داده شده است. این مدار شامل ۷۲ ترانزیستور است. مدارهای DCVS معمولا به دلیل تولید خروجی‌های مکمل تعداد ترانزیستور بالایی دارند.

در شکل (۴) و سایر شکل‌های مشابه، عدد نوشته شده در کنار ترانزیستورها قطر نانو لوله‌های کربنی که کانال ترانزیستور را تشکیل می‌دهند، را نشان می‌دهد. در همه مدارهای پیشنهادی تنها از سه قطر متفاوت ۰/۷۸۳، ۱/۰۹۶، و ۱/۴۸۷ نانو متر استفاده شده است. این قطرها به ترتیب منجر به ولتاژهای آستانه ۰/۵۴۹، ۰/۳۹۲، و ۰/۲۸۹ ولت می‌گردند. ولتاژ آستانه برای همه ترانزیستورها با ولتاژ آستانه پایین ($Low\text{-}V_T$) برابر ۰/۲۸۹ ولت، و برای همه ترانزیستورها با ولتاژ آستانه بالا ($High\text{-}V_T$) برابر ۰/۵۴۹ ولت، در نظر گرفته شده است.

برای پیاده‌سازی مقاومت‌های شکل (۲)، طبق آنچه در مرجع [۱۵] توضیح داده شده است، کانال ترانزیستورهای همیشه روشن کار تقسیم ولتاژ را انجام می‌دهند. تعداد دو نانو لوله کربنی با فاصله چهار نانو متر (pitch = 4nm) در زیر گیت این ترانزیستورها وجود دارد. سایر ترانزیستورها همگی دارای سه نانو لوله کربنی هستند. مقدار pitch نیز برای مابقی ترانزیستورها برابر ۲۰ نانو متر است. نیم جمع‌کننده پیشنهادی منطبق بر روش ارائه شده در مرجع [۱۵] است.

۳-۲- روش دوم

روش دوم مشابه روش اول است با این تفاوت که به‌منظور افزایش قابلیت راندن، دو معکوس‌کننده سه مقداری ارائه شده در مرجع [۲۸] به انتهای مدار اضافه می‌شود. اگرچه معکوس‌کننده‌های انتهایی طول مسیر بحرانی را افزایش می‌دهند، اما این روش زمانی که با بارهای بزرگ مواجه هستیم بسیار موثر خواهد بود. دومین مدار نیم جمع‌کننده DCVS سه مقداری پیشنهادی در شکل (۵) نشان داده شده است. این مدار ۹۶ ترانزیستور دارد.



شکل (۳): آشکارساز یک منطقی [۱۴]

Figure (3): Logic one detector [14]

www.SID.ir

Archive of SID

۳-۳- روش سوم

مدارهای DCVS معمولا از قابلیت راندن مناسبی برخوردار نیستند. این موضوع یکی از معایب ساختار DCVS است. بنابراین، مدارهای ایجاد شده با استفاده از روش اول قابلیت راندن بالایی ندارند. این موضوع به خصوص در زمان اتصال مدار DCVS به بارهای بزرگ بیشتر جلوه می‌کند. مدارهای ایجاد شده با استفاده از روش دوم ایراد روش اول را برطرف می‌کند، اما باعث افزایش طول میسر بحرانی می‌گردد. اگرچه معکوس‌کننده‌های انتهایی جریان‌دهی خوبی در برابر بارهای خازنی[۴۸] ایجاد می‌کنند تا مدار با افت سرعت مواجه نشود، اما در واقعیت مدار همیشه با بار بزرگی مواجه نیست. افزایش طول مسیر بحرانی باعث افزایش تاخیر مدار در زمان مواجهه با بارهای کوچک خواهد شد.

در روش سوم سعی می‌شود تا تعادلی بین روش‌های اول و دوم در محیط‌های واقعی برقرار گردد. در این روش، به‌جای معکوس‌کننده‌های سه مقداری از تقویت‌کننده‌های دودویی استفاده شده است. هر مدار منطق مکمل اکسید فلز نیمه هادی دودویی در واقع عمل تقویت کنندگی را نیز انجام می‌دهد. بنابراین، معکوس‌کننده‌های سه مقداری مثبت و منفی، و همچنین مدار آشکارساز یک منطقی[۴۹] (شکل (۳))، با جاسازی در دل مدارها علاوه بر تولید $z+$، $z-$، $z1$، و $\overline{z1}$، کار تقویت سیگنال را نیز انجام می‌دهند. زمانی که دو مدار DCVS به یکدیگر متصل می‌شوند، خروجی‌های مدار اول با عبور از این مدارهای دودویی توکار به ترانزیستورهای مدار دوم متصل شده، و در نتیجه نیازی به استفاده از معکوس‌کننده‌های سه مقداری نیست.

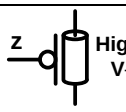
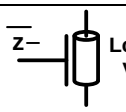
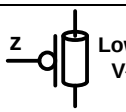
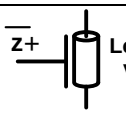
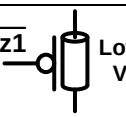
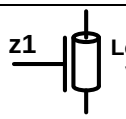
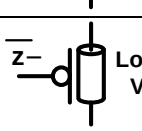
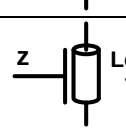
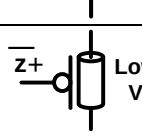
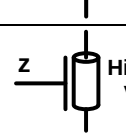
جدول (۵)، جدول نگاشت لیترال‌ها در سومین طرح پیشنهادی است، که در آن:

- برخلاف جدول (۴)، هیچگاه متغیر ورودی مستقیما به ترانزیستورهای نوع N یا P متصل نشده است. بنابراین عمل تقویت کنندگی در همه حالات وجود دارد.
- برخلاف جدول (۴)، هیچ ترانزیستوری به ولتاژ آستانه بالا ($High\text{-}V_T$) نیاز ندارد. به‌طور کلی، ترانزیستورهای با ولتاژ آستانه پایین عملکرد سریعتری نسبت به ترانزیستورهای با ولتاژ آستانه بالا دارند.

در حالت عادی $z+$ و $z-$ از معکوس کردن $\overline{z-}$ و $\overline{z+}$ بدست می‌آیند، اما در مدارهای DCVS علاوه بر z، $\overline{z}$ نیز موجود است. علت این موضوع این است که فرض می‌شود ورودی‌های یک مدار DCVS از مدار DCVS دیگری، که معکوس خروجی را نیز تولید کرده است، می‌آیند. این ویژگی کمک می‌کند تا تولید $z+$ و $z-$ مطابق شکل (۷) به موازات و همزمان با $\overline{z-}$ و $\overline{z+}$ انجام پذیرد.

Table (4): Mapping table for pull-down & pull-up networks (combination of [30] and logic one detector of [14])

جدول (۴): جدول نگاشت برای شبکه‌های پایین‌بر و بالابر (تلفیق مرجع [۳۰] و آشکارساز یک منطقی مرجع [۱۴])

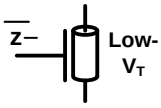
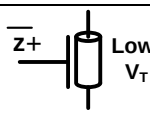
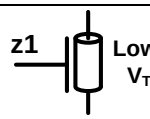
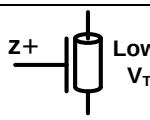
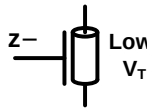
لیترال	ترانزیستور معادل در شبکه بالابر	ترانزیستور معادل در شبکه پایین‌بر
z^0		
$z^{0\|1}$		
z^1		
$z^{1\|2}$		
z^2		

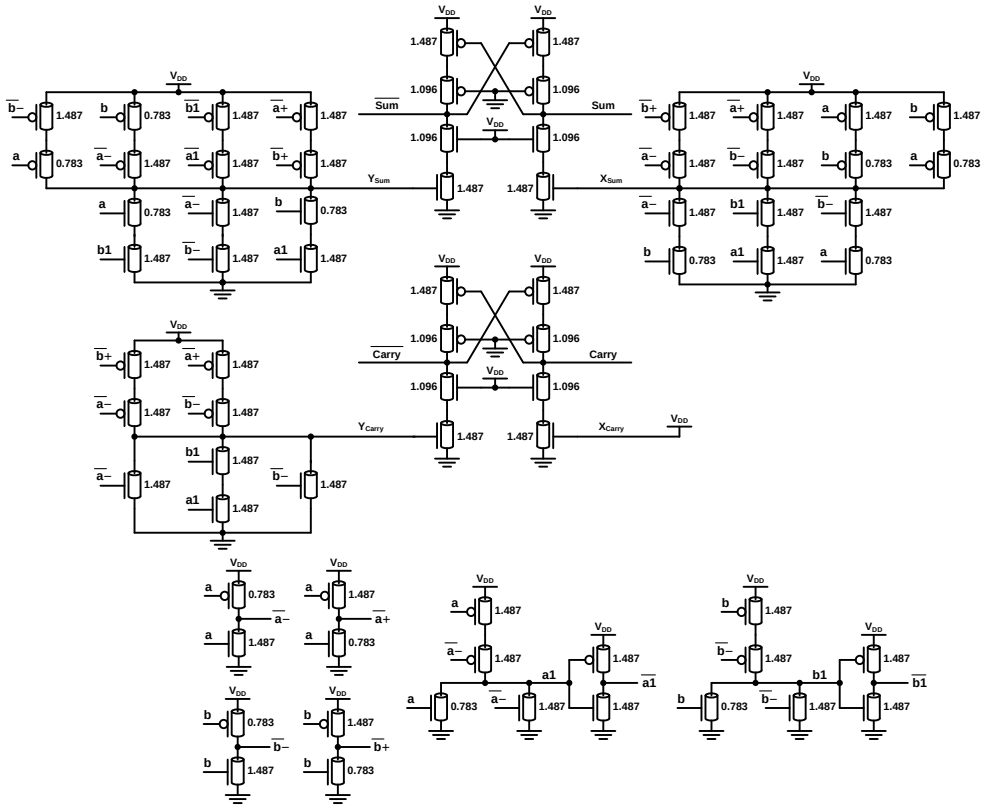
www.SID.ir

Archive of SID

Table (5): Mapping table by considering built-in binary boosters

جدول (۵): جدول نگاشت با درنظر گرفتن از تقویت‌کننده‌های دودویی توکار

لیترال	ترانزیستور معادل در شبکه بالابر	ترانزیستور معادل در شبکه پایین‌بر
z^0		
$z^{0\|1}$		
z^1		
$z^{1\|2}$		
z^2		



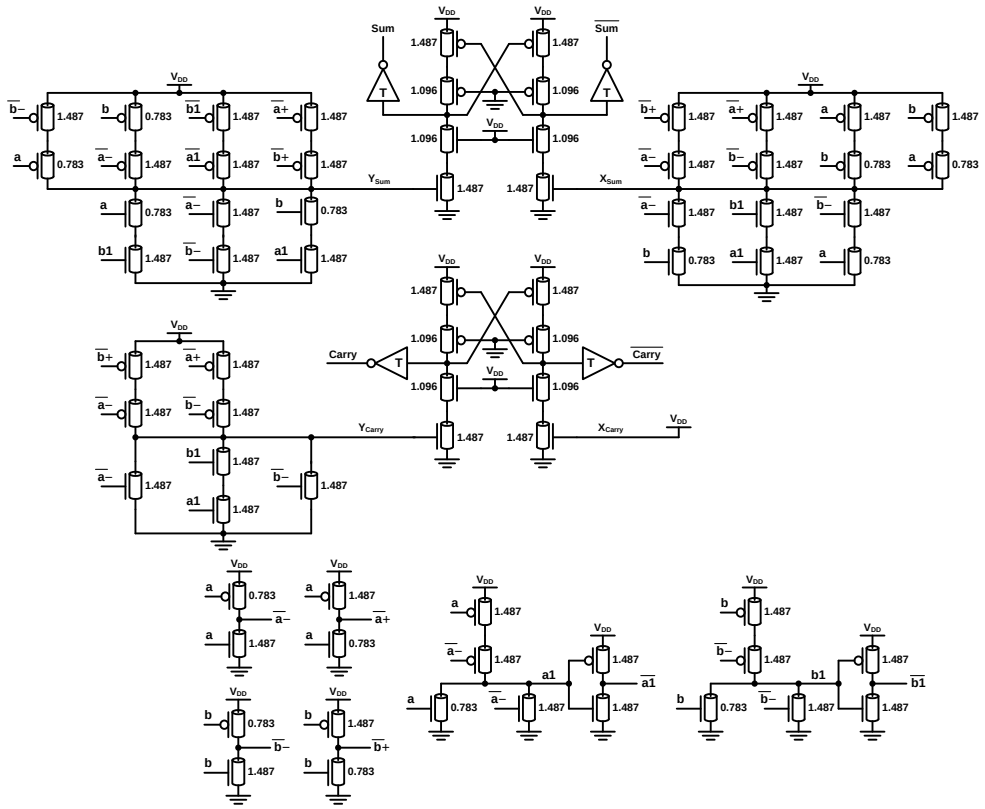
شکل (۴): اولین مدار نیم جمع‌کننده DCVS سه مقداری پیشنهادی

Figure (4): The first proposed ternary DCVS half adder

شکل (۶) سومین مدار نیم جمع‌کننده DCVS سه مقداری پیشنهادی را نشان می‌دهند. این مدار ۸۰ ترانزیستور دارد. معادلات سیگنال‌های X و Y همان معادلات قبلی هستند و تفاوتی در آنها ایجاد نشده است. مدارهای آشکارساز یک منطقی در مدارهای پیشنهادی روش سوم نیز از نگاشت‌های جدول (۵) پیروی می‌کنند. بنابراین، خروجی‌های مدار DCVS قبلی (مدار محرک[۵۰]) فقط به معکوس‌کننده‌های دودویی توکار طبقه بعد متصل می‌شوند که بار بزرگی محسوب نمی‌شوند.

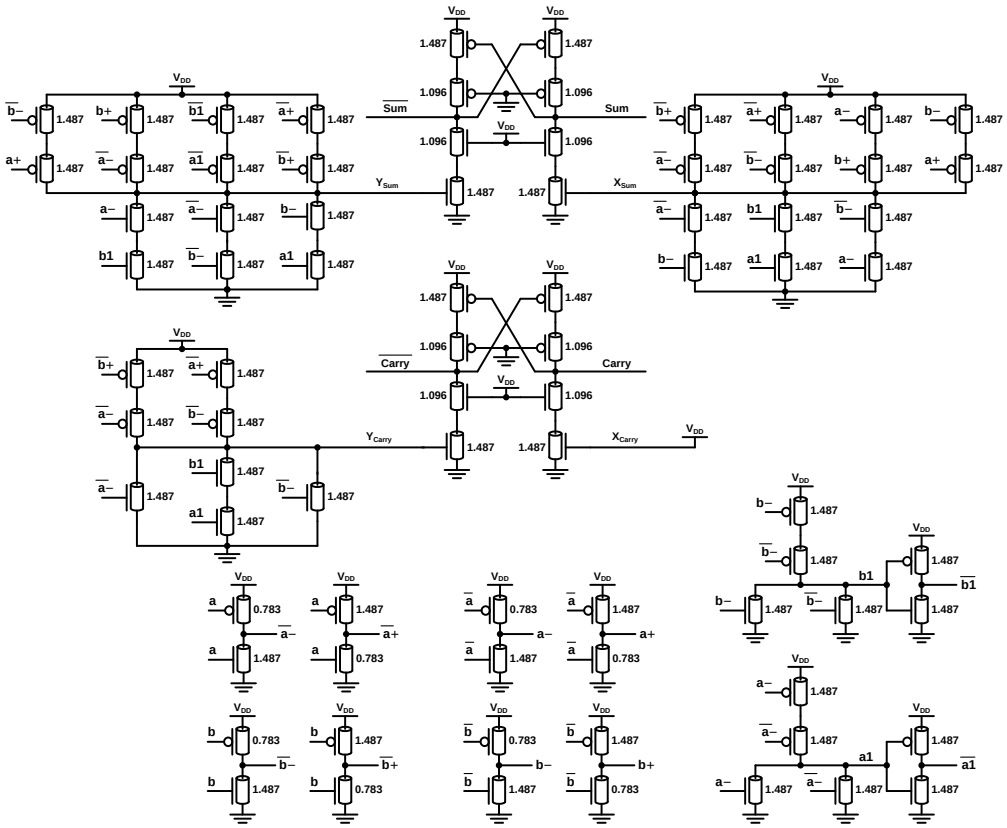
www.SID.ir

Archive of SID



شکل (۵): دومین مدار نیم جمع‌کننده DCVS سه مقداری پیشنهادی

Figure (5): The second proposed ternary DCVS half adder

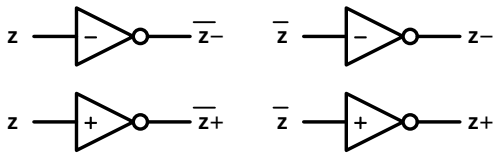


شکل (۶): سومین مدار نیم جمع‌کننده DCVS سه مقداری پیشنهادی

Figure (6): The third proposed ternary DCVS half adder

www.SID.ir

Archive of SID



شکل (۷): نحوه تولید $z-$، $z+$، $\bar{z}-$، $\bar{z}+$ و

Figure (7): Production of $\bar{z}-$, $\bar{z}+$, z^- and z^+

۴- نتایج شبیه‌سازی و تجزیه و تحلیل نتایج

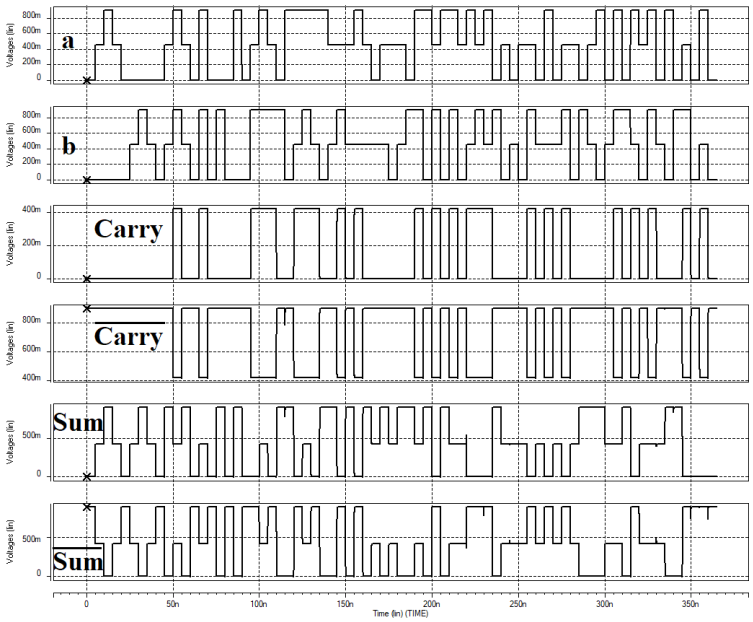
همه مدارها با نرم افزار اچ-اسپایس و با استفاده از فایل کتابخانه ترانزیستورهای نانو لوله کربنی [۳۱،۲۴] با طول کانال ۳۲ نانومتر شبیه‌سازی شده‌اند. شبیه‌سازی‌ها در دمای اتاق و ولتاژ منبع تغذیه ۰/۹ ولت صورت گرفته است. به‌منظور کشف بیشینه تاخیر، الگوی کامل ورودی‌ها شامل ۷۲ گذار[۵۱] به مدارها اعمال شده، و فرکانس ورودی‌ها برابر ۱۰۰ مگاهرتز است. پاسخ گذرای[۵۲] سومین مدار پیشنهادی در شکل (۸) نشان داده شده است. برای تحلیل دقیق مدارهای پیشنهادی سه حالت شبیه‌سازی متفاوت در نظر گرفته شده است:

۱. بدون هیچگونه بار خروجی.
۲. استفاده از FO4[۵۳] سه مقداری که شامل چهار معکوس‌کننده سه مقداری موازی است.
۳. اتصال آبشاری دو سلول نیم جمع‌کننده.

برخلاف موارد اول و دوم که ممکن است کمتر در مدارها اتفاق بیافتند، سومین حالت شبیه‌سازی یک نمونه واقعی است از آنچه در جمع‌کننده مواج[۵۴] و ضرب‌کننده وجود دارد. اگرچه حالت دوم یک بستر تست استاندارد محسوب می‌شود، اما سومین حالت شبیه‌سازی بیشترین انطباق را با واقعیت دارد.

نتایج شبیه‌سازی حالت‌های اول تا سوم به ترتیب در جداول (۶) الی (۸) آمده است. جداول نتایج تفکیک شده‌اند زیرا هدف مقایسه حالات شبیه‌سازی با یکدیگر نیست. نتایج شامل بیشینه تاخیر، متوسط توان مصرفی در بازه زمانی ۷۲ گذار، و میزان مصرف انرژی است. مصرف انرژی توسط رابطه (۱۱) قابل محاسبه است. بهترین نتایج بدست آمده نیز به‌صورت پررنگ در جداول نشان داده شده است.

$$EnergyConsumption=Max(Delay)\times Avg(Power) \quad (۱۱)$$



شکل (۸): شکل موج سومین طرح پیشنهادی

Figure (8): Waveforms of the third proposed design

www.SID.ir

Archive of SID

از لحاظ تاخیر، نتایج شبیه‌سازی برای حالت بدون بار حکایت از برتری طرح‌های اول و سوم دارد. دومین مدار نیم جمع‌کننده پیشنهادی به دلیل وجود معکوس‌کننده‌های انتهایی و مسیر بحرانی طولانی‌تر، تاخیر بیشتری را متحمل می‌شود (جدول (۶)). به دلیل عدم وجود بار خروجی، نیازی به قابلیت راندن بالا نیست، و طول مسیر بحرانی تعیین کننده است.

در دومین حالت شبیه‌سازی (جدول (۷))، معکوس‌کننده‌های FO4 بار خروجی نسبتا بزرگی را ایجاد می‌کنند. در این حالت، معکوس‌کننده‌های انتهایی طرح دوم به کمک آمده و قابلیت راندن مدار DCVS را افزایش می‌دهد. اهمیت قابلیت راندن در این حالت شبیه‌سازی به وضوح قابل مشاهده است.

در نتایج شبیه‌سازی حالت سوم [جدول (۸)]، اولین، دومین، و سومین مدار نیم جمع‌کننده پیشنهادی به نمونه‌های مشابه خود متصل شده‌اند. میزان تاخیر گزارش شده در جدول (۸) برابر تاخیر اولین سلول جمع‌کننده است. همانطور که پیشتر نیز بیان شد، این حالت واقعی‌ترین حالت شبیه‌سازی است.

تقویت‌کننده‌های دودویی تعبیه شده در سومین نیم جمع‌کننده پیشنهادی، ضمن پیاده‌سازی منطق مورد نظر، خروجی‌های مدار نیم جمع‌کننده اول را برای اتصال به مدار نیم جمع‌کننده دوم تقویت می‌کنند. تقویت‌کننده‌های دودویی در عین حال بار خازنی بزرگی به سلول اول تحمیل نکرده و تاخیر قابل توجهی ندارند. آنها به گونه‌ای نقش مشابه معکوس‌کننده‌های سه مقداری انتهایی در دومین طرح‌های پیشنهادی را ایفا می‌کنند، با این تفاوت که مدار کوچکتری دارند و توان ایستا مصرف نمی‌کنند. در نتیجه، طرح سوم سریع‌ترین عملکرد و پایین‌ترین مصرف انرژی را دارد. بنابراین، سومین طرح پیشنهادی بهترین گزینه برای یک محیط واقعی است.

در ادامه، سومین طرح پیشنهادی با سه نمونه از نیم جمع‌کننده‌های سه مقداری که قبلا ارائه شده‌اند مقایسه شده است. مقایسه ها در سومین حالت شبیه‌سازی، که به واقعیت بیشتر نزدیک است، انجام می‌شوند، و نتایج در جدول (۹) آورده شده است. نیم جمع‌کننده ارائه شده در مرجع [۱۱] از نمونه جمع‌کننده‌های مشهور و اولیه در سال ۲۰۱۱ است که از ترانزیستورهای نانو لوله کربنی استفاده می‌کند. در این طرح از رمزگشا[۵۵] برای تشخیص مقادیر متغیرهای ورودی استفاده می‌شود. سپس، دروازه‌های دودویی محاسبات را انجام داده و در انتها مجددا مقادیر به حالت سه مقداری تبدیل می‌شوند. نیم جمع‌کننده ارائه شده در مرجع [۳۲]، که اخیرا در سال ۲۰۱۹ ارائه شده است، از انتخاب کننده‌ها[۵۶] و رمزگذارهای[۵۷] سه مقداری در یک طرح ابتکاری استفاده می‌کند. انتخاب کننده‌ها با استفاده از دروازه‌های انتقال[۵۸] پیاده‌سازی شده‌اند. رمزگذارها نیز برای تقسیم ولتاژ و تولید یک منطقی از ترانزیستورهای اتصال دیودی[۵۹] بهره می‌برند. در نهایت، طرح ارائه شده در سال ۲۰۱۷ [۳۳] یک نیم جمع‌کننده سه مقداری DCVS است، که بیشترین شباهت ساختاری را به مدارهای پیشنهادی در این مقاله دارد. در مرجع [۳۳]، سیگنال‌های کنترلی توسط یک شبکه خازنی و تلفیق منطق آستانه و منطق ترانزیستور عبور ایجاد می‌شوند. در ابتدا، جمع خازنی سیگنال‌های ورودی محاسبه شده و سپس مدارهای کنترلی ساختار DCVS ساخته می‌شوند.

Table (6): Simulation results (without load)

جدول (۶): نتایج شبیه‌سازی برای اولین حالت شبیه‌سازی (بدون بار)

نیم جمع‌کننده‌های پیشنهادی	تاخیر (بر حسب پیکو ثانیه)	توان (بر حسب میکرو وات)	انرژی (بر حسب فمتو ژول)
طرح اول	۳۸/۲۹۷	**۸/۳۱۲۶**	۰/۳۱۸۳
طرح دوم	۵۷/۴۸۰	۸/۹۴۶۴	۰/۵۱۴۲
طرح سوم	**۳۶/۰۷۷**	۸/۳۲۱۵	**۰/۳۰۰۲**

Table (7): Simulation results (with FO4 load)

جدول (۷): نتایج شبیه‌سازی برای دومین حالت شبیه‌سازی (بار FO4)

نیم جمع‌کننده‌های پیشنهادی	تاخیر (بر حسب پیکو ثانیه)	توان (بر حسب میکرو وات)	انرژی (بر حسب فمتو ژول)
طرح اول	۱۰۸/۹۴	**۹/۴۱۱۳**	۱/۰۲۵۲
طرح دوم	**۶۷/۵۸۹**	۹/۹۷۶۷	**۰/۶۷۴۳**
طرح سوم	۱۰۷/۰۵	۹/۴۱۷۱	۱/۰۰۸۱

www.SID.ir

Archive of SID

Table (8): Simulation results (two cascaded half adders)

جدول (۸): نتایج شبیه‌سازی برای سومین حالت شبیه‌سازی (اتصال آبشاری دو سلول نیم جمع‌کننده)

نیم جمع‌کننده‌های پیشنهادی	تاخیر (بر حسب پیکو ثانیه)	توان (بر حسب میکرو وات)	انرژی (بر حسب فمتو ژول)
طرح اول	۵۰/۰۵۹	**۱۴/۲۳۸**	۰/۷۱۲۷
طرح دوم	۵۹/۸۷۸	۱۵/۳۱۷	۰/۹۱۷۱
طرح سوم	**۴۶/۸۲۵**	۱۴/۲۸۵	**۰/۶۶۸۸**

Table (9): Comparison of half adders in the 3rd simulation setup

جدول (۹): مقایسه نیم جمع‌کننده‌ها در سومین حالت شبیه‌سازی

نیم جمع‌کننده	تاخیر (بر حسب پیکو ثانیه)	توان (بر حسب میکرو وات)	انرژی (بر حسب فمتو ژول)	تعداد ترانزیستور (برای یک سلول جمع‌کننده)
طرح سوم پیشنهادی	**۴۶/۸۲۵**	۱۴/۲۸۵	۰/۶۶۸۸	۸۰
ارائه شده در مرجع [۱۱]	۵۶/۸۵۶	۳/۹۳۱۹	۰/۲۲۳۵	۱۵۸
ارائه شده در مرجع [۳۲]	۵۲/۷۱۰	**۲/۲۷۲۰**	**۰/۱۱۹۷**	۷۴
ارائه شده در مرجع [۳۳]	۸۴/۴۱۲	۲۶/۹۶۳	۲/۲۷۶۰	**۶۳**

نیم جمع‌کننده پیشنهادی در این مقاله، در مقایسه با سایر نیم جمع‌کننده‌ها، بالاترین سرعت را دارد. مدارهای DCVS معمولا از سرعت بالایی برخوردار هستند، که تقویت‌کننده‌های توکار نیز به بالا رفتن سرعت کمک شایانی کرده‌اند. در نتیجه، طرح جدید به ترتیب ۱۷/۶ درصد، ۱۱/۱ درصد، و ۴۴/۵ درصد سرعت بالاتری نسبت به طرح‌های مراجع [۱۱]، [۳۲]، و [۳۳] دارد. مدارهای [۱۱] و [۳۲] مسیرهای بحرانی طولانی دارند. مدار مرجع [۳۳] نیز به دلیل وجود شبکه خازنی، خازن‌های ورودی بزرگی دارد که در زمان اتصال آبشاری دو سلول متوالی وجه منفی آنها به شدت احساس می‌شود. نه تنها شارژ و دشارژ این خازن‌های بزرگ زمان زیادی می‌برد، بلکه آنها باعث افزایش مصرف توان پویا[۶۰] نیز می‌گردند.

هرچند سومین طرح پیشنهادی نسبت به نیم جمع‌کننده‌های مراجع [۱۱] و [۳۲] مصرف توان و انرژی بیشتری دارد، اما باید توجه داشت که طرح پیشنهادی با ساختار DCVS علاوه بر خروجی‌های حاصل جمع و رقم نقلی، معکوس آنها را نیز به‌طور همزمان ایجاد می‌کند. این ویژگی در دو طرح دیگر وجود ندارد. مدارهای DCVS، منجمله طرح‌های پیشنهادی، تعداد ترانزیستور بالایی دارند. با این وجود، طرح پیشنهادی تعداد ۷۸ ترانزیستور کمتری نسبت به مدار مرجع [۱۱] دارد. همچنین، مجددا باید توجه داشت که در ساختار DCVS خروجی‌های بیشتری تولید می‌شوند. در انتها، اگرچه تعداد ترانزیستور در مرجع [۳۳] کمتر از سایر طرح‌ها است، اما خازن مساحت زیادی را بر روی تراشه اشغال می‌کند.

۵- نتیجه‌گیری

در این مقاله، با استفاده از سه روش متفاوت، مدارهای نیم جمع‌کننده DCVS سه مقداری ارائه شد. هرچند که تمامی مدارهای پیشنهادی جدید هستند، اما اولین و دومین سری از نیم جمع‌کننده‌های پیشنهادی در واقع منطبق بر روش طراحی ارائه شده در مرجع [۱۵] می‌باشند. در سومین روش پیشنهادی که مختص این مقاله است، از معکوس‌کننده‌های سه مقداری اجتناب، و تماما از تقویت‌کننده‌های دودویی توکار استفاده شده است. روش نگاشت عبارات منطقی به شبکه‌های پایین‌بر و بالابر نیز با ارائه مثال توضیح داده شد. نتایج شبیه‌سازی نشان می‌دهد که طرح نهایی در یک محیط واقعی دارای بالاترین کارآیی است. بنابراین، استفاده از تقویت‌کننده‌های دودویی در مدارهای DCVS سه مقداری برای طراحی سایر مدارهای منطقی و محاسباتی نیز پیشنهاد می‌گردد.

اگرچه مدارهای DCVS معمولا توان بالایی مصرف می‌کنند و تعداد ترانزیستور زیادی نیز دارند، اما سرعت بالا و تولید همزمان دو خروجی از مزایای ساختارهای DCVS است. بعلاوه، در نیم جمع‌کننده‌های پیشنهادی در این مقاله از منبع ولتاژ اضافی استفاده نشده است، و وجود یک منبع تغذیه کفایت می‌کند.

www.SID.ir

Archive of SID

References

مراجع

[1] N.H.E. Weste, D.M. Harris, CMOS VLSI Design: A Circuits and Systems Perspective, 4th Edition, Addison-Wesley, Boston, Massachusetts, 2011.

[2] L.G. Heller, W.R. Griffin, J.W. Davis, N.G. Thoma, "Cascode voltage switch logic: A differential CMOS logic family", Proceeding of the IEEE/ISSCC, pp. 16-17, San Francisco, USA, Feb. 1984 (doi: 10.1109/ISSCC.1984.1156629).

[3] K.M. Chu, D.I. Pulfrey, "A comparison of CMOS circuit techniques: Differential cascode voltage switch logic versus conventional logic", IEEE Journal of Solid-State Circuits, vol. 22, no.4, pp. 528-532, Aug. 1987 (doi: 10.1109/JSSC.1987.1052767).

[4] P. Bajpai, N. Pandey, K. Gupta, J. Panda, "LECTOR incorporated differential cascode voltage swing logic (L-DCVSL)", Analog Integrated Circuits and Signal Processing, vol. 100, no. 1, pp. 221-234, July 2019 (doi: 10.1007/s10470-019-01466-2).

[5] R.K. Montoye, "Testing scheme for differential cascode voltage switch circuits", IBM Technical Disclosure Bulletin, vol. 27, no. 10B, pp. 6148-6152, 1985.

[6] D.A. Rennels, H. Kim, "Concurrent error detection in self-timed VLSI", Proceeding of the IEEE/FTCS, Austin, USA, pp. 96-105, June 1994 (doi: 10.1109/FTCS.1994.315653).

[7] Y. Kang, J. Kim, S. Kim, E. Jang, J.W. Jeong, K.R. Kim, S. Kang, "A novel ternary multiplier based on ternary CMOS compact model", Proceeding of the IEEE/ISMVL, Novi Sad, Serbia, pp. 25-30, May 2017 (doi: 10.1109/ISMVL.2017.52).

[8] M. Kumm, O. Gustafsson, M. Garrido, P. Zipf, "Optimal single constant multiplication using ternary adders", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 65, no. 7, pp. 928-932, July 2018 (doi: 10.1109/TCSII.2016.2631630).

[9] M. Toulabinejad, M. Taheri, K. Navi, N. Bagherzadeh, "Toward efficient implementation of basic balanced ternary arithmetic operations in CNFET technology", Microelectronics Journal, vol. 90, pp. 267-277, Aug. 2019 (doi: 10.1016/j.mejo.2019.05.010).

[10] A. Doostaregan, A. Abrishamfar, "Evaluating a methodology for designing CNFET-based ternary circuits", Circuits, Systems, and Signal Processing, 2020 (In Press) (doi: 10.1007/s00034-020-01400-2).

[11] S. Lin, Y.B. Kim, F. Lombardi, "CNTFET-based design of ternary logic gates and arithmetic circuits", IEEE Trans. on Nanotechnology, vol. 10, no. 2, pp. 217-225, Mar. 2011 (doi: 10.1109/TNANO.2009.2036845).

[12] A. Saha, N.D. Singh, "Systematic design strategy for DPL-based ternary logic circuit", International Journal of Nanoparticles, vol. 12, no. 1-2, pp. 3-16, 2020 (doi: 10.1504/IJNP.2020.10027790).

[13] G. Hang, X. Zhou, "Novel CMOS static ternary logic using double pass-transistor logic", Proceeding of the ICISE, Hangzhou, China, pp. 1333-1336, Dec. 2010 (doi: 10.1109/ICISE.2010.5689867).

[14] S. Rezaie, R.F. Mirzaee, K. Navi, O. Hashemipour, "From static ternary adders to high-performance race-free dynamic ones", The Journal of Engineering, vol. 2015, no. 12, pp. 371-382, Dec. 2015 (doi: 10.1049/joe.2015.0119).

[15] R.F. Mirzaee, T. Nikoubin, K. Navi, O. Hashemipour, "Differential cascode voltage switch (DCVS) strategies by CNTFET technology for standard ternary logic", Microelectronics Jounal, vol. 44. No. 12, pp. 1238-1250, Dec. 2013 (doi: 10.1016/j.mejo.2013.08.010).

[16] N. Azimi, R.F. Mirzaee, K. Navi, A.M. Rahmani, "Ternary DDCVSL: a combined dynamic logic style for standard ternary logic with single power source", IET Computers & Digital Techniques, 2020 (In Press) (doi: 10.1049/iet-cdt.2019.0216).

[17] H. Lee, G.E. Sobelman, "New XOR/XNOR and full adder circuits for low voltage, low power applications", Microelectronics Journal, vol. 29, no. 8, pp. 509-517, Aug. 1998 (doi: 10.1016/S0026-2692(97)00120-1).

[18] K. Navi, O. Kavehei, M. Ruholamini, A. Sahafi, S. Mehrabi, N. Dadkhahi, "Low-power and high-performance 1-bit CMOS full adder cell", Journal of Computers, vol. 3, No. 2, pp. 48-54, Feb. 2008 (doi: 10.4304/jcp.3.2.48-54).

[19] S.D. Mohammadi, R.F. Mirzaee, K. Navi, "Partial product generation for unbalanced ternary signed multiplication", International Journal of High Performance Systems Architecture, vol. 8, no. 4, pp. 238-249, 2019 (doi: 10.1504/IJHPSA.2019.104952) .

[20] A.B. Rahin, V.B. Rahin, "A new 2-input CNTFET-based XOR cell with ultra-low leakage power for low-voltage and low-power full adders", Journal of Intelligent Procedures in Electrical Technology, vol.10 , no. 37, pp. 13-22, Spring 2019 (in Persian).

[21] A.K. Kureshi, M. Hasan, "Performance comparison of CNFET- and CMOS-based 6T SRAM cell in deep submicron", Microelectronics Journal, vol. 40, no. 6, pp. 979-982, June 2009 (doi: 10.1016/j.mejo.2008.11.062).

www.SID.ir

[22] G. Cho, Y.B. Kim, F. Lombardi, "Assessment of CNTFET based circuit performance and robustness to PVT variations", Proceeding of the IEEE/MWSCAS, Cancun, Mexico, pp. 1106-1109, Aug. 2009 (doi: 10.1109/MWSCAS.2009.5235961).
[23] R.F. Mirzaee, K. Navi, N. Bagherzadeh, "High-efficient circuits for ternary addition", VLSI Design, vol. 2014, article ID 534587, pp. 1-15, 2014 (doi: 10.1155/2014/534587).
[24] J. Deng, Device Modeling and Circuit Performance Evaluation for Nanoscale Devices: Silicon Technology Beyond 45 nm Node and Carbon Nanotube Field Effect Transistors, Ph.D. Thesis, Stanford University, 2007.
[25] E.E. Nigussie, Exploration and Design of High Performance Variation Tolerant On-Chip Interconnects, Ph.D. Thesis, University of Turku, 2010.
[26] T. Sakurai, "Perspectives on power-aware electronics," Proceeding of the IEEE/ISSCC, San Francisco, USA, pp. 26-29, Feb. 2003 (doi: 10.1109/ISSCC.2003.1234195).
[27] A.P. Dhande, V.T. Ingole, V.R. Ghiye, Ternary Digital System: Concepts and Applications, SM Online Publishers, 2014.
[28] M.H. Moaiyeri, A. Doostaregan, K. Navi, "Design of energy-efficient and robust ternary circuits for nanotechnology", IET Circuits, Devices & Systems, vol. 5, no. 4, pp. 285-296, July 2011 (doi: 10.1049/iet-cds.2010.0340).
[29] H. Inokawa, A. Fujiwara, Y. Takahashi, "A multiple-valued logic with merged single-electron and MOS transistors", International Electron Devices Meeting Technical Digest, Washington, USA, pp. 7.2.1-7.2.4, Dec. 2001 (doi: 10.1109/IEDM.2001.979453).
[30] R.F. Mirzaee, M.S. Daliri, K. Navi, N. Bagherzadeh, "A single parity-check digit for one trit error detection in ternary communication systems: Gate-level and transistor-level designs", Journal of Multiple-Valued Logic and Soft Computing, vol. 29, no. 3-4, pp. 303-326, Aug. 2017.
[31] Stanford CNFET Model, available at: https://nano.stanford.edu/model.php
[32] T. Sharma, L. Kumre, "CNTFET-based design of ternary arithmetic modules", Circuits, Systems, and Signal Processing, vol. 38, no. 10, pp. 4640-4666, Oct. 2019 (doi: 10.1007/s00034-019-01070-9).
[33] M. Bastami, and R.F. Mirzaee, "Integration of CTL, PTL, and DCVSL for designing a novel fast ternary half adder", The CSI Journal on Computer Science and Engineering, vol. 15, no. 1, pp. 15-21, Summer 2017.

زیرنویس‌ها:

1. Complementary metal-oxide-semiconductor
2. Pull-down network
3. Pull-up network
4. Static power
5. Pass-transistor logic
6. Threshold logic
7. Double pass-transistor logic
8. Dynamic logic
9. Differential cascode voltage switch
10. Inverter
11. Critical path
12. Stuck-at fault
13. Ternary logic
14. Unbalanced
15. Voltage division
16. Ground
17. Power supply
18. Driving capability
19. Cascade
20. Half adder
21. Full Adder
22. Booster
23. Built-in
24. Carbon nanotube field-effect transistor
25. HSPICE
26. Metal-oxide-semiconductor field-effect transistor
27. Tunneling
28. Gate terminal

www.SID.ir

Archive of SID

29. Substrate
30. Leakage power
31. Mobility
32. Quantum-dot cellular automata
33. Single-electron transistor
34. Transistor sizing
35. Threshold voltage
36. Graphene
37. Single-wall carbon nanotube
38. Chiral vector
39. Schottky barrier
40. Dope
41. Routing
42. Multiple-valued logic
43. Balanced
44. Positive ternary inverter
45. Negative ternary inverter
46. Standard ternary inverter
47. Literal
48. Capacitor load
49. Logic one detector
50. Driver
51. Transition
52. Transient analysis
53. Fan-out of four
54. Ripple adder
55. Decoder
56. Multiplexer
57. Encoder
58. Transmission gate
59. Diode-connected transistor
60. Dynamic power

www.SID.ir