Archive of SID

JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 14/ No. 54/ Summer 2023
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

20……
Research Article

Design and Implementation of an Intelligent High Frequency Counter with Optimized Architecture on a Low Cost FPGA Chip XC6SLX9-2FTG256C

Sayyed Hossein Keyhomayoon[1,2], *M.Sc.*, Mehdi Amoom[1,2], *Assistant Professor*

[1]Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran
[2]Smart Microgrid Research Center, Najafabad Branch, Islamic Azad University, Najafabad, Iran
keyhomayoon@gmail.com, m.amoon@iaun.ac.ir

Abstract
In this paper, a 2 GHz counter is implemented on a low-cost XC6SLX9-2FTG256C field-programmable gate array (FPGA) chip from the Spartan6 family with a 500 ps resolution. Since the hardware resources contained in this chip are not sufficient to implement this design, and also the inherent delays of the hardware resources inside the chip are about few nanoseconds, achieving this accuracy is very important. The architecture used in this research is based on the phase difference clocks that has been implemented after optimization. To achieve this accuracy, it is necessary to design and implement counters with high clock frequency, low jitter and low skew, without dependence on hold time and setup time. Alternative hardware resources have also been used to compensate for the lack of hardware resources required to implement routing clocks.

Keywords: field-programmable gate array (FPGA) based time-to-digital convertor (TDC), low cost FPGA, measurement accuracy, phased clocks

Received: 21 July 2021
Revised: 29 August 2021
Accepted: 19 November 2021

Corresponding Author: Dr. Mehdi Amoon

Citation: S.H. Keyhomayoon, M. Amoom, "Design and implementation of an intelligent high frequency counter with optimized architecture on a low cost FPGA Chip XC6SLX9-2FTG256C", Journal of Intelligent Procedures in Electrical Technology, vol. 14, no. 54, pp. 147-157, September 2023 (in Persian).

www.SID.ir

 Archive of SID

20.....
مقاله پژوهشی

طراحی و پیاده‌سازی شمارندۀ فرکانس‌بالای هوشمند با معماری بهینه‌شده بر روی تراشۀ FPGA ارزان‌قیمت XC6SLX9-2FTG256C

سیدحسین کیهمایون[۱،۲]، دانشجوی کارشناسی‌ارشد، مهدی آمون[۱،۲]، استادیار

۱- دانشکده مهندسی برق- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
۲- مرکز تحقیقات ریزشبکه‌های هوشمند- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
keyhomayoon@gmail.com, m.amoon@iaun.ac.ir

چکیده: برای پیاده‌سازی شمارنده‌های فرکانس بالا از روش‌های مبتنی بر تراشه‌های مدار مجتمع ویژه برنامه (ASIC) و یا مبتنی بر پردازنده‌ها استفاده می‌شود. هر کدام از این روش‌ها در قالب یک معماری متفاوت پیاده‌سازی می‌شوند. با توجه به مزایا و معایب هر کدام از این روش‌ها و معماری‌ها و همچنین نوع کاربرد شمارنده، روش و معماری مناسب انتخاب می‌شود. در این مقاله، با استفاده از معماری پالس‌های ساعت دارای اختلاف فاز، شمارنده‌ای با فرکانس ۲ گیگاهرتز (تفکیک‌پذیری زمانی ۵۰۰ پیکوثانیه) بر روی تراشۀ آرایه-دریچه برنامه‌پذیر میدانی (FPGA) ارزان‌قیمت XC6SLX9-2FTG256C از خانوادۀ اسپارتان ۶ (Spartan6) پیاده‌سازی شده است. از آنجا که منابع سخت‌افزاری موجود در تراشۀ یاد شده برای پیاده‌سازی این طرح کافی نیست و همچنین تأخیرهای ذاتی منابع سخت‌افزاری داخل تراشه در حد چند نانوثانیه است. دست‌یابی به دقت یاد شده اهمیت زیادی دارد و معماری استفاده شده نیز باید بهینه‌سازی شود. برای دست‌یابی به دقت یاد شده، لازم است شمارنده‌هایی با فرکانس پالس ساعت بالا، لرزش و کجی کم و بدون وابستگی به زمان‌های نگه‌داشت و تنظیم، طراحی و پیاده-سازی شوند. همچنین برای جبران کمبود منابع سخت‌افزاری مورد نیاز جهت پیاده‌سازی مسیربندی پالس ساعت، از منابع سخت‌افزاری جایگزین استفاده شده است.

کلمات کلیدی: آرایه-دریچه برنامه‌پذیر میدانی ارزان قیمت، پالس‌های ساعت دارای اختلاف فاز، دقت اندازه‌گیری، مبدل زمان به دیجیتال

تاریخ ارسال مقاله: ۱۴۰۰/۴/۳۰
تاریخ بازنگری مقاله: ۱۴۰۰/۶/۷
تاریخ پذیرش مقاله: ۱۴۰۰/۸/۲۸

نام نویسنده‌ی مسئول: دکتر مهدی آمون
نشانی نویسنده‌ی مسئول: نجف‌آباد- بلوار دانشگاه- دانشگاه آزاد اسلامی واحد نجف‌آباد- دانشکده مهندسی برق

www.SID.ir

Archive of SID

۱- مقدمه

زمان‌سنجی دقیق در بسیاری از شاخه‌ها مانند علوم پایه، پزشکی، هسته‌ای و به ویژه مهندسی اهمیت زیادی دارد. با پیشرفت فن‌آوری، نیاز به اندازه‌گیری زمان‌های کوتاه و بسیارکوتاه با دقت بالا بیشتر شده است [۱،۲]. زمان‌سنجی معمولاً به‌صورت اندازه‌گیری بازهٔ زمانی بین دو رویداد که یکی سیگنال شروع و دیگری سیگنال پایان است انجام می‌شود [۳،۴]. امروزه غالباً از مبدل‌های زمان به دیجیتال برای اندازه‌گیری زمان قرائت زمان و تبدیل آن به فرم عددی) استفاده می‌گردد [۵]. معمولاً این مبدل‌ها به‌صورت مدار مجتمع ویژه برنامه (ASIC) و یا مبتنی بر آرایه-دریچه برنامه‌پذیر میدانی (FPGA) پیاده‌سازی می‌شوند. به دلیل انعطاف و تغییرپذیری، تطبیق آسان با سیستم‌های دیگر، امکان دست‌یابی به دقت اندازه‌گیری بالا، زمان ارایه به بازار کمتر و همچنین هزینهٔ نمونه‌سازی کمتر، FPGAها نسبت به تراشه‌های ASIC، گزینهٔ جذاب‌تری برای ساخت مبدل‌های زمان به دیجیتال (TDCs) کاملاً دیجیتال هستند [۱،۳]

افزایش دقت سیستم‌های الکترونیکی بدون افزایش یا با افزایش جزیی در قیمت محصول، همواره مورد توجه طراحان این سیستم‌ها بوده است [۶]. برآورده کردن همزمان دو پارامتر قیمت پایین و دقت بالا، طراحی سیستم را مشکل‌تر و طراح را مجبور به مصالحه در پارامترهای طراحی خود می‌کند و همچنین باعث می‌شود طرح پیاده‌سازی شده، ارزش زیادی پیدا کند.

برای رسیدن به دقت قابل‌قبول باید سخت‌افزار مناسب انتخاب و پیاده‌سازی نیز بر اساس یک معماری مناسب انجام شود. این معماری با توجه به نیازمندی‌ها و الزامات طرح انتخاب می‌گردد [۲،۷]. بر اساس طراحی ما، شمارندهٔ پیاده‌سازی شده تفکیک-پذیری بالایی دارد و از منابع سخت‌افزاری کمی استفاده می‌کند. هر دوی این عوامل برای یک سیستم حیاتی هستند.

ساختار مقاله به این شرح است. در بخش ۲ انواع معماری‌های مبتنی بر آرایه-دریچه برنامه‌پذیر میدانی (FPGA) مقایسه و معماری مناسب انتخاب شده است. طراحی ساختار شمارنده با توجه به معماری انتخابی، در بخش ۳ ارائه شده است. به دلیل کمبود منابع سخت‌افزاری، نیاز به بهینه‌سازی معماری انتخاب شده متناسب با نیازمندی‌های طرح وجود دارد. بخش ۴ فرآیند بهینه‌سازی معماری انتخاب شده را تشریح می‌کند. طراحی سیستم پالس ساعت در بخش ۵، چالش‌های پیاده‌سازی از جمله محدودیت طرح در استفاده از بافرها در بخش ۶ و مقایسه روش‌های مختلف پیاده‌سازی و بررسی نتایج پیاده‌سازی روش منتخب در بخش ۷ بیان شده است. بخش ۸ نیز به مقایسهٔ پروژهٔ انجام شده با پژوهش‌های مشابه جدید اختصاص داده شده است.

۲- بررسی معماری‌های مبتنی بر آرایه-دریچه برنامه‌پذیر میدانی (FPGA) و انتخاب معماری مناسب

برای پیاده‌سازی TDCهای بر مبنای FPGA معماری‌های مختلفی وجود دارد. در جدول (۱) این معماری‌ها معرفی و مقایسه شده‌اند. انتخاب بهترین معماری با توجه به کاربرد طرح مشخص می‌شود. تفکیک‌پذیری یکی از مهم‌ترین پارامترهای TDC است و تحقیقات در حوزهٔ TDC نیز عمدتاً در زمینهٔ افزایش تفکیک‌پذیری است. اگرچه تفکیک‌پذیری یک پارامتر مهم است، اما سایر پارامترها از جمله خطی بودن، میزان توان مصرفی و میزان منابع سخت‌افزاری مصرف شونده نیز در انتخاب یک معماری اهمیت زیادی دارند. با توجه به اهداف این پژوهش، بهترین گزینه، معماری پالس‌های ساعت دارای اختلاف فاز است.

۳- طراحی ساختار بر اساس معماری انتخاب شده

برای دست‌یابی به تفکیک‌پذیری زمانی بهتر، روش سرراست، استفاده از فرکانس پالس ساعت بالاتر است. اما نرخ پالس ساعت بالا محدودیت‌های زیادی مانند حاشیه‌های زمان‌بندی کمتر، محدودیت‌های طرح PCB، افزایش توان مصرفی و ... را به طرح اعمال می‌کند. از سوی دیگر به دلیل میزان تأخیرهای ذاتی در FPGA از جمله تأخیرهای پد، ورودی/خروجی‌ها، مسیربندی، میکروسوییچ‌ها و تأخیرهای گیت (که در FPGA ارزان‌قیمت این تأخیرها بیش‌تر است)، پیاده‌سازی یک شمارنده با فرکانس بالا برای رسیدن به دقت در محدودهٔ پیکوثانیه عملاً غیرممکن است. برای رفع این موانع باید از روش‌های تلفیقی استفاده کرد که بدون افزایش نرخ پالس ساعت، بتوان تفکیک‌پذیری را بهبود داد. با پیاده‌سازی الگوریتم شیفت فاز، استفاده از چند شمارندهٔ کاملاً مستقل فرکانس‌بالا و مدیریت تأخیرهای آرایه-دریچه برنامه‌پذیر میدانی می‌توان به این دقت رسید.

www.SID.ir

Table (1): FPGA Based TDC Comparison

جدول (۱): مقایسهٔ معماری‌های TDC مبتنی بر FPGA

نوع معماری	مزایا	معایب
شمارندهٔ غیردقیق	ساختار ساده و پیاده‌سازی آسان و نیاز به منابع سخت‌افزاری کم	عدم امکان استفاده برای دقت‌های متوسط و بالا، تفکیک‌پذیری پایین [۸]
پالس‌های ساعت دارای اختلاف فاز[1]	خطی بودن و دقت بالا و محدوده پویای وسیع امکان دست‌یابی به تفکیک‌پذیری بالا نیاز به منابع سخت‌افزاری کم معماری نسبتاً ساده و عدم نیاز به کالیبراسیون	تفکیک‌پذیری متوسط [۸,۹]
TDC بر مبنای خطوط تأخیر	تفکیک‌پذیری بالا	حجم پردازش، نرخ پالس ساعت و مصرف توان بالا خطی بودن پایین و نیاز به کالیبراسیون و عدم امکان استفاده برای دستگاه‌های سیار کاهش محدوده پویا در ازای افزایش تفکیک پذیری [۸,۱۰]
کوچک شدن عرض پالس	مناسب برای پیاده‌سازی در تراشه‌های ASIC	انحراف اندازه‌گیری و پیاده‌سازی دشوار در آرایه-دریچه برنامه‌پذیر میدانی (FPGA) [۷،۱۱]
TDC تفاضلی	تفکیک‌پذیری بالا	حجم پردازش، نرخ پالس ساعت و مصرف توان بالا عدم امکان استفاده برای دستگاه‌های سیار و کالیبراسیون دشوار [۹]

با این توضیحات، معماری پالس‌های ساعت دارای اختلاف فاز برای این طرح انتخاب شده است. به این صورت که با استفاده از شیفت دادن پالس ساعت، شش سیگنال پالس ساعت با فرکانس ۳۳۳/۳۴ مگاهرتز ساخته شده است که نسبت به هم ۵۰۰ پیکوثانیه اختلاف فاز دارند. این شش سیگنال درنهایت با هم جمع می‌شوند و فرکانس ۲ گیگاهرتز را در قالب یک کد دیجیتال ۳۳ بیتی به‌عنوان زمان اندازه‌گیری شده تولید می‌کنند. شمای این معماری در شکل (۱) نمایش داده شده است. در اینجا برای رسیدن به تفکیک‌پذیری بهتر، هم‌زمان هر دو روش افزایش تعداد شمارنده‌ها (تا حد ممکن) و افزایش فرکانس پالس ساعت شمارنده‌ها به کار گرفته شده است [۱۱،۱۲]. معماری طراحی شده به پنج بخش تقسیم می‌شود:

الف- مدار مولد پالس ساعت: سیستم پالس ساعت طراحی شده، از دو بخش تشکیل شده است: بخش اول، پالس ساعت ۵۰ مگاهرتز ورودی به سیستم است که از طریق کریستال روی برد (برد AX309) ساخته و وارد بخش دوم یعنی حلقهٔ قفل شونده در فاز[2] نیز می‌شود [۱۳]. حلقهٔ قفل شونده در فاز، فرکانس دریافتی از مولد پالس ساعت را به فرکانس ۳۳۳/۳۴ مگاهرتز تبدیل می‌کند و شش پالس ساعت با همین فرکانس ولی به‌ترتیب با اختلاف فازهای ۰، ۶۰، ۱۲۰، ۱۸۰، ۲۴۰ و ۳۰۰ درجه می‌سازد.

ب- مجموعه بافرها: شش عدد بافر پالس ورودی به سیستم را دریافت می‌کنند. این پالس ورودی به پایهٔ فعال‌ساز هر بافر متصل شده است که با وصل شدن فعال‌سازها، پالس‌های ساعت ۳۳۳۳/۳۴ مگاهرتز اختلاف فاز یافته از بافرها عبور می‌کنند و با طول مسیر یکسان (برای جلوگیری از ایجاد تأخیر) به شمارنده‌های بلوک شمارندهٔ اصلی می‌رسند.

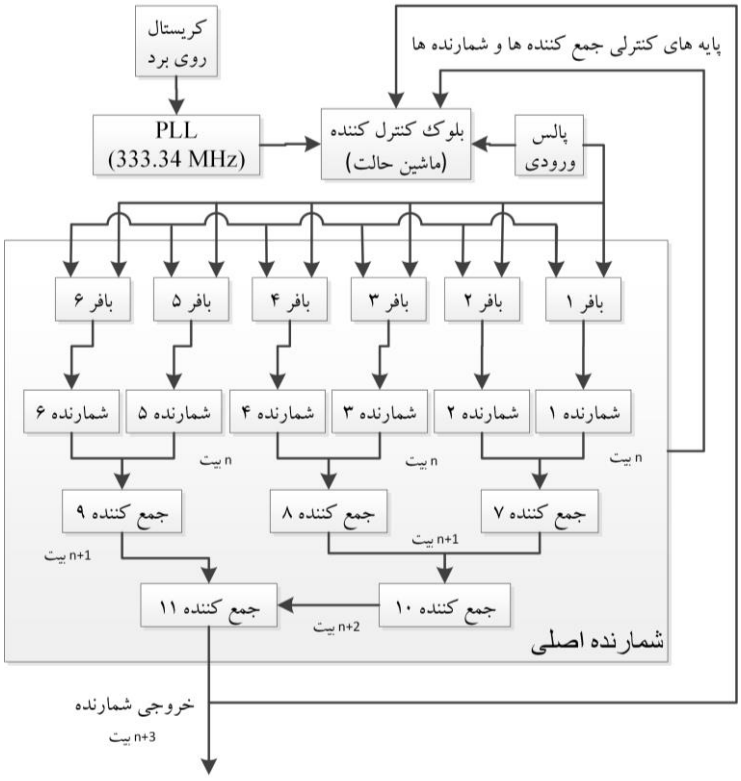
پ- شمارنده: برای هر پالس ساعت اختلاف فاز یافته و بافر شده، یک شمارنده قرار داده شده است که دائما در حال شمارش هستند. خروجی هر شمارنده یک کد دیجیتال ۳۰ بیتی است.

ت- جمع‌کننده: خروجی شمارنده‌ها به روش خط لوله توسط بلوک‌های جمع کننده با هم جمع می‌شوند و کد دیجیتال n+3 بیتی خروجی سیستم را تولید می‌کنند.

ث- کنترل‌کننده: این بلوک با فیدبکی که از پالس ورودی می‌گیرد وظیفهٔ کنترل شمارنده‌ها و جمع کننده‌ها، تشخیص لبهٔ بالا روندهٔ پالس، هماهنگی بین بلوک‌ها و زمان‌بندی فعال‌سازی هر کدام را با توجه به تأخیرهای داخلی تراشه و زمان دریافت یک پالس جدید بر عهده دارد. کنترل‌کننده در قالب یک ماشین حالت پیاده‌سازی شده است.

www.SID.ir

Archive of SID



شکل (۱): معماری پیشنهادی برای مدار مشخصه‌یاب پالس

Figure (1): Proposed architecture for pulse characterization circuit

۴- بهینه‌سازی معماری

یکی از ویژگی‌های مهم این پژوهش، پیاده‌سازی معماری با استفاده از بافرهایی است که وابستگی شمارنده به زمان‌های تنظیم و نگه‌داشت را از بین می‌برند. بر این اساس شمارنده دائم در حال شمارش است، برای تشخیص پالس ورودی درگیر زمان‌های تنظیم و نگه‌داشت نمی‌شود و بررسی زمان‌های یادشده بر عهدهٔ بافرهای قبل از شمارنده قرار داده شده است. اگر شمارنده بخواهد زمان‌های تنظیم و نگهداشت را بررسی کند، زمانی که باید صرف این کار شود، از زمان تفکیک‌پذیری مورد نظر بیشتر است در صورتی که مقدار زمان‌های تنظیم و نگه‌داشت بافرهای پالس ساعت تراشهٔ مورد استفاده کمتر از تفکیک‌پذیری مورد نظر ما است.

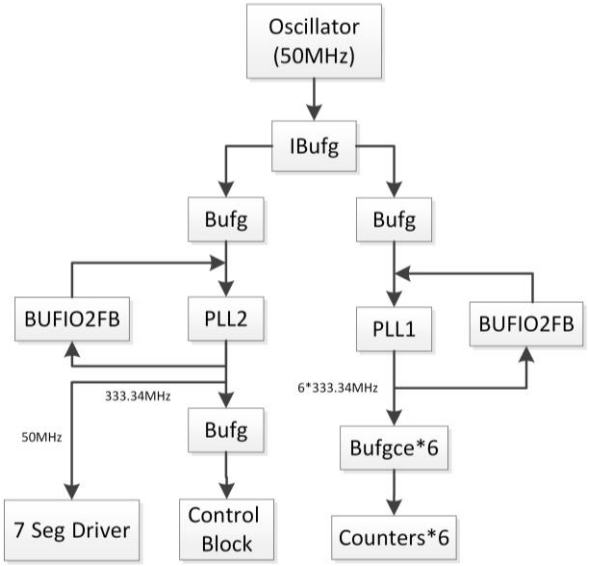
۵- طراحی سیستم پالس ساعت

سیستم پالس ساعت، با دریافت پالس ساعت ۵۰ مگاهرتز از نوسان‌ساز برد، باید شش پالس ساعت ۳۳۳/۳۴ مگاهرتز با اختلاف فاز ۵۰۰ پیکوثانیه تولید کند. برای تولید پالس‌های ساعت متفاوت با پالس ساعت ورودی از بلوک‌های مدیریت پالس ساعت[۳] (CMT) استفاده شده که شامل زیرمجموعه‌هایی از جمله ضرب‌کننده‌های فرکانسی، حلقهٔ قفل شونده در فاز و واحد مدیریت دیجیتال پالس ساعت[۴](DCM) است. مطابق با شکل (۲) در این برنامه دو واحد حلقهٔ قفل شونده در فاز وظیفه تأمین فرکانس‌های مورد نیاز را برعهده دارند:

حلقهٔ قفل شونده در فاز اول: فرکانس ۵۰ مگاهرتز دریافتی را تا ۳۳۳/۳۴ مگاهرتز افزایش می‌دهد و شش پالس ساعت با اختلاف فاز ۶۰ درجه نسبت به هم ایجاد می‌کند.

حلقهٔ قفل شونده در فاز دوم: فرکانس ۵۰ مگاهرتز دریافتی را برای درایور نمایشگر هفت قسمتی استفاده می‌کند و با افزایش تا ۱۶۶/۷ مگاهرتز فرکانس بلوک کنترلی را می‌سازد.

www.SID.ir



شکل (۲): شمای سیستم پالس ساعت
Figure (2): Schematic of the clock system

از تأخیرهای مهم موجود در FPGA، تأخیرهای ناشی از انتشار، کلیدهای مسیر، کجی و لرزش است که در نهایت منجر به بروز خطاهایی از جمله خطای تصادفی[۵] می‌شوند [۱۴،۱۵]. بروز این خطا بر روی سیگنال‌های پالس ساعت پذیرفتنی نیست. برای به حداقل رساندن این تأخیرها برای سیگنال‌های پالس ساعت، باید از مسیربندی پالس ساعت استفاده کرد. بافرهای پالس ساعت با ایجاد مسیر میان‌بر، امکان دست‌رسی به مسیربندی پالس ساعت را فراهم می‌کنند [۱۶]. این بافرها عبارتند از:

الف- BUFGMAX: پایه‌ای‌ترین بافر پالس ساعت و در واقع یک مولتی‌پلکسر پالس ساعت است [۱۶].

ب- BUFGCE: این بافر تغییر یافتهٔ BUFGMAX و دارای پایهٔ فعال‌ساز است. BUFGCE امکان حذف تصادفی را دارد و به دلیل داشتن زمان‌های تنظیم و نگهداشت کم‌تر از تفکیک‌پذیری مورد نظر ما، می‌تواند پالس ورودی به سیستم را تشخیص دهد تا شمارنده دائماً فعال باشد و درگیر این کار نشود. پالس دریافتی به پایه فعال‌ساز BUFGCE متصل می‌شود و به محض دریافت پالس و تشخیص لبهٔ بالاروندهٔ آن، بافر فعال و پالس ساعت شمارنده وصل می‌شود و شمارنده شروع به شمارش می‌کند. شکل (۳) نحوهٔ به‌کارگیری شش BUFGCE برای شش شمارنده را نشان می‌دهد.

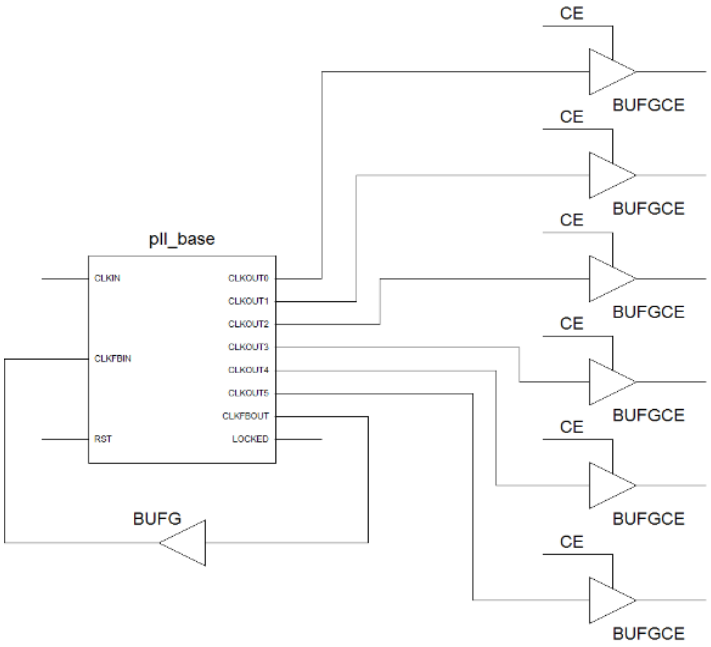
ج- BUFG: این بافر نیز تغییر یافتهٔ BUFGMAX است. این بافر امکان حذف تصادفی را دارد و به دلیل داشتن زمان‌های تنظیم و نگهداشت کم‌تر از تفکیک‌پذیری مورد نظر ما، می‌تواند پالس ورودی به سیستم را تشخیص دهد تا شمارنده دائماً فعال باشد و درگیر این کار نشود. پالس دریافتی به پایه فعال‌ساز BUFGCE متصل می‌شود و به محض دریافت پالس و تشخیص لبه بالارونده آن، بافر فعال و پالس ساعت شمارنده وصل می‌شود و شمارنده شروع به شمارش می‌کند. و برای مسیر فیدبک حلقه‌های قفل شونده در فاز استفاده می‌شود [۱۶].

۶- محدودیت طرح در استفاده از بافرها

در استفاده از بافرها، محدودیت‌هایی وجود دارد. محدودیت اول، تعداد BUFGها است که برای پیاده‌سازی مدار ما کافی نیست و لذا باید دنبال بافرهای جایگزین بود. بررسی و صرف زمان زیاد نشان داد که BUFIO2FB گزینهٔ مناسبی برای جایگزینی با BUFG است. این سری از بافرها تعداد زیادی دارند و مخصوص ورودی و خروجی هستند بنابراین با این جایگزینی، برای هر حلقهٔ قفل شونده در فاز یکی از BUFG ها آزاد می‌شود. محدودیت دوم، نحوه اتصال پایه‌های BUFGMAX است که دو به دو به صورت معکوس مطابق شکل (۴) به هم وصل هستند [۱۶]. این مسئله باعث می‌شود تعداد شانزده بافر BUFGMAX، برای استفادهٔ ما عملاً به نصف کاهش یابد در صورتی که برای پیاده‌سازی طرح به تعدادی بیشتری نیاز است.

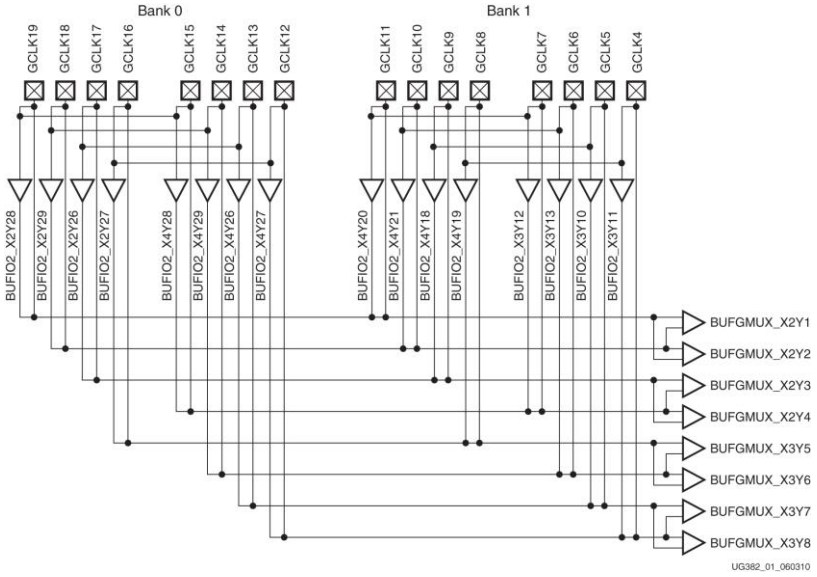
www.SID.ir

Archive of SID



شکل (۳): نحوهٔ به کارگیری بافر BUFGCE در ساختار اندازه‌گیر پهنای پالس

Figure (3): How to use the BUFGCE buffer in the structure of pulse measurement



شکل (۴): نحوهٔ اتصال پایه‌های بافر BUFGMAX

Figure (3): How to connect the BUFGMAX buffer pins

با ایجاد تغییراتی، BUFIO2FB جایگزین BUFG شده است. با این کار تعدادی BUFG برای مسیر فیدبک حلقه‌های قفل شونده در فاز ذخیره می‌شود. حلقهٔ قفل شونده در فاز نیاز به یک مسیر فیدبک پالس ساعت دارد تا بتواند تنظیم فاز انجام دهد. این فیدبک باید تأخیر کمی داشته و پرسرعت باشد. پس باید از مسیربندی پالس ساعت و در نتیجه از بافرهای پالس ساعت استفاده شود.

۷- مقایسه روش‌های مختلف پیاده‌سازی و بررسی نتایج پیاده‌سازی روش منتخب

پیاده‌سازی این طرح با استفاده از نسخهٔ ۱۴/۷ نرم‌افزار ISE انجام شده است. برای اندازه‌گیری یک بازه زمانی به یک شمارنده نیاز است. اگر همزمان با دریافت یک پالس، شمارنده شروع به شمارش کند و این شمارش تا لحظه پایین آمدن لبه پالس ادامه

www.SID.ir

داشته باشد، با داشتن تعداد شمارش‌های انجام شده می‌توان پهنای پالس دریافتی را به‌دست آورد. برای داشتن کمترین تـأخیر، شمارنده باید چند ویژگی داشته باشد:

الف- شرطی را چک نکند. در غیر اینصورت، باید همیشه وجود لبه بالارونده پالس ساعت بررسی و با محقق شـدن ایـن شـرط، یک واحد به شمارنده اضافه شود. بررسی این شرط باعث ایجاد تأخیر چند نانوثانیه‌ای می‌شود.

ب- شمارنده‌ها دائماً در حال شمارش باشند (پایه فعال‌ساز یک باشد). با فعال بودن دائمی شمارنده، دیگر نیازی به رعایت زمان تنظیم و زمان نگه‌داشت نسبت به لبهٔ بالارونده سیگنال پالس ساعت ورودی نیست و وابستگی به آن‌ها از بین می‌رود.

شکل (۵) شمای یک واحد از شش واحد شمارندهٔ پیاده‌سازی شده را نشان می‌دهد. این شـمارنده همیشـه فعـال اسـت. پـالس ساعت ورودی به شمارنده از طریق قطع و وصل شدن پایهٔ فعال‌سـاز BUFGCE و بازنشـانی شـمارنده از طریـق پایـهٔ بازنشـانی توسط بلوک کنترلی انجام می‌شود. خروجی شمارنده نیز به اولین لایهٔ جمع‌کننـده متصـل مـی‌گـردد. مطـابق بـا شـمای کلـی سیستم، دو معماری «تلفیق کلی-دقیق[۶]با پالس‌های سـاعت دارای اخـتلاف فـاز» و «پـالس‌هـای سـاعت دارای اخـتلاف فـاز» پیاده‌سازی شدند. در معماری اول، یک شمارندهٔ اصلی با فرکانس ۳۳۳/۳۴ مگاهرتز و پنج شمارندهٔ دیگر نیز بـا همـان فرکـانس ولی با اختلاف فاز ۵۰۰ پیکوثانیه نسبت به شمارندهٔ اصلی شمارش می‌کنند [۱۷]. تا اینجا طرح عینـاً مطـابق بـا معمـاری دوم است. تفاوت از اینجا ناشی می‌شود که در معماری پالس‌های ساعت دارای اختلاف فاز، پس از دریافت لبـهٔ پـایین رونـدهٔ پـالس ورودی مقدار شمارنده‌ها رجیستر می‌شود و در اختیار جمع‌کننده‌ها قرار می‌گیرد در این صورت زمان کافی برای انتقال مقـادیر رجیستر شده به جمع‌کننده‌ها وجود دارد امـا در معمـاری تلفیقـی، پـس از پایـان هـر دوره تنـاوب شـمارندهٔ اول، بایـد مقـدار شمارنده‌ها رجیستر شود. این رجیستر شدن و انتقال داده بین دو فلیپ‌فلاپ، به چند نانوثانیه زمان نیاز دارد که باعث می‌شـود استقلال بازه‌های زمانی از بین برود و و ممکن است سیگنال فعلی با شمارندهٔ قبلی (۵۰۰ پیکوثانیه عقب‌تر) یا شـمارندهٔ بعـدی (۵۰۰ پیکوثانیه جلوتر) شمرده شود [شکل (۶)].

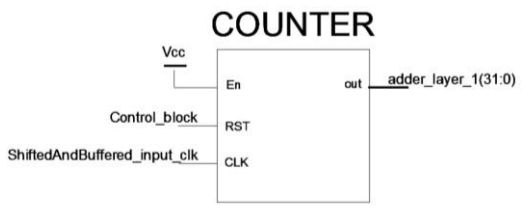
بنابراین معماری اول به دلیل وجود تأخیرهای بیش از حد مجاز، قادر بـه رسـیدن بـه دقـت مـورد نظـر نبـود. در حـالی کـه از شبیه‌سازی معماری دوم (پالس‌های ساعت دارای اختلاف فاز) نتایج قابل قبولی به‌دست آمد. شمارنده‌هـا بـا سـه روش Fabric، Dsp48 و کد HDL، پیاده‌سازی شدند [جدول (۲)]. شمارنده‌ای که با کد HDL پیاده‌سازی شده دارای فرکانس کاری بیشـتری است و حداقل دوره تناوب مورد نیاز برای پالس ساعت ورودی این شمارنده نیز برابر با ۶۷/۲ ثانوثانیه است.

بر اساس جدول (۲)، شمارنده‌ای که با کد HDL پیاده‌سازی شده دارای فرکانس کـاری بیشـتری اسـت و حـداقل دوره تنـاوب مورد نیاز برای پالس ساعت ورودی این شمارنده نیز برابر با ۶۷/۲ نانوثانیه است. برای افزایش سرعت در جمـع کـردن خروجـی شمارنده‌ها، از بلوک‌های جمع‌کنندهٔ تعبیه شده در تراشه و برای به‌کارگیری این بلوک‌ها از IP Coreهـای ارائـه شـدهٔ نـرم‌افـزار استفاده شد.

Table (2): Report the program after applying time limits for different counters

جدول (۲): گزارش برنامه پس از اعمال قیدهای زمانی برای شمارنده‌های مختلف

پارامتر	HDL Code	Fabric	DSP48
دوره (مینیمم) برحسب ثانوثانیه	۲/۲۵	۲/۶۷	۲/۷۵
فرکانس (ماکزیمم) برحسب مگاهرتز	۴۴۳/۴۱	۳۷۵/۰۹	۳۶۳/۶۳

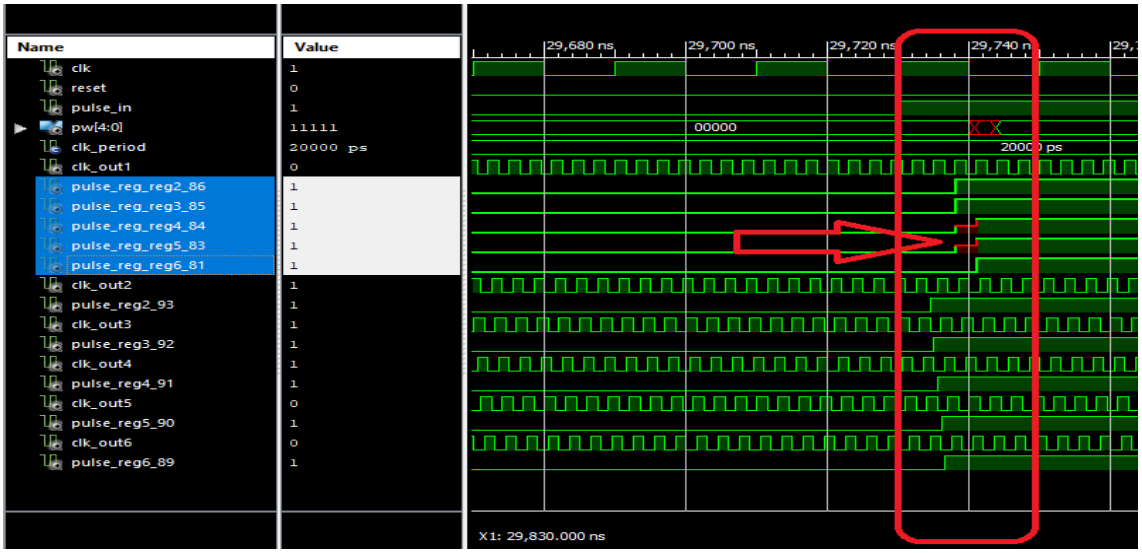


شکل (۵): شمای شمارندهٔ پیاده‌سازی شده

Figure (5): Implemented counter schematic

www.SID.ir

Archive of SID



شکل (۶): تأخیر اجتناب‌ناپذیر در معماری کلی-دقیق برای انتقال داده

Figure (6): Inevitable delays in coarse-fine architecture for data transfer

ساختار این طرح، سه لایه جمع‌کننده دارد که در نهایت خروجی را در قالب یک کد ۳۴ بیتی تولید می‌کند. دستورات توسط بلوک کنترلی و براساس لبه‌های پالس دریافتی به شمارنده‌ها و جمع‌کننده‌ها داده می‌شود [شکل‌های (۷) و (۸)].

۸- مقایسهٔ پروژهٔ انجام شده با پژوهش‌های مشابه جدید

به دلیل استفاده از تراشه‌های جدید با قابلیت‌های بیشتر و البته قیمت بالاتر (و بعضاً بسیار بالاتر)، تراشه‌های ارزان‌قیمت با قابلیت‌های کمتر برای پژوهش‌های جدید به ندرت مورد استفاده قرار می‌گیرند و لذا اهمیت پژوهش فعلی در موارد زیر است:

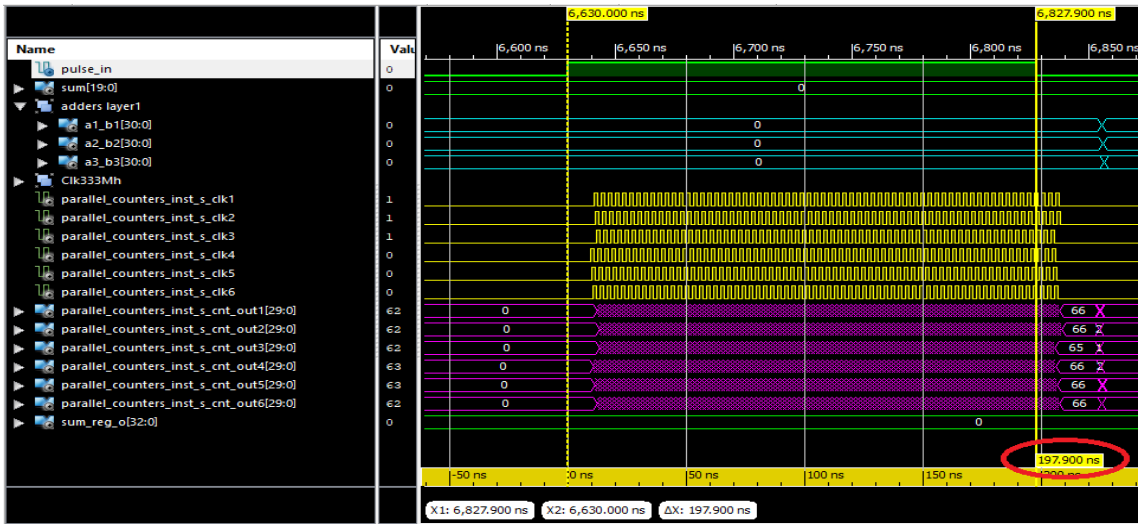
- بهینه‌سازی معماری پالس‌های ساعت دارای اختلاف فاز
- دستیابی به تفکیک‌پذیری بالا با استفاده از یک تراشهٔ ارزان‌قیمت
- پیاده‌سازی طرح با حداقل منابع سخت‌افزاری
- استفاده از منابع جایگزین

شکل (۷): شبیه‌سازی در بازهٔ ۴۳/۲ نانوثانیه (شبیه‌سازی زمان‌واقعی)

Figure (7): Simulation in 43.2 ns period (real time simulation)

www.SID.ir

Archive of SID



شکل (۸): شبیه‌سازی در بازهٔ ۱۷۹/۹ نانوثانیه (شبیه‌سازی زمان‌واقعی)

Figure (8): Simulation in 179.9 ns period (real time simulation)

بنابراین مقایسهٔ پژوهش انجام شده با پژوهش‌های جدید دشوار است و برای مقایسهٔ درست، باید علاوه بر درنظر گرفتن اهداف این پژوهش، برآیند پارامترهای دو طرح با هم مقایسه شوند. جدول (۳) مقایسهٔ بین پژوهش انجام شده با پژوهش‌های جدید را نشان می‌دهد که با توجه به محدودیت‌های موجود و در مقایسه با سایر طرح‌ها، نتایج بسیار قابل‌قبولی حاصل شده است.

Table (3): Comparison between our research and other new research

جدول (۳): مقایسهٔ بین پژوهش حاضر با سایر پژوهش‌های جدید

مرجع	تراشه استفاده شده	قیمت تراشه (دلار)	معماری استفاده شده	تفکیک‌-پذیری (پیکوثانیه)	فرکانس پالس ساعت (مگاهرتز)	تعداد رجیستر مصرف شده	تعداد بافر پالس ساعت استفاده شده
[۱۸]	Artix 7	۱۳۵	sandwich	۲۸	-	۱۲۴۱۰ (٪۰/۱)	-
[۱۹]	Virtex 5	۶۳۰	ورنیر	۱۴	-	۹۹ (٪۱)	۳ (٪ ۹)
[۲۰]	Zynq-7000 (XC7Z045-1FFG900 C)	۱۶۷۰	TDL و اسیلاتورهای حلقوی پالس‌های ساعت دارای اختلاف فاز	۱۸	۲۰۰	-	-
[۱۸]	Kintex-7 (XC7K325T-2FFG900)	۱۶۸۰	پالس‌های ساعت دارای اختلاف فاز	۱۰۰	-	۵۹۳۹ (٪۱/۵)	-
[۱۸,۲۱]	Spartan6 (XC6SLX75)	۱۰۵	پالس‌های ساعت دارای اختلاف فاز	۱۰۰۰	۲۵۰	-	-
پژوهش حاضر	Spartan6 (XC6SLX9-2FTG256C)	۲۰	پالس‌های ساعت دارای اختلاف فاز بهینه شده	۵۰۰	۳۳۳/۳۴	۲۵۰ (٪۲)	۱۵ (٪۹۴)

۹- نتیجه‌گیری

برای پیاده‌سازی شمارندهٔ با فرکانس بسیاربالا بر روی یک تراشهٔ ارزان قیمت، چالش‌های مهم و اساسی از جمله کمبود منابع سخت‌افزاری، کجی و لرزش پالس ساعت و محدودیت در بیشینه فرکانس قابل دست‌یابی وجود دارد. این عوامل در کنار انتخاب معماری نامناسب می‌تواند منجر به عدم دست‌یابی به نتیجهٔ مطلوب شود و رفع آن‌ها برای رسیدن به نتیجهٔ مطلوب نیز کار

www.SID.ir

Archive of SID

دشواری است. در این پژوهش با به‌کارگیری روش‌های زیر، فرکانس ۲ گیگاهرتز (تفکیک‌پذیری ۵۰۰ پیکوثانیه) برای شمارنده محقق شد:

- انتخاب معماری مناسب و متناسب با امکانات تراشه انتخابی (پالس‌های ساعت دارای اختلاف فاز) و بهینه‌سازی ابتکاری آن.
- افزایش فرکانس تا حد ممکن (حداکثر فرکانس قابل دستیابی از تراشه).
- استفاده از بافرهای پالس ساعت و مسیربندی پالس ساعت برای به حداقل رساندن کجی و لرزش پالس ساعت.
- برطرف کردن چالش مهم کمبود منابع سخت‌افزاری (به طور خاص بافرهای پالس ساعت) با شناسایی و استفاده از بافرهای جایگزین مناسب (تغییر کاربری بافرهای BUFIO2FB).

سپاسگزاری

این مقاله از پایان‌نامه دوره کارشناسی‌ارشد در دانشگاه آزاد اسلامی واحد نجف‌آباد استخراج شده است. نویسندگان بر خود لازم می‌دانند مراتب تشکر صمیمانه خود را از همکاران حوزه پژوهشی دانشگاه آزاد اسلامی و داوران محترم که ما را در انجام و ارتقای کیفی این مقاله یاری نموده‌اند، اعلام نمایند.

References

مراجع

[1] M. Abbas, K. Khalil, "A 23ps resolution time-to-digital converter implemented on low-cost FPGA platform", Proceeding of the IEEE/ISSCS, pp. 1-4, Iasi, Romania, July 2015 (doi:10.1109/ISSCS.2015.7203949).

[2] S.M.A. Zanjani, M. Aalipour, M. Parvizi, "Design of a low power temperature sensor based on sub-threshold performance of carbon nanotube transistors with an inaccuracy of 1.5ºC for the range of -30 to 125ºC", Journal of Intelligent Procedures in Electrical Technology, vol. 13, no. 50, pp. 115-122, Sept. 2022 (dor: 20.1001.1.23223871.1401.13.50.7.8) (in Persian).

[3] O. Sharifi Tehrani, M. Ashorian, P. Moallem, "Hardware implementation of LMS-based adaptive noise cancellation core with low resource utilization", *Journal of Intelligent Procedures in Electrical Technology*, vol. 2, no. 7, pp. 68-73, Dec. 2011(dor: 20.1001.1.23223871.1390.2.7.8.6) (in Persian).

[4] Y. Wang, P. Kuang, C. Liu, "A 256-channel multi-phase clock sampling-based time-to-digital converter implemented in a Kintex-7 FPGA", Proceeding of the IEEE/I2MTC, Taipei, Taiwan, pp. 1-5, May 2016 (doi: 10.1109/I2MTC.2016.7520401).

[5] S.Y. Xie, X.F. Zhang, J. Yang, L.G. Liu, Q. Wang, N.C. Yuan, "FPGA-based ultra-fast and wideband instantaneous frequency measurement receiver", IEICE Electronics Express, vol. 11, no. 12, Article Number: 11.20140263, 2014 (doi:10.1587/elex.11.20140263).

[6] C. Triveni, P. Sudhakara Reddy, "Implementation of phase shifter using CORDIC on FPGA for RADAR application", International Journal of Advanced Research in Electronics and Communication Engineering, vol. 5, no. 6, pp. 1655-1659, June 2016 (doi: 10.1145/275107.275139).

[7] R. Machado, J. Cabral, F.S. Alves, "Recent developments and challenges in FPGA-based time-to-digital converters", IEEE Trans. on Instrumentation and Measurement, vol. 68, no. 11, pp. 4205-4221, Nov. 2019 (doi: 10.1109/TIM.2019.2938436).

[8] R. Szplet, K. Klepacki, "A two-stage time-to-digital converter based on cyclic pulse shrinking", Proceeding of the IEEE/FREQ, pp. 1133-1136, Besancon, France, April 2009 (doi: 10.1109/FREQ.2009.5168374).

[9] J. Yu, F. F. Dai, "A 3-dimensional vernier ring time-to-digital converter in 0.13 µm CMOS", in IEEE Custom Integrated Circuits Conference, pp. 1-4, Sept. 2010 (doi:10.1109/CICC.2010.5617431).

[10] H. Huang, "A 0.1 ps resolution coarse-fine time-to-digital converter with 2.21 ps single-shot precision", Ph.D. Thesis, University of Texas At Dallas, May 2018.

[11] M. Maamoun, I. Arami, R. Beguenane, A. Benbelkacem, A. Meraghni, "A 3 ps resolution time-to-digital converter in low-cost FPGA for laser rangefinder", Proceeding of the WEC, pp. 7-11, July 2017 (doi:10.1109/TIM.2011.2115390).

[12] M. Parsakordasiabi, I. Vornicu, R. Carmona-Galán, Á. Rodríguez-Vázquez, "A survey on FPGA-based high-resolution TDCs", Porceeding of the ICDSC, pp. 1-2, Sept. 2019 (doi:10.1145/3349801.3357129).

[13] T. Xiang, L. Zhao, X. Jin, T. Wang, S. Chu, C. Ma, S. Liu, Q. An, "A 56-ps multi-phase clock time-to-digital convertor based on Artix-7 FPGA", Proceeding of the IEEE/RTC, pp. 1-4, Nara, Japan, May 2014 (doi:10.1109/RTC.2014.7097544).

www.SID.ir

[14] C.C. Chen, C.S. Hwang, Y. Lin, G.H. Chen, "Note: All-digital pulse-shrinking time-to-digital converter with improved dynamic range", Review of Scientific Instruments, vol. 87, p. 046104, April 2016 (doi: 10.1063/1.4947461).
[15] AX309, xilinx spartan-6 development board users manual: Logifind Co.
[16] Spartan-6 FPGA clocking resources, User Guide, ug382 (v1.10), p17, June 2015.
[17] T. Suwada, F. Miyahara, K. Furukawa, M. Shoji, M. Ikeno, M. Tanaka, "Wide dynamic range FPGA-based TDC for monitoring a trigger timing distribution system in linear accelerators", Nuclear Instruments and Methods in Physics Research, vol. 786, pp. 83-90, June 2015 (doi:10.1016/j.nima.2015.03.019).
[18] Y. Sano, Y. Horii, M. Ikeno, O. Sasaki, M. Tomoto, T. Uchida, "Subnanosecond time-to-digital converter implemented in a Kintex-7 FPGA", Nuclear Instruments and Methods in Physics Research Section, vol. 874, pp. 50-56, Jan. 2017 (doi:10.1016/j.nima.2017.08.038).
[19] S.M. Ramzy, K. Hares, "High resolution time-to-digital converter using low resources FPGA for time-of-flight measurement", Microelectronics Journal, vol. 101, Article Number: 104822, July 2020 (doi: 10.1016-/j.mejo.2020.104822).
[20] R. Machado, L.A. Rocha, J. Cabral, "A novel synchronizer for a 17.9 ps nutt time-to-digital converter implemented on FPGA", Proceeding of the IEEE/AEIT, pp. 1-6, Bari, Italy, Oct. 2018 (doi: 10.23919/AEIT.2018.8577365).
[21] T. Suwada, K. Furukawa, F. Miyahara, "Development of FPGA-based TDC with wide dynamic range for monitoring the trigger timing distribution system at the KEKB injector linac", Proceeding of the IBIC, pp. 70-74, Melbourne, Australia, Mar. 2015 (doi:10.1016/j.nima.2015.03.019).

زیرنویس‌ها

1. Phased clocks
2. Phase-locked loop (PLL)
2. Clock management tile (CMT)
2. Digital clock manager (DCM)
3. Coarse-fine
4. Glitch

www.SID.ir