Archive of SID

JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 15/ No. 57/ Spring 2024
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

https://dorl.net/dor/20.1001.1.23223871.1403.15.57.7.6
Research Article

Design of Novel Low-Power Single-Loop Sigma-Delta Modulator by Reduction of Amplifiers in the Loop-Filter for Speech Recognition Applications

Sahar Doolabi, ***Ph.D. Student*****, Mehdi Taghizadeh,** ***Assistant Professor*****, Mohammad Hossein Fatehi,** ***Assistant Professor*****, Jasem Jamali,** ***Assistant Professor***

Department of Electrical Engineering- Kazerun Branch, Islamic Azad University, Kazerun, Iran
sahar.doolabi@yahoo.com, m.taghizadeh@kau.ac.ir, mh_fatehi@kau.ac.ir, j.jamali@kau.ac.ir

Abstract

In this paper, a novel general architecture for single-loop Sigma-Delta Modulator is presented by combination low-distortion and noise-coupled techniques for high-resolution low-power applications. The low-distortion technique in the proposed architecture makes its signal transfer function equal to one. In addition, the noise-coupled technique increases the order of quantization noise shaping at the modulator output. The purpose of using these techniques in design of the architecture is to increase the order of the modulator without needing to additional operational amplifiers during its circuit implementation to finally achieve a low-power modulator compared to similar ones. To reduce the required amplifiers, a second order infinite impulse response (IIR) filter was used instead of an integrator in the modulator loop. To evaluate the performance of the proposed structure, its implementation and simulation for speech recognition application, i.e., digital hearing aids, were performed in 180nm CMOS (complementary metal-oxide semiconductor) technology. For a third-order structure with a sampling rate of 64 and an input sine signal of -6dBFS and a sampling frequency of 2.56MHz, the signal to noise and distortion (SNDR) is 81.9dB and the dynamic range (DR) is 88dB. The power consumption of the modulator is 126.9 μW and its bandwidth is 20 KHz. The results of circuit and system level simulations prove its performance.

Keywords: infinite impulse response filter, low distortion technique, noise-coupled, sigma delta modulator

Received: 12 March 2022
Revised: 1 May 2022
Accepted:

Corresponding Author: Dr. Mehdi Taghizadeh

Citation: S. Doolabi, M. Taghizadeh, M.H. Fatehi, J. Jamali, "Design of novel low-power single-loop sigma-delta modulator by reduction of amplifiers in the loop-filter for speech recognition applications", Journal of Intelligent Procedures in Electrical Technology, vol. 15, no. 57, pp. 99-120, Spring 2024 (in Persian).

www.SID.ir

Archive of SID

https://dorl.net/dor/20.1001.1.23223871.1403.15.57.7.6
مقاله پژوهشی

طراحی یک مدولاتور سیگما-دلتای تک-حلقه جدید و کم-توان با هدف کاهش تعداد تقویت‌کننده در فیلتر حلقه برای کاربردهای بازشناسی گفتار

سحر دولابی، دانشجوی دکتری، مهدی تقی‌زاده، استادیار، محمدحسین فاتحی، استادیار، جاسم جمالی، استادیار

دانشکده برق و کامپیوتر- واحد کازرون، دانشگاه آزاد اسلامی، کازرون، ایران
sahar.doolabi@yahoo.com, m.taghizadeh@kau.ac.ir, mh_fatehi@kau.ac.ir, j.jamali@kau.ac.ir

چکیده: در این مقاله یک ساختار عمومی جدید برای مدولاتور سیگما-دلتای تک حلقه با ترکیب دو روش اعوجاج-پایین و نویز تزویج شده برای کاربردهای کم-توان با دقت بالا ارائه شده است. روش اعوجاج-پایین در ساختار ارائه شده، باعث می‌شود تا تابع تبدیل سیگنال آن برابر یک شود. از طرفی روش نویز تزویج شده باعث افزایش مرتبه شکل‌دهی نویز کوانتیزاسیون در خروجی مدولاتور می‌شود. هدف از به‌کارگیری این روش‌ها در طراحی ساختار، افزایش مرتبه مدولاتور در ازای عدم نیاز به تقویت‌کننده‌های عملیاتی اضافه در زمان پیاده‌سازی مداری آن است تا در نهایت یک مدولاتور کم توان و کم حجم نسبت به ساختارهای مشابه، حاصل گردد. برای کاهش تقویت‌کننده‌های مورد نیاز، از فیلتر با پاسخ ضربه نامحدود (IIR) مرتبه دوم به جای انتگرال‌گیر در حلقه مدولاتور، استفاده گردید. برای بررسی عملکرد ساختار پیشنهادی، پیاده‌سازی و شبیه‌سازی آن برای کاربردهای بازشناسی گفتار (به‌طور نمونه برای سمعک‌های دیجیتال) در فناوری ساخت ۱۸۰ نانومتر CMOS (نیم رسانای اکلسید فلز مکمل) انجام گردید. برای یک ساختار مرتبه ۳ با نرخ بیش‌نمونه‌برداری ۶۴ و سیگنال سینوسی ورودی ۶- دسی‌بل تمام-مقیاس و فرکانس نمونه‌برداری ۲/۵۶ مگاهرتز، مقدار سیگنال به نویز و اعوجاج (SNDR) برابر ۸۱/۹ دسی‌بل و محدوده پویایی (DR) برابر ۸۸ دسی‌بل به‌دست آمده است. مقدار توان مصرفی مدولاتور برابر ۱۲۶/۹ میکروووات و پهنای باند آن ۲۰ کیلوهرتز است. نتایج شبیه‌سازی مداری و سیستمی مدولاتور، درستی عملکرد آن را نشان می‌دهد.

کلمات کلیدی: روش اعوجاج-پایین، فیلتر با پاسخ ضربه نامحدود، مدولاتور سیگما دلتا، نویز تزویج شده

تاریخ ارسال مقاله: ۱۴۰۰/۱۲/۲۱
تاریخ بازنگری مقاله: ۱۴۰۱/۲/۱۱
تاریخ پذیرش مقاله:

نام نویسنده‌ی مسئول: دکتر مهدی تقی‌زاده
نشانی نویسنده‌ی مسئول: کازرون- بلوار ملت- دانشگاه آزاد اسلامی واحد کازرون- دانشکده مهندسی برق و کامپیوتر

www.SID.ir

Archive of SID

۱- مقدمه

امروزه با پیشرفت تکنولوژی در سیستم‌های الکترونیکی دیجیتال قابل حمل، تقاضا برای مبدل‌های آنالوگ به دیجیتال دقت بالا که توان کمی مصرف می‌کنند، افزایش یافته است [۱]. یک خانواده مهم از این نوع سیستم‌های الکترونیکی جدید، تجهیزات پزشکی هستند که توسط شخص استفاده‌کننده حمل می‌شوند. وسایلی مانند سمعک دیجیتال جزو این دسته تجهیزات هستند. قابل حمل بودن این دستگاه‌ها نیازمند آن است که از مدارهای الکترونیکی در ساخت آنها استفاده شود تا جریان کمتری از باتری دستگاه دریافت کرده و در کل توان کمی مصرف کنند. این دستگاه‌ها چون فرآیند بازشناسی گفتار را انجام می‌دهند، ابتدا باید سیگنال صوتی را از شکل آنالوگ به شکل دیجیتال تبدیل کنند و سپس در حوزه دیجیتال، بر روی سیگنال، راحت‌تر پردازش‌های مناسب را انجام دهند. مبدل‌های آنالوگ به دیجیتال مختلفی وجود دارند که می‌توانند در این دستگاه‌ها استفاده شوند اما از بین آنها مبدل‌های بیش-نمونه‌بردار سیگما-دلتا، کاندیدای مناسبی جهت برآورده کردن شرایط فوق هستند [۲].

طراحی مدولاتور سیگما-دلتا به عنوان هسته اصلی این نوع مبدل، برای کاربردهای باند باریک و دقت بالا با نرخ بیش-نمونه-برداری[۱] (OSR) بالایی می‌تواند انجام شود. اما در کاربردهای خاص مانند استفاده در تجهیزات پزشکی، طراحی این نوع مدولاتورها به دلیل محدودیت‌های پیاده‌سازی مداری و چالش توان مصرفی نیاز به کاهش نرخ بیش-نمونه‌برداری دارد [۳]. برای جبران کاهش عملکرد خروجی مدولاتور ناشی از کاهش OSR، در روش‌های سنّتی، افزایش مرتبه مدولاتور یا افزایش بیت‌های کوانتایزر موثر واقع می‌شود که البته هر کدام افزایش توان مصرفی مدولاتور را نیز به همراه دارد. ارایه ساختارهای جدید با کارایی بالاتر از سوی محققان، مانند روش نویز تزویج شده[۲] [۴]، به‌عنوان راه‌کارهایی برای کاهش توان مصرفی و دقت بالاتر پیشنهاد شده‌اند، اما همچنان نیاز به ساختارهای جدیدتری برای مدولاتور سیگما-دلتا حس می‌شود.

از سوی دیگر، در پیاده‌سازی مداری یک مدولاتور سیگما-دلتا، تقویت‌کننده عملیاتی[۳] (آپ-امپ) به‌عنوان یک بلوک فعال که مورد نیاز در پیاده‌سازی طبقات است، مصرف‌کننده اصلی توان است. به علت این‌که در مدولاتورهای مرتبه بالا، افزایش مرتبه با افزایش تعداد تقویت‌کننده رابطه مستقیم دارد، بنابراین توان مصرفی کل مدولاتور نیز به نسبت افزایش می‌یابد. برای کاهش توان مصرفی مدولاتور، روش‌های مختلفی معرفی شده‌اند که می‌توان به روش‌های کاهش تعداد تقویت‌کننده مانند روش اشتراک‌گذاری آپ-امپ [۵،۶] یا شیفت تاخیرهای حلقه [۷] و روش‌های جایگزینی تقویت‌کننده با ساختارهای کم‌مصرف‌تر مانند استفاده از عناصر پسیو [۸]، مدارات کلید خازنی مبتنی بر مقایسه‌گر [۹،۱۰] یا مدارات تقویت‌کننده مبتنی بر اینورتر [۲] نام برد.

از طرفی کاهش ولتاژ تغذیه در فناوری‌های جدید CMOS باعث شده تا پیاده‌سازی یک مدولاتور عملی با مشکل مواجه باشد. این امر باعث کاهش محدوده تغییرات سیگنال ورودی و در نتیجه، محدوده پویایی[۴] می‌شود. برای این‌که محدوده پویایی یک مدولاتور مرتبه بالا که توسط نویز حرارتی محدود می‌شود ثابت بماند، سطح نویز ارجاع شده به ورودی نیز باید کاهش یابد، که نتیجه آن، افزایش توان مصرفی مدولاتور است. ساختار اعوجاج-پایین[۵] [۱۱] تا حدودی این مشکل را برطرف می‌سازد و با جلوگیری از ورود سیگنال به حلقه مدولاتور، طراحی بلوک‌های مورد نیاز حلقه را راحت‌تر می نماید. با این کار، آپ-امپ‌های درون حلقه مدولاتور، با توان مصرفی کمتری طراحی می‌شوند. لذا با توجه به موارد گفته شده، کاهش توان مصرفی آپ-امپ یا کاهش تعداد آنها در حلقه یک مدولاتور از جمله راه‌کارهایی است که همچنان طراحان مدولاتور سیگما-دلتا بر روی آن کار می‌کنند.

در این مقاله، ابتدا یک ساختار عمومی برای مدولاتور تک-حلقه مرتبه L دقت بالا معرفی می‌شود که با ترکیب ساختار اعوجاج-پایین و روش نویز تزویج شده، در نهایت یک مدولاتور کم توان با مرتبه موثر L+1 حاصل گردد. در ساختار مدولاتور پیشنهادی، به‌جای هر دو عدد انتگرال‌گیر، از یک فیلتر با پاسخ ضربه نامحدود[۶] (IIR) استفاده می‌شود. این‌کار باعث می‌گردد که در مرحله پیاده‌سازی مداری، کمترین تعداد آپ-امپ در تحقق مدولاتور به‌کار رود. در این مرحله از روش اشتراک‌گذاری آپ-امپ در بخش‌های مختلف ساختار حلقه مدولاتور، استفاده می‌گردد. در ادامه، طراحی این مدولاتور، برای کاربردهای بازشناسی گفتار مانند استفاده در سمعک‌های دیجیتال انجام شده است. لازم به ذکر است که برای این هدف کاربردی، ساختار

www.SID.ir

مدولاتور پیشنهادی همه شرایط لازم مانند کم-توان بودن مدولاتور و حجم کم مدار مجتمع شده را خواهد داشت. نتایج حاصل از پیاده‌سازی مداری، نیز این فرض‌ها را تایید می‌کند. در ادامه، در قسمت دوم بر روی ساختار عمومی مدولاتور سیگما-دلتای پیشنهادی، بحث می‌شود. سپس شبیه‌سازی‌های سیستمی صورت گرفته در قسمت سوم توضیح داده می‌شود. پیاده‌سازی مدار و نتایج شبیه‌سازی آن در قسمت چهارم ارائه شده و در نهایت در قسمت پنجم نتیجه‌گیری بیان می‌گردد.

۲- ساختار مدولاتور پیشنهادی

ساختار کلی یک مدولاتور سیگما-دلتا با ترکیب روش‌های اعوجاج-پایین [۱۱] و نویز تزویج شده [۱۲] در شکل (۱) نشان داده شده که برای تحقق فیلتر حلقه (بلوک H)، در حالت متداول از یک یا چند انتگرال‌گیر با توجه به مرتبه مدولاتور، استفاده می‌شود. اما در این طراحی، از یک فیلتر IIR مرتبه دو به‌جای هر دو عدد انتگرال‌گیر پشت سر هم در فیلتر حلقه، با هدف کاهش حجم پیاده‌سازی مداری و کاهش توان مصرفی، استفاده می‌شود. همان‌طور که در بخش پیاده‌سازی ساختار فوق نشان داده می‌شود، فیلتر IIR مرتبه دو را با تغییراتی در نحوه پیاده‌سازی می‌توان با یک آپ-امپ محقق کرد. در شکل (۱)، مسیر سبزرنگی که از ورودی مدولاتور به‌طور مستقیم به جمع‌کننده ورودی کوانتایزر می‌رود، روش اعوجاج پایین را شکل می‌دهد [۱۱]. این کار باعث می‌شود که سیگنال ورودی X وارد حلقه مدولاتور نگردد و ورودی فیلتر حلقه، U، فقط نویز کوانتیزاسیون شکل‌دهی شده، باشد. از طرفی روش نویز تزویج شده باعث افزایش مرتبه شکل-دهی نویز کوانتیزاسیون در خروجی مدولاتور، Y، می‌شود [۱۲]؛ لذا عملکرد مدولاتور مرتبه L معادل یک مدولاتور مرتبه L+1 مرسوم خواهد شد.

شکل (۲) به‌کارگیری بلوک فیلتر IIR در تحقق فیلتر حلقه مدولاتورهای مرتبه ۳، ۴ و ۵ را نشان می‌دهد. لازم به ذکر است که در این طراحی از توپولوژی مسیرهای پیش‌خور وزن‌دار توزیع شده[۷] (DWFF) [۱۳] برای پیاده‌سازی فیلتر حلقه استفاده شده است. همچنین اگر مرتبه مدولاتور از ۳ به ۴ تغییر کند از یک بلوک انتگرال‌گیر تاخیردار برای تحقق این حالت، استفاده می‌گردد. این وضعیت در شکل (۲-ب) نشان داده شده است. در شکل (۲-ج) از دو بلوک فیلتر IIR مرتبه ۲ برای تحقق یک مدولاتور مرتبه ۵ کمک گرفته شده است. در ظاهر دو ساختار (۲-ب) و (۲-ج) نیاز به سه آپ-امپ برای پیاده‌سازی مداری دارند اما در واقعیت ساختار آخر نیاز به تقویت‌کننده‌هایی دارد که باید خازن‌های بزرگتری را درایو کنند و لذا توان مصرفی بیشتری خواهد داشت. برای اثبات مرتبه شکل‌دهی، ساختار شکل (۲-الف) را در نظر بگیرید. اگر تابع تبدیل بلوک فیلتر IIR مرتبه ۲ در حوزه Z در حالت کلی، به‌صورت زیر فرض شود:

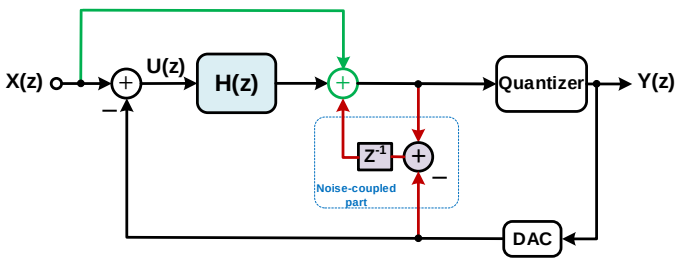
$$H_{IIR}(z) = \frac{c\,z^{-1}+dz^{-2}}{1+az^{-1}+bz^{-2}} \qquad (۱)$$

که در آن a، b، c و d ضرایب ثابت جمله‌های صورت و مخرج هستند، آنگاه تابع تبدیل نویز[۸] (NTF) مدولاتور برابر می‌شود با:

$$NTF(z) = \frac{1+az^{-1}+bz^{-2}}{1+(a+c)\,z^{-1}+(b+d)\,z^{-2}} \times (1 - z^{-1}) \qquad (۲)$$

که در آن، جمله $(1-z^{-1})$ در سمت راست رابطه بالا، به علت به‌کارگیری روش نویز تزویج شده در مدولاتور به‌وجود آمده است. اگر رابطه تابع NTF به شکل یک فیلتر با پاسخ ضربه محدود[۹] (FIR) پیاده شود آنگاه باید c=-a و d=-b باشد. لذا:

$$NTF(z) = (1 + az^{-1} + bz^{-2})(1 - z^{-1}) \qquad (۳)$$

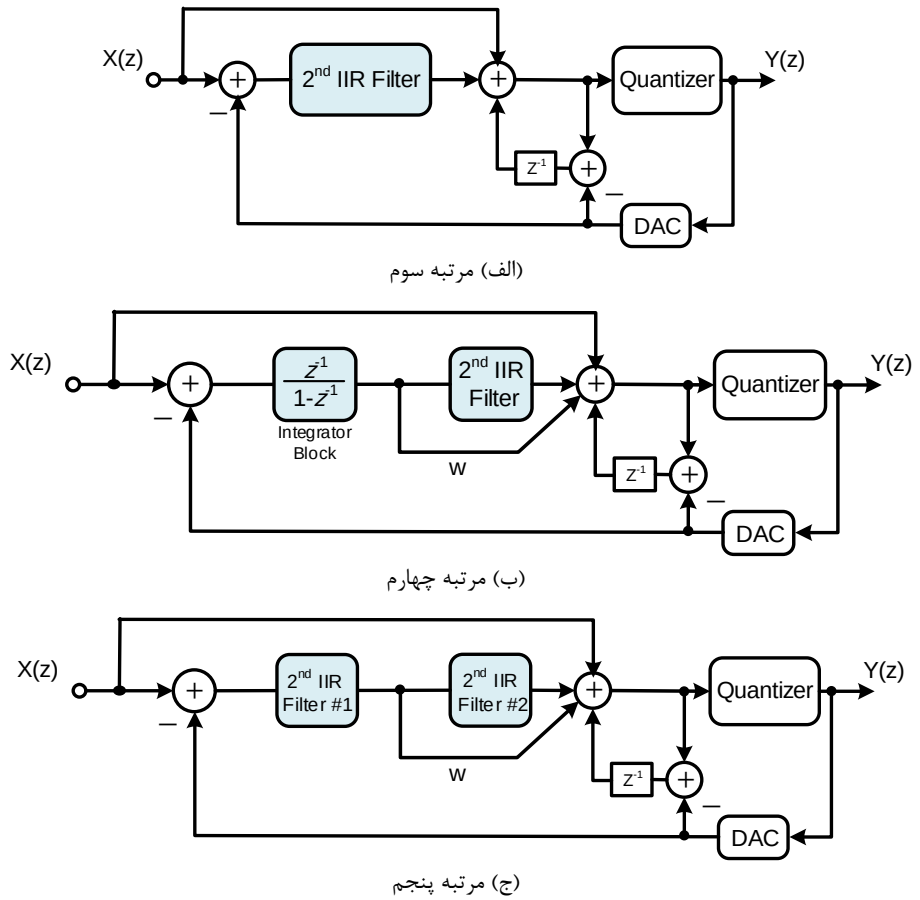


شکل (۱): بلوک دیاگرام کلی ساختار مدولاتور سیگما-دلتا با ترکیب تکنیک‌های نویز تزویج‌شده و اعوجاج-پایین

Figure (1): Block diagram of sigma-delta modulator architecture by combination noise-coupled and low-distortion techniques

www.SID.ir

Archive of SID



شکل (۲): ساختار کلی مدولاتور سیگما-دلتای پیشنهادی

Figure (2): The general structure of the proposed sigma-delta modulator for a) third order b) fourth order and c) fifth order

از طرفی چون در مدولاتورهای سیگما-دلتا، صفرهای تابع تبدیل نویز روی دایره واحد (|z|=1) قرار دارند در نتیجه مقدار b برابر یک خواهد بود. برای این‌که تمام صفرهای NTF روی دایره واحد و در فرکانس صفر واقع شوند باید a برابر ۲- انتخاب شود. بنابراین مقدار NTF برابر:

$$NTF(z) = (1 - z^{-1})^3 \qquad (۴)$$

خواهد شد. لازم به ذکر است برای کاربردهای باند وسیع نیاز به کاهش OSR است [۳]. با توجه به روشی که در مرجع [۱۴] توضیح داده شده، ثابت گردیده که مقدار بهینه ضریب a جهت حداقل کردن توان نویز کوانتیزاسیون در خروجی مدولاتور از رابطه (۵) به‌دست می‌آید:

$$a = -2\cos\left[\cos^{-1}\left(\frac{\sin(\frac{\pi}{OSR})}{\frac{\pi}{OSR}}\right)\right] \qquad (۵)$$

در حقیقت با رابطه (۵) دو صفر تابع NTF از مقدار صفر به فرکانس بالاتر و درون باند فرکانسی مطلوب منتقل می‌شوند. این کار در نهایت باعث افزایش نسبت سیگنال به نویز کوانتیزاسیون[۱۰] (SQNR) مدولاتور خواهد شد. از دیگر ویژگی‌های مدولاتورهای ارائه شده در شکل (۲) می‌توان به موارد زیر اشاره کرد:

الف- اگر برای هر ساختار شکل (۲)، تابع تبدیل سیگنال[۱۱] (STF) مدولاتور محاسبه شود، با هر انتخابی که برای فیلتر H انجام گردد، مقدار آن همواره برابر یک است. لذا تنها نویز کوانتیزاسیون وارد فیلتر حلقه مدولاتور شده و سیگنال ورودی توسط آن

www.SID.ir

Archive of SID

پردازش نمی‌شود. بنابراین اثرات غیرایده‌آل مداری و مخصوصاً غیرخطی بودن فاز بلوک فیلتر IIR، کارایی مدولاتور را آن‌چنان تحت تاثیر قرار نمی‌دهد.

ب- تابع تبدیل نویز [رابطه (۲)] می‌تواند به فرم IIR یا FIR پیاده‌سازی شود. در مورد فرم FIR، بالاتر بیان شد که چگونه ضرایب آن تعیین شوند. این فرم تا زمانی مناسب است که احتمال ناپایداری مدولاتور کم باشد. اما اگر احتمال ناپایداری زیاد باشد، به‌عنوان نمونه در مدولاتورهایی که از کوانتایزر تک بیتی استفاده می‌کنند؛ لازم است حداکثر بهره خارج از باند مطلوب در طیف فرکانسی تابع NTF کاهش یابد [۱۳]. این‌کار با تغییر فرم تابع NTF از FIR به IIR صورت می‌گیرد. در اکثر کاربردها، فرم IIR تابع NTF معادل گسسته یک فیلتر باتروورث یا چبیشف معکوس است اما چون سیگنال ورودی از فیلتر حلقه H نمی-گذرد لذا فیلتر بیضوی نیز برای تحقق NTF مدولاتور می‌تواند انتخاب شود. این ساختار انعطاف‌پذیری کاملی با هر نوع تابع NTF را دارد و نیاز به مسیرهای اضافه‌ای نیست.

ج- در یک مدولاتور سیگما-دلتای تک بیتی متداول، تون‌های طیفی در خروجی ظاهر شده و باعث کاهش دقت می‌شود. اما در مدولاتور ارائه شده، عملکرد روش نویز تزویج شده همانند یک منبع دیترِ نیز عمل کرده و خاصیت تصادفی بودن نویز کوانتیزاسیون را افزایش می‌دهد. بنابراین تون‌های طیفی در خروجی کمتر می‌شود [۱۲].

د- در این ساختار چون سیگنال ورودی وارد حلقه مدولاتور نمی‌شود، بلوک فیلتر IIR فقط نویز کوانتیزاسیون را پردازش کرده و از به‌وجود آمدن چرخش[۱۲] شدید در تقویت‌کننده آن جلوگیری می‌شود. از طرفی به علت کاهش نوسان متقارن یا سوئینگ[۱۳] خروجی، تقویت‌کننده بهره dc پایین‌تری لازم دارد. همچنین می‌توان سیگنال بزرگ‌تری به ورودی اعمال کرد که این کار اجازه می‌دهد برای یک محدوده پویایی ثابت، سطح نویز کل ارجاع شده به ورودی مدولاتور بیشتر باشد. در نتیجه می‌توان به کاهش توان مصرفی بیشتری امیدوار بود.

ه- در نهایت این‌که در این ساختار با پیاده‌سازی بلوک اول به‌صورتی که در بخش بعد اشاره می‌شود نیاز به تعریف مسیر فیدبک اضافه‌ای که در ساختارهای متداول، برای توزیع صفر تابع NTF درون باند ورودی لازم می‌گردد، نیست. لذا یک مسیر فیدبک محلی، در کل، کمتر شده که خود عدم تطابق بین مسیرها در زمان پیاده‌سازی مداری مدولاتور را کمتر می‌کند.

۱-۲- طراحی و انتخاب تابع تبدیل نویز مدولاتور برای کاربردهای بازشناسی گفتار

در این بخش به کمک ساختار مدولاتور پیشنهادی، یک مدولاتور برای به‌کارگیری در سخت‌افزارهای قابل حمل بازشناسی گفتار مانند سمعک دیجیتال طراحی می‌شود. برای این‌منظور مدولاتور پیشنهادی باید دارای دقتی حدود ۱۳-۱۴ بیت در خروجی و پهنای باند سیگنال ورودی آن در رنج محدوده شنوایی انسان یعنی ۲۰ کیلوهرتز باشد. چون دو پارامتر اصلی دیگر طراحی مدولاتور یعنی توان مصرفی و حجم مدار مجتمع شده، اهمیت بیشتری دارند، لذا ساختار مورد نظر برای این کاربرد، یک مدولاتور سیگما-دلتای مرتبه ۳ با کوانتایزر تک بیتی- ساختار شکل (۲-الف) انتخاب می‌شود. با توجه به این‌که ساختار مدولاتور مرتبه ۳ با کوانتایزر تک بیتی احتمال ناپایدار شدن دارد لذا تابع تبدیل نویز آن به فرم IIR انتخاب می‌شود تا با کاهش حداکثر بهره خارج از باند NTF، احتمال ناپایدار شدن مدولاتور کم شود. در رابطه (۲) ضرایب تابع NTF طوری انتخاب می‌شوند که برای مدولاتور سیگما-دلتای تک-بیتی، پایداری مدولاتور در ازای دامنه سیگنال ورودی بالاتر حاصل شود و همچنین بهترین حالت شکل‌دهی نویز کوانتیزاسیون در خروجی وجود داشته باشد. چون تعداد ضرایب مجهول در تابع NTF کم است، با یک الگوریتم ساده که در مرجع [۱۳] آمده، با دادن مشخصه‌های طراحی به این الگوریتم در محیط نرم‌افزار متلب، ضرایب بهینه NTF مشخص می‌شود. ضرایب، مطابق جدول (۱)، جهت تحقق شرایط بالا حاصل شده است. بر اساس ضرایب جدول (۱) رابطه تابع NTF به‌صورت زیر خواهد شد:

$$NTF(z) = \frac{(1-z^{-1})^3}{1-1.6\,z^{-1}+0.7\,z^{-2}} \qquad (۶)$$

که در آن قطب‌های تابع NTF تا حد امکان به صفرهای آن نزدیک شده است. با این‌کار بهره خارج از باند NTF از حدود ۱۸ دسیبل در رابطه (۴) به ۷/۷ دسیبل در رابطه (۶) کاهش می‌یابد. تغییر ساختار NTF از FIR به IIR باعث کاهش شکل‌دهی

www.SID.ir

Archive of SID

نویز کوانتیزاسیون در خروجی مدولاتور و در نتیجه کاهش SQNR خواهد شد، لذا انتخاب ضرایب ساختار IIR با هدف افزایش حاشیه پایداری در ازای کاهش کمتر دقت در خروجی مدولاتور، انجام شده است.

۲-۲- تحلیل پایداری مدولاتور پیشنهادی

مطالعات صورت گرفته نشان می‌دهد که برای بررسی پایداری یک مدولاتور، معیار مطمئن و صد در صد دقیق وجود ندارد. یکی از روش‌های مرسوم بررسی پایداری مدولاتور سیگما-دلتا، بررسی حداکثر سوئینگ خروجی طبقات مختلف حلقه مدولاتور در سطح شبیه‌سازی سیستمی است. در صورتی که طراحی یک مدولاتور درست انجام شود سوئینگ گره‌های خروجی بلوک-های مختلف فیلتر حلقه باید پایین‌تر از حداکثر سوئینگ خروجی تقویت‌کننده‌هایی باشد که در مرحله پیاده‌سازی مدولاتور، استفاده می‌شوند. با این‌کار از اشباع خروجی مدولاتور جلوگیری می‌شود. در صورت لزوم کاهش سوئینگ گره‌ها توسط عمل مقیاس‌بندی ضرایب انجام می‌شود؛ به این صورت که در مسیرهای خروجی هر بلوک، دامنه سیگنال خروجی با تنظیم ضریبی در مسیر آن، طوری تغییر می‌کند که رابطه NTF و STF مدولاتور حفظ شود. نکته دیگری که پایداری مدولاتور را تحت تاثیر قرار می‌دهد، ثابت نبودن بهره کوانتایزر است که در طراحی، معمولاً به علت پیچیدگی لحاظ نمی‌شود. علت آن است که در شرایط ناپایداری، اندازه ورودی کوانتایزر بیشتر از معادل خروجی آن است لذا تناظر یک به یک آن، به هم می‌ریزد. برای درک بیشتر، در شکل (۳) مدل خطی کوانتایزر آمده که بهره به‌صورت یک ضریب K گرفته شده است، که در آن V سیگنال ورودی، Y سیگنال خروجی کوانتایزر و E خطای کوانتیزاسیون است. مقدار این بهره به‌صورت رابطه (۸) تعریف می‌شود [۱۳].

$$K = \frac{\mathrm{cov}(V, Y)}{\mathrm{cov}(V, V)} \qquad (۷)$$

که تابع cov بیان‌گر همبستگی بین دو سیگنال است. این مساله، پایداری مدولاتورهای مرتبه یک و دو را تحت تاثیر قرار نمی-دهد و فقط عملکرد خروجی کاهش می‌یابد. اما در مرتبه‌های بالاتر، مقدار K برای پایداری محدود می‌شود. چون کوانتایزر در یک حلقه بسته قرار دارد، یک روش نمایش اثر بهره کوانتایزر بر پایداری یک مدولاتور مرتبه بالا، استفاده از مکان هندسی ریشه‌ها به ازاء تغییر بهره K از صفر تا بی‌نهایت است. شکل (۴) مکان هندسی ریشه‌ها را برای تابع تبدیل حلقه باز مدولاتور مرتبه ۳ ارایه شده، نشان می‌دهد که تابع تبدیل فیلتر حلقه باز مدولاتور به‌صورت زیر بیان می‌شود:

$$\text{loop filter}(z) = \frac{1-\mathrm{NTF}(z)}{\mathrm{NTF}(z)} \qquad (۸)$$

در این شکل بازاء K بزرگتر از ۰/۴۵ تابع تبدیل حلقه بسته مدولاتور پایدار بوده و برای مقادیر خارج از این محدوده مکان قطب‌ها و صفرها به خارج دایره واحد منتقل شده و مدولاتور ناپایدار می‌گردد. معمولاً K بندرت بزرگ‌تر از یک می‌شود اما احتمال K کوچک‌تر از یک وجود دارد. اگر مقدار سیگنال ورودی کوانتایزر V خیلی بزرگ باشد بهره K کوچک خواهد شد که ممکن است به علت بزرگ بودن سیگنال ورودی به حلقه، U باشد یا اینکه بهره نویز کوانتیزاسیون خارج از باند مدولاتور، خیلی بزرگ باشد. بنابراین برای جلوگیری از ناپایداری، دامنه سیگنال ورودی باید کم شود یا این‌که بهره خارج از باند NTF مدولاتور، کاهش یابد.

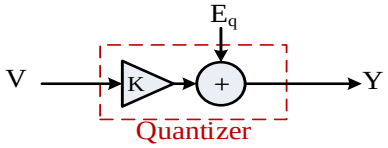
اگر بهره خارج از باند تابع NTF کم باشد می‌توان سیگنال ورودی بزرگ‌تری به مدولاتور اعمال کرد. اما افزایش این بهره باعث بهتر شدن عمل شکل‌دهی نویز شده، محدوده پویایی مدولاتور افزایش قابل ملاحظه‌ای می‌یابد که در ازای کاهش حاشیه پایداری مدولاتور حاصل می‌شود.

Table (1): Noise transfer function coefficients of the proposed 3rd order sigma-delta modulator

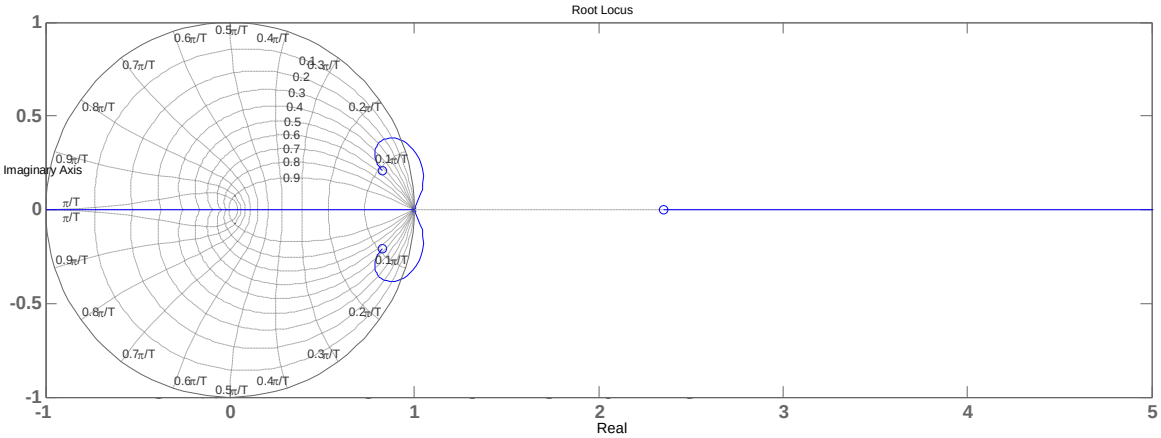
جدول (۱): ضرایب تابع تبدیل نویز مدولاتور سیگما-دلتای مرتبه ۳ پیشنهادی

ضرایب تابع تبدیل نویز	a	b	c	d
مقدار	-۲	۱	۰/۴	-۰/۳

www.SID.ir



شکل (۳): مدل خطی یک کوانتایزر با بهره K
Figure (3): Linear model of a quantizer with gain K



غیر از موارد بالا، روش‌های دیگری نیز در منابع مختلف ذکر شده‌اند اما هیچکدام شرط لازم و کافی برای پایداری مدولاتور را ارائه نمی‌کنند. برای اطمینان از پایداری مناسب یک مدولاتور مرتبه بالا، شبیه‌سازی‌های سیستمی می‌تواند درستی کار طراحی و پیاده‌سازی مدولاتور را تا حد قابل قبولی تضمین کند. تحلیل پایداری که در بالا اشاره شد، برای هر ساختار ارایه شده در شکل (۲) قابل تعمیم است.

۳- تحقق سیستمی و شبیه‌سازی مدولاتور پیشنهادی

در این بخش، ابتدا تحقق سیستمی و نحوه پیاده‌سازی مدولاتور پیشنهادی مرتبه سوم در محیط سیمولینک متلب مورد بررسی قرار می‌گیرد و سپس شبیه‌سازی‌های لازم روی آن انجام می‌شود. با توجه به توضیحات بخش قبل، روش پیشنهادی تحقق سیستمی تابع فیلتر حلقه، به‌صورت نشان داده شده در شکل (۵) است به‌طوری که بتوان تعداد آپ-امپ مورد نیاز در مرحله پیاده‌سازی مداری را کاهش داد. با توجه به رابطه (۹)، فیلتر IIR مرتبه دوم با رابطه (۱)، به دو جمله تفکیک می‌شود که جمله اول آن، با تفریق‌کننده سمت چپ مدولاتور، یکی شده و تحقق آن با نام بلوک اول فیلتر حلقه مدولاتور، در شکل (۵) انجام شده است.

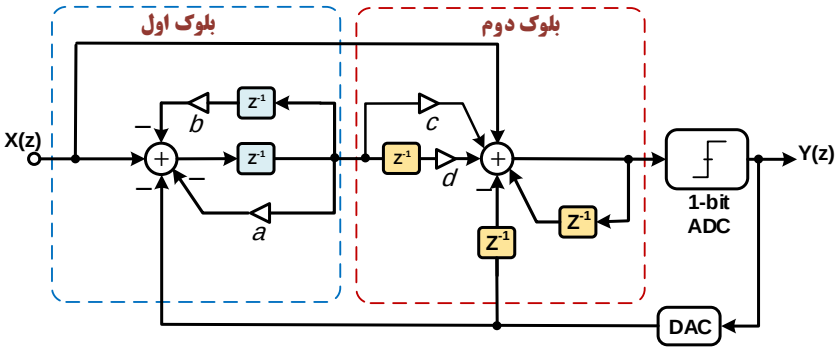
$$H_{IIR}(z) = H_{IIR\,1} \times H_{IIR\,2} = \frac{z^{-1}}{1+az^{-1}+bz^{-2}} \times (c+dz^{-1}) \qquad (۹)$$

بخش دوم در رابطه (۹) یا جمله $c+d.z^{-1}$ با جمع‌کننده قبل کوانتایزر ادغام و تحقق آن بصورت بلوک دوم از فیلتر حلقه است. مزیت این نوع از تحقق سیستمی فیلتر حلقه آن است که می‌توان بلوک اول از ساختار شکل (۵) را در مرحله پیاده‌سازی مداری، با یک آپ-امپ اجرا کرد. بلوک دوم نیز مجموعه‌ای از مسیرهای تاخیردار و بدون تاخیر هستند که وارد یک جمع‌کننده می‌شوند. لذا بلوک دوم نیز با یک آپ-امپ قابل پیاده‌سازی است. برای بررسی عملکرد ساختار ارائه شده، شبیه‌سازی سیستمی در محیط سیمولینک نرم‌افزار متلب انجام شده است. شبیه‌سازی مدولاتور مورد نظر در سطح سیستمی توسط جعبه ابزار [۱۵] انجام شده است. در این شبیه‌سازی مقدار نرخ بیش-نمونه‌برداری برابر ۶۴ در نظر گرفته شده تا محدوده سیگنال به نویز و اعوجاج[۱۴] (SNDR) بالای ۸۴ دسی‌بل گردد. همان‌طور که بالاتر اشاره شد برای کاهش حجم مداری و توان مصرفی، از یک کوانتایزر تک بیتی در حلقه مدولاتور استفاده گردیده است. مقدار پهنای باند سیگنال ورودی برابر ۲۰ کیلوهرتز و فرکانس نمونه‌برداری برابر ۲/۵ میلیون نمونه بر ثانیه در نظر گرفته شده است. یک سیگنال سینوسی با فرکانس ۵/۰۷۸۱۲۵ کیلوهرتز

www.SID.ir

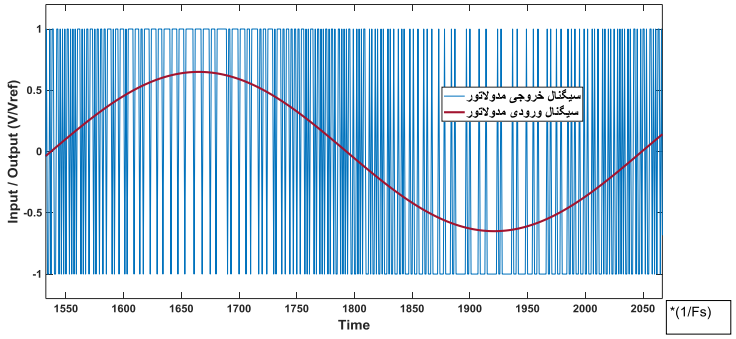
Archive of SID

به ورودی مدولاتور اعمال گردید. شکل موج شبیه‌سازی‌شده خروجی مدولاتور در شکل (۶-الف) و همچنین نمودار چگالی طیف توان[۱۵] (PSD) خروجی در شکل (۶-ب) ترسیم شده است. با توجه به شکل (ب)، مشخص می‌شود که شکل‌دهی نویز خروجی با شیب ۶۰ دسیبل در هر دهه بوده که معادل عملکرد یک مدولاتور مرتبه ۳ است. مقدار محدوده پویایی مدولاتور نیز در شکل (۷) قابل مشاهده است. مقدار حداکثر SNDR نتیجه شده ۸۶ دسیبل و DR حدود ۹۲ دسیبل است که بدون در نظر گرفتن اثرات غیرایده‌آل مداری حاصل شده است. با توجه به نمودار محدوده پویایی، مشخص است که حداکثر مقدار SNDR تقریباً به ازای ورودی کمتر از ۴- دسیبل تمام-مقیاس (۰/۶۵ ولت بر ولت‌مبنا) حاصل می‌شود.

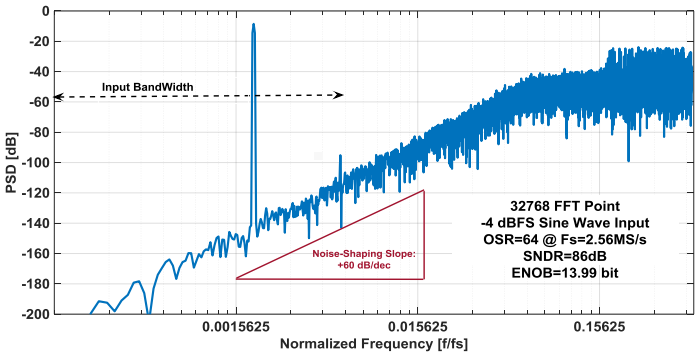


شکل (۵): تحقق فیلتر حلقه در مدولاتور پیشنهادی

Figure (5): Realization of the loop-filter in the proposed modulator



(الف) سیگنال ورودی و خروجی مدولاتور در حوزه زمان

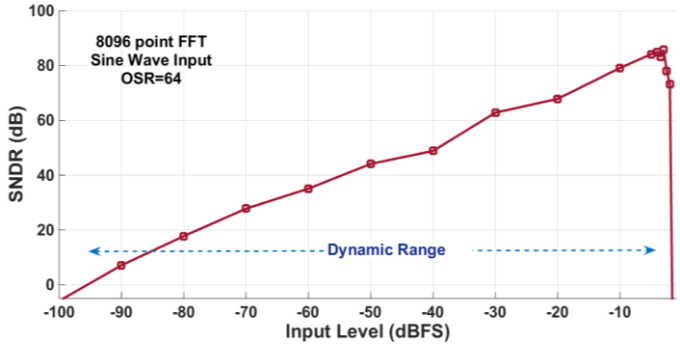


(ب) چگالی طیف توان سیگنال خروجی بدون در نظر گرفتن اثرات غیرایده‌آل مداری

شکل (۶): نتایج شبیه‌سازی مدولاتور پیشنهادی مرتبه ۳

Figure (6): Simulation results of the proposed 3rd order modulator, a) Modulator input and output signal in time domain, b) The PSD of output signal without considering the non-ideality

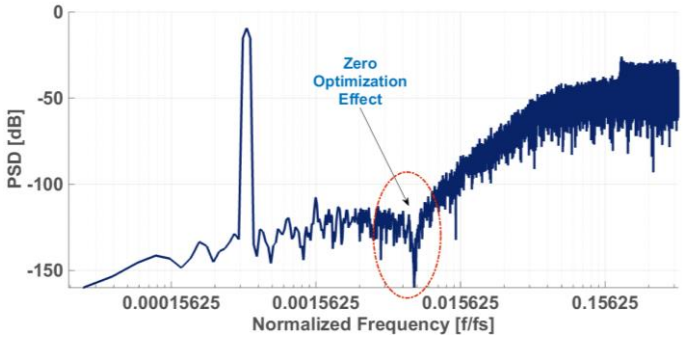
www.SID.ir



شکل (۷): تغییرات سیگنال به نویز و اعوجاج بر حسب تغییرات سیگنال ورودی و تعیین محدوده پویایی

Figure (7): SNDR versus input signal range and DR range determination

یکی از ویژگی‌های خوب مدولاتور طراحی‌شده این است که می‌توان با تغییر ضریب a در رابطه (۱) و تعیین بهینه آن، مکان دو تا از صفرهای تابع تبدیل نویز را جابجا کرد. لذا ساختارهای پیشنهادی در شکل (۲) را به آسانی می‌توان برای کاربردهایی که پهنای باند وسیعی نیاز دارند نیز به‌کار گرفت؛ بدون آنکه نیاز به تعیین مسیر فیدبک محلی اضافه‌ای در ساختار باشد. جهت مشخص شدن بهتر مزیت اشاره شده، مقدار a برای مشخصات مدولاتور مرتبه ۳ مورد نظر و بر اساس رابطه (۵) محاسبه و شبیه‌سازی ساختار انجام شد. بر این اساس مقدار محاسبه شده برای a برابر ۱/۹۹۸ و با شبیه‌سازی مدولاتور به ازای این مقدار a، طیف خروجی به صورت شکل (۸) گردید. با توجه به شکل، فرورفتگی که در اواسط نمودار طیف حاصل شده، تاثیر جابه-جایی صفر تابع تبدیل NTF است که باعث می‌شود تا مقدار SNDR برابر ۸۹ دسیبل گردد که نشان از بهبود حدود ۳ دسی‌بل یا نیم بیت دقت در عملکرد خروجی دارد. در ادامه، بررسی دقیق‌تر ساختار پیشنهادی با در نظر گرفتن مهمترین اثرات غیرایده‌آل مداری در شبیه‌سازی سیستمی، که روی دقت، سرعت و عملکرد مدولاتور تاثیر می‌گذارد، انجام شد. این موارد شامل نویز حرارتی کلیدها، بهره dc محدود تقویت‌کننده، زمان نشست محدود تقویت‌کننده، محدودیت سوئینگ خروجی آن و عدم تطابق ضرایب مسیرها است که مدل‌سازی و ارزیابی شده‌اند. این مدل‌سازی‌ها با در نظر گرفتن اینکه ساختار فوق در حوزه زمان-گسسته و با مدارهای کلید-خازنی[۱۶] پیاده‌سازی مداری می‌شود، صورت گرفته است. مواردی که برای در نظر گرفتن اثرات غیرایده‌آل مداری در ادامه آورده شده برای کاربرد مورد نظر این تحقیق است ولی برای هر کدام از ساختارهای پیشنهادی در شکل (۲) و با هر نوع دقت و سرعت مدنظر، قابل تعمیم است. اثراتی مانند عملکرد غیرخطی مبدل دیجیتال به آنالوگ (DAC) در مسیر فیدبک حلقه مدولاتور نیز در اینجا در نظر گرفته نشده زیرا DAC مورد استفاده در مدولاتور پیشنهادی، تک بیتی است و چون ذاتاً رفتار خطی دارد [۱۳] نیاز به مدل‌سازی رفتار آن نیست. در کاربردهایی که از کوانتایزر چند بیتی استفاده می‌شود، رفتار DAC چند بیتی، غیرخطی بوده و لازم است در مدل‌سازی‌ها، این اثر غیرایده‌آلی نیز لحاظ شود. لازم به ذکر است که مدل‌سازی مدولاتور در سطح سیستمی باعث راحت‌تر شدن طراحی مداری آن خواهد شد زیرا بسیاری از مشخصه‌های مدار، در این سطح راحت‌تر تعیین می‌شوند.



شکل (۸): طیف سیگنال خروجی برای بهینه‌سازی مکان صفر تابع تبدیل نویز

Figure (8): Output signal spectrum with NTF zero-optimization

www.SID.ir

Archive of SID

۳-۱- مدل‌سازی نویز مدولاتور

مجموع نویزهای موجود در یک مدار، عامل محدودکننده SNDR و در نهایت، دقت مدولاتور است. برای بررسی و مدل‌سازی آن در یک مدولاتور و در سطح شبیه‌سازی سیستمی، اثر آنها در ورودی یا خروجی محاسبه می‌شود. با توجه به مرجع [۱۳] نویز ارجاع داده شده به ورودی مدولاتور پیشنهادی را می‌توان به‌صورت زیر تعریف کرد:

$$N_{in}(z) = N_1(z) + \frac{1-2z^{-1}+z^{-2}}{z^{-1}} N_2(z) \qquad (۱۰)$$

که در آن $N_1(z)$ و $N_2(z)$ به‌ترتیب نویز ارجاع‌شده به ورودی فیلتر IIR مرتبه ۲ و بلوک دوم شکل (۵) هستند. مطابق رابطه (۱۰) چون نویز بلوک دوم وقتی به ورودی مدولاتور ارجاع داده می‌شود با مرتبه دو تضعیف می‌گردد لذا می‌توان از اثر آن در برابر نویز N_1 صرفنظر کرد. در این طراحی توان نویز بلوک دوم، ۶ دسی‌بل بالاتر از توان نویز بلوک اول انتخاب می‌شود تا در زمان پیاده‌سازی مداری، خازن‌های نمونه‌بردار مورد نیاز در بلوک دوم به اندازه ۴ برابر کوچک‌تر از بلوک اول شوند و در نتیجه توان مصرفی بلوک دوم کاهش قابل ملاحظه‌ای یابد. توان نویز N_1 ترکیبی از توان نویز حرارتی سوئیچ‌های نمونه‌بردار مسیر ورودی به بلوک اول به اضافه نویز حرارتی و فلیکر تقویت‌کننده مورد استفاده در بلوک اول است. با توجه به این‌که SNDR مد نظر برای مدولاتور بالای ۸۴ دسی‌بل است لذا برای طراحی مدولاتور سیگما-دلتا با دقت بالا اصلی‌ترین عاملی که دقت را محدود می‌کند، نویز مداری است [۱۰]. به علت شکل‌دهی نشدن نویز بلوک اول، تقریباً نویز کل مدار ناشی از آن است. معمولاً توان نویز فلیکر و حرارتی آن در مقایسه با توان نویز کلیدزنی در کاربردهای دقت بالا، پایین‌تر است [۱۶]. جهت برقراری مشخصه‌های طراحی، میزان نویز ارجاع‌شده به ورودی بلوک اول باید مقداری کمتر از ۹۰- دسی‌بل سطح سیگنال تمام مقیاس (FS) ورودی باشد. در حالتی که از یک مدار کلید-خازنی تمام-تفاضلی، در پیاده‌سازی بلوک اول استفاده شود، می‌توان به راحتی ثابت کرد که مقدار SNR با در نظر گرفتن نویز حرارتی کلیدها (یا نویز KT/C)، با رابطه زیر تعریف می‌شود:

$$SNR\Big|_{\frac{KT}{Cs}noise} = \frac{P_{sig}}{P_{noise(sw)}} = \frac{[(2.OL.V_{ref})^2/2]}{[(8KT)/C_s.OSR]} \qquad (۱۱)$$

که C_S خازن نمونه‌برداری، V_{ref} ولتاژ مرجع، K ثابت بولتزمن، T دما و OL فاکتور بیش‌بارشدگی است. جهت تحقق سطح توان نویز در ورودی مقدار خازن C_S (خازن مسیر نمونه‌برداری در بلوک اول) برابر ۰/۵پیکو فاراد خواهد شد. بر این اساس شبیه-سازی ساختار با در نظر گرفتن نویز KT/C انجام شد که در شکل (۹) نمودار طیف خروجی مدولاتور رسم شده است. مشخص است که عامل نویز در محدوده پهنای باند ورودی خاصیت شکل‌دهی را تحت تاثیر قرار می‌دهد اما توان آن به اندازه‌ای نیست که دقت کل، دچار تغییر آنچنانی شود.

۳-۲- بهره DC محدود تقویت‌کننده‌های عملیاتی

مورد بعدی، اثر بهره dc محدود تقویت‌کننده‌های عملیاتی هدایت انتقالی مورد استفاده در بلوک های اول و دوم شکل (۵) است که باعث می‌شود در مدارهای کلید-خازنی، در فاز انتگرال‌گیری، بار خازن نمونه‌برداری C_S به‌طور کامل به خروجی منتقل نشود و در عمل اصطلاحاً نشتی داشته باشد. پیامد این اثر این است که صفرهای NTF به سمت داخل دایره واحد کشیده می‌شوند و لذا شکل‌دهی نویز بدتر شده و سطح نویز کوانتیزاسیون در باند عبوری افزایش می‌یابد. برای مدل‌سازی بهره محدود یک تقویت‌کننده، در بلوک اول می توان از مدل انتگرال‌گیر نشتی‌دار در محیط نرم‌افزار متلب استفاده کرد [۱۷]. اما در بلوک دوم که به نوعی یک جمع‌کننده است و قرار است مسیرهایی با بهره مختلف را با هم ترکیب کند، از یک تقویت کننده به‌صورت طبقه بهره استفاده می‌شود و مدل انتگرال‌گیر نشتی‌دار قابل استفاده نیست. برای این‌منظور مدل‌سازی آن به‌صورت دیگری که در ادامه آمده، انجام شده است. یک مدار کلید-خازنی تک-پایانه به‌صورت شکل (۱۰-الف) را در نظر بگیرید که به‌صورت طبقه بهره، پیکربندی شده است. در این مدارها، ولتاژ ورودی در دو مرحله که به نام فاز یک و دو اسم‌گذاری می‌شود، به سمت خازن C_A منتقل می‌گردد.

www.SID.ir

با توجه به این‌که یک تقویت‌کننده واقعی، بهره محدود دارد لذا فرض زمین مجازی در پایه‌های ورودی آن دیگر برقرار نیست و درنتیجه کسری از سیگنال خروجی روی پایه‌های ورودی ظاهر می‌شود. با نوشتن معادلات بقای بار در گره زمین مجازی داریم:

$$Q_{\text{virtual ground}}(\text{in the end of phase1}) = -C_s V_i(n-\frac{1}{2}) + C_s \frac{V_o}{A_{dc}}(n-\frac{1}{2}) - C_A V_o(n-\frac{1}{2}) + C_A \frac{V_o}{A_{dc}}(n-\frac{1}{2}) \quad (۱۲)$$

که در آن $V(n-1/2)$ ولتاژ در انتهای فاز یک، A_{dc} بهره DC محدود تقویت‌کننده، C_s خازن نمونه‌برداری و C_A خازن جمع‌کننده است. با توجه به شکل (۱۰-الف)، $Q_{virtual-ground}$ در انتهای فاز ۲ برابر صفر می‌شود. چون بار در انتهای فاز ۱ و ۲ باید با هم برابر باشند، لذا:

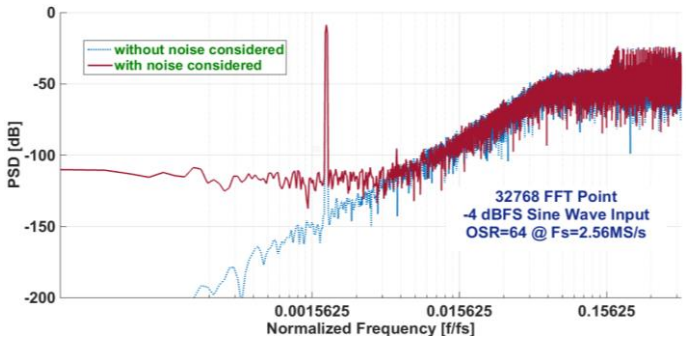
$$-C_s V_i(n-\frac{1}{2}) + C_s \frac{V_o}{A_{dc}}(n-\frac{1}{2}) - C_A V_o(n-\frac{1}{2}) + C_A \frac{V_o}{A_{dc}}(n-\frac{1}{2}) = 0 \quad (۱۳)$$

با توجه به این‌که $V(n-1/2)$ برابر $V(n)$ است، لذا مقدار تابع تبدیل طبقه بهره به‌صورت زیر می‌گردد:

$$\frac{V_o}{V_i}(z) = \frac{-C_S}{C_A} \frac{1}{1-(1+\frac{C_S}{C_A})/A_{dc}} \quad (۱۴)$$

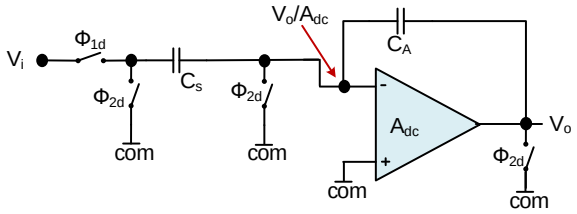
که در آن $-C_s/C_A$ بهره حالت ایده‌آل است. با توجه به رابطه (۱۴) مشاهده می‌شود با افزایش بهره تقویت‌کننده، A_{dc}، مقدار تابع تبدیل به حالت ایده‌آل نزدیک می‌شود. در شبیه‌سازی سیستمی، بلوک دوم یک جمع‌کننده خواهد بود که برای بررسی اثر بهره dc محدود تقویت‌کننده آن، هر یک از مسیرهای منتهی به جمع‌کننده، با شکل (۱۰-ب) مدل می‌شود.

در ادامه، با در نظر گرفتن بهره A_1 و A_2 برای تقویت‌کننده‌های بلوک اول و دوم، مدل شبیه‌سازی بهره محدود مطابق شکل (۱۱) خواهد شد.

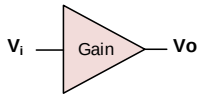


شکل (۹): طیف سیگنال خروجی با و بدون نظر گرفتن اثر نویز در ورودی مدولاتور

Figure (9): Output signal spectrum with/without considering the effect of noise on the modulator input



(الف) مدار کلید-خازنی بلوک دوم با پیکربندی طبقه بهره



$$\text{Gain} = \frac{-C_s}{C_A} \frac{1}{1-(1+C_s/C_A)/A_{dc}}$$

(ب) مدل‌سازی اثر بهره **dc** محدود تقویت‌کننده در بلوک دوم

شکل (۱۰): مدل‌سازی بهره dc محدود برای طبقه بهره

Figure (10): Limited dc gain modeling of gain stage, a) Switched-Capacitor circuit of the second block configured as gain stage, b) Modeling the limited DC gain of the amplifier in the second block

www.SID.ir

Archive of SID

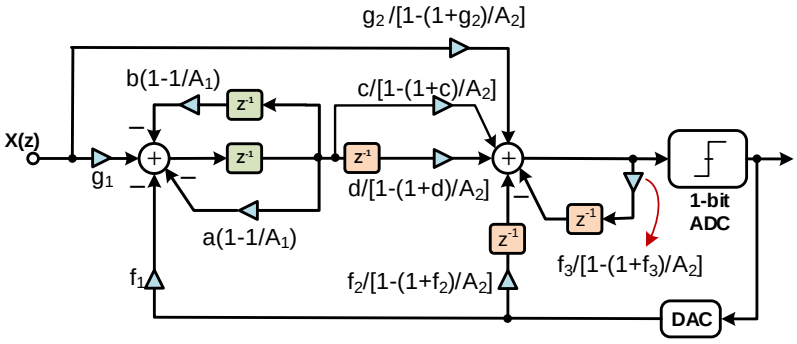
در شکل (۱۲) مقادیر SNDR مدولاتور به ازای تغییرات بهره dc محدود تقویت‌کننده‌های بلوک اول و دوم رسم شده است. نتایج شبیه‌سازی نشان می‌دهد که حداقل مقدار بهره dc مورد نیاز تقویت‌کننده بلوک اول و دوم به‌ترتیب برابر ۶۰ و ۳۳ دسی-بل باید باشند تا SNDR مدولاتور همچنان مقدار مدنظر باقی بماند.

۳-۳- محدوده سوئینگ خروجی هر بلوک

در یک مدولاتور سیگما-دلتا، یکی از مواردی که حاشیه پایداری را کاهش می‌دهد، حداکثر سوئینگ خروجی بلوک‌های مختلف حلقه مدولاتور است که در این مقاله، به عنوان یکی از اثرات غیرایده‌آل مداری، در شبیه‌سازی سیستمی مدل می‌شود. توجه کنید که برای طراحی مناسب یک مدولاتور در سطح سیستمی، حداکثر سوئینگ خروجی بلوک‌های مختلف فیلتر حلقه باید پایین‌تر از حداکثر سوئینگ خروجی تقویت‌کننده‌ای باشد که در پیاده‌سازی مداری استفاده می‌شود تا خروجی مدولاتور به اشباع نرود و پایداری آن حفظ شود. لازم به ذکر است که حداکثر سوئینگ متقارن تقویت‌کننده برابر ۰/۸ ولت فرض شده است. مقیاس‌بندی ضرایب مسیرها، روشی برای تنظیم سوئینگ خروجی است. با توجه به شکل (۱۳)، حداکثر مقدار ولتاژ خروجی‌های بلوک اول و دوم قبل از مقیاس‌بندی بیشتر از ۲ ولت گردیده که با اعمال مقیاس‌بندی ضرایب به کمتر از ۰/۸ ولت کاهش یافته‌اند. همچنین مقدار دقیق سوئینگ قبل و بعد از این عمل در گره خروجی بلوک اول و دوم، به‌صورت نشان داده شده در جدول (۲) است. جدول (۳) ضرایب مدولاتور شکل (۱۱) را بعد از مقیاس‌بندی نشان می‌دهد. ضرایب بعضی از مسیرها طوری تغییر یافته‌اند که در نهایت خروجی بلوک اول و دوم کمتر از ۰/۸ ولت (سوئینگ متقارن تقویت‌کننده در مرحله پیاده-سازی) شود.

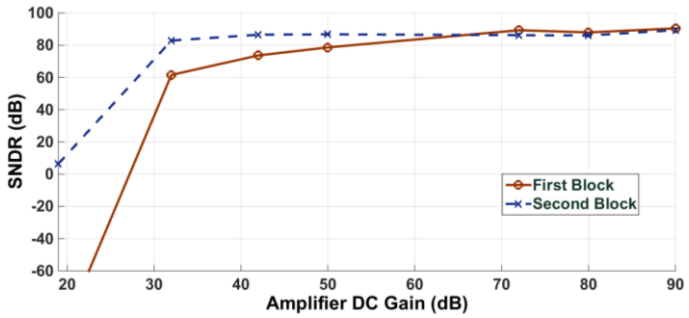
۳-۴- عدم تطابق ضرایب مسیرهای مدولاتور

مدل‌سازی عدم تطابق ضرایب[۱۷] مسیرهای مدولاتور در سطح سیستمی، به علت دقیق نبودن مقادیر خازن‌ها در پیاده‌سازی و تغییر مقدار آن‌ها در هنگام ساخت است که باعث به هم خوردن نسبت‌ها یا بهره‌های مسیر مدولاتور می‌شود.



شکل (۱۱): مدل‌سازی اثر بهره DC محدود تقویت‌کننده مورد نیاز در هر دو بلوک

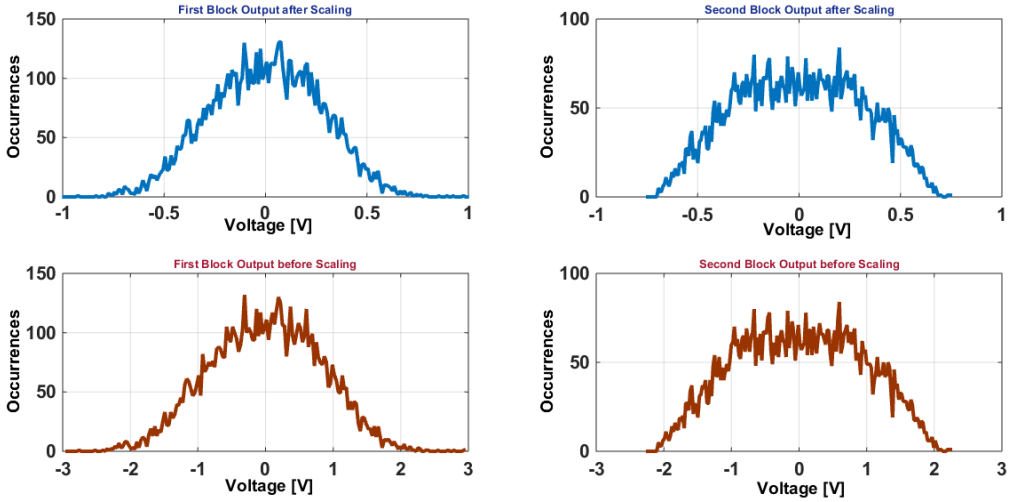
Figure (11): Modeling the effect of limited DC gain on the amplifier required in both blocks



شکل (۱۲): مقدار SNDR بر حسب تغییرات بهره DC تقویت‌کننده مورد نیاز در بلوک اول و دوم

Figure (12): SNDR versus DC gain changes of amplifier required in the first and second blocks

www.SID.ir



شکل (۱۳): سوئینگ خروجی بلوک اول و دوم، قبل و بعد از عمل مقیاس‌بندی

Figure (13): The output swing of the first and second blocks, before and after the scaling

Table (2): The amount of output swing in the loop filter blocks of proposed Sigma-Delta modulator

جدول (۲): مقدار سوئینگ خروجی بلوک‌های فیلتر حلقه مدولاتور سیگما-دلتای پیشنهادی

سوئینگ خروجی	بلوک اول	بلوک دوم
قبل از مقیاس‌بندی (V_p)	۲/۳	۲/۱
بعد از مقیاس‌بندی (V_p)	۰/۷۵	۰/۷

Table (3): Coefficients of the modulator paths in Figure (11) after scaling

جدول (۳): ضرایب مسیرهای مدولاتور شکل (۱۱) بعد از مقیاس بندی

ضرایب NTF	a	b	c	d	g_1	g_2	f_1	f_2	f_3
مقدار	-۲	۱	۰/۴	-۰/۳	$\frac{۱}{۳}$	$\frac{۱}{۳}$	$\frac{۱}{۳}$	۱/۳	۱

این اثر قابل حذف نیست اما می‌توان با روش‌هایی در هنگام ساخت مدار این اثر را کاهش داد. با به‌کارگیری روش‌های خاص در هنگام جانمایی مدار، مانند استفاده از ساختارهای مرکز مشترک و خازن‌های هرز می‌توان به ضرایب با دقت قابل قبول دست یافت. عدم تطابق در ضرایب بلوک اول، به علت آن‌که به‌عنوان یک خطا توسط فیلتر حلقه شکل‌دهی نمی‌شود، مستقیماً روی دقت خروجی مدولاتور تاثیر می‌گذارد اما در بلوک دوم تاثیر عدم تطابق ضرایب آن، ناچیز است. عدم تطابق بین مسیرهای ورودی بلوک اول با تغییر ضرایب مسیرها شبیه‌سازی گردید. نتایج شبیه‌سازی سیستمی نشان می‌دهد، اگر حداکثر ۰/۵ درصد عدم تطابق بین مسیرهای مختلف وجود داشته باشد، خروجی مدولاتور همچنان پایدار مانده و عملکرد خروجی آن منجر به SNDR حدود ۸۴ دسی‌بل می‌شود.

۵-۳- اثر زمان محدود نشست تقویت‌کننده

نشست ناقص در خروجی یک تقویت‌کننده به این دلیل است که خروجی زمان کافی برای رسیدن به درصد معینی از مقدار نهایی در پاسخ به یک ورودی پله را ندارد. در مدارهای کلید-خازنی، خروجی تقویت‌کننده مورد نیاز باید در طول فاز دوم به مقدار نهایی نشست کند. از طرفی پهنای باند محدود یک تقویت‌کننده باعث می‌شود تا خروجی بلوک‌های مدولاتور پیشنهادی نشست خطی نداشته باشند [۱۸،۱۹]. محدودیت نشست، تابع پهنای باند بهره واحد و سرعت چرخش[۱۸] (SR) محدود تقویت-کننده است و بیشترین تاثیر آن در یک مدولاتور در بلوک اول ظاهر می‌شود، جایی که نیاز است تقویت‌کننده، دقتی به اندازه دقت کل مبدل داشته باشد تا بتواند در مدت زمانی کوچک‌تر از نصف دوره تناوب نمونه‌برداری، نشست کند. اگر نشست تقویت‌کننده، خطی و مشخصه فرکانسی آن تک قطبی باشد، نشست ناقص تقویت‌کننده به‌صورت یک خطای بهره ظاهر می-

www.SID.ir

Archive of SID

شود و می‌توان از روش مدل‌سازی در مرجع [۱۷] برای شبیه‌سازی مدولاتور در نرم‌افزار متلب استفاده کرد. اما مرجع [۱۸] رابطه‌ای برای زمان نشست یک انتگرال‌گیر ارایه می‌دهد که در آن ناحیه نشست یک تقویت‌کننده به دو بخش خطی و غیرخطی تقسیم شده است. به کمک این روش می‌توان به‌صورتی که در ادامه می‌آید، محدوده مقادیر پهنای باند بهره واحد[۱۹] و SR تقویت‌کننده مورد نیاز در بلوک اول که عملکرد آن باید نسبت به بلوک‌های بعدی دقت بیشتری داشته باشد را تعیین کرد. زمان‌بندی نشست به‌صورت زیر تعریف می‌شود:

$$t_{settling} = t_{SR} + t_{LS} \quad (۱۵)$$

که t_{LS} زمان نشست خطی تقویت‌کننده و t_{SR} زمان نشست غیرخطی یا دوره تناوب چرخش تقویت‌کننده است. در مرجع [۱۸] ثابت شده که مقدار زمان نشست در یک انتگرال‌گیر از رابطه (۱۶) می‌تواند مشخص شود:

$$t_{settling} \cong \frac{1}{\beta.SR}\left[V_{step}\left(\frac{C_S}{C_S+C_{IN}}\right)-\sqrt{2}(V_{eff})\right]+Ln(2^{N+1})\frac{1}{\beta.\omega_t} \quad (۱۶)$$

که در آن β ضریب فیدبک تقویت‌کننده انتگرال‌گیر، C_S و C_{IN} خازن نمونه‌بردار و ورودی انتگرال‌گیر در فاز انتگرال‌گیری، V_{eff} ولتاژ موثر درین-سورس، N دقت تقویت‌کننده، V_{step} ولتاژ پله تمام-تفاضلی ورودی و ω_t پهنای باند بهره واحد تقویت‌کننده است. می‌توان از مدل‌سازی بالا برای تحلیل زمان نشست بلوک اول مدولاتور پیشنهادی، استفاده کرد. به این‌منظور شکل (۱۴) را در فاز ۲ یا فاز انتقال بار در نظر گرفته می‌شود که مدار معادل تک-پایانه خلاصه شده بلوک اول مدولاتور پیشنهادی در فاز ۲ است و در بخش پیاده‌سازی مداری، شکل کامل‌تر آن آورده شده است. برای سادگی فرض شده تقویت‌کننده بلوک اول، یک زوج تفاضلی با بار فعال است. با توجه به شکل (۱۴) مقادیر C_{IN} و β برابرند با:

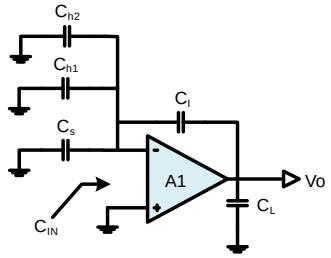
$$C_{IN} = C_L \,||\, C_I + C_P \quad (۱۷)$$

$$\beta = \frac{C_I}{C_I + C_S + C_P + C_{h1} + C_{h2}} \quad (۱۸)$$

سرعت چرخش تقویت‌کننده به‌صورت زیر برای یک زوج تفاضلی با بار فعال تعریف می‌شود:

$$SR = \frac{I_{tail}}{C_{Leq}} \quad (۱۹)$$

که I_{tail} جریان ترانزیستورهای تفاضلی ورودی است و $C_{Leq}=C_L+(1-\beta)C_1$ بار معادل خازنی تقویت‌کننده است. با در نظر گرفتن ولتاژ موثر درین-سورس برابر حدود ۱۸۰ میلی-ولت، مقادیر خازن‌های C_1، C_{h1} و C_{h2} برابر ۱/۵ پیکوفاراد و خازن C_S برابر ۰/۵ پیکوفاراد و دقت نشست ۱۴ بیت برای تقویت‌کننده بلوک اول می‌توان زمان نشست آن‌را از رابطه (۱۶) مشخص کرد. اما دو پارامتر دیگر رابطه (۱۶) یعنی ω_t و SR باید مشخص گردد که از شبیه‌سازی کمک گرفته می‌شود. در شبیه‌سازی زمان نشست تقویت‌کننده، مقدار ولتاژ پله تمام-تفاضلی ورودی برابر ۰/۸ ولت و خازن C_P برابر ۰/۱ خازن C_S و مقدار خازن بار برابر یک پیکوفاراد در نظر گرفته شده است. با فرکانس نمونه‌برداری ۲/۵۶ مگاهرتز حداکثر زمان اختصاصی به حالت انتگرال‌گیری بلوک اول با احتساب زمان غیرهمپوشان در کلاک‌ها، برابر ۱۸۰ نانوثانیه می‌شود. با انتخاب ω_t برابر ۳۰ مگاهرتز و SR برابر ۲۲ ولت بر میکروثانیه و با توجه به رابطه (۱۶)، مقدار $t_{settling}$ کمتر از ۱۷۰ نانوثانیه می‌گردد. انتخاب این زمان نشست برای انجام درست عمل انتقال بار است چون در شبیه‌سازی اثرات مقاومت کلید بر فرکانس قطع ورودی لحاظ نشده است.



شکل (۱۴): مدار معادل تک-پایانه بلوک اول در فاز ۲

Figure (14): Equivalent circuit of the single-ended first block in phase 2

www.SID.ir

Archive of SID

۴- پیاده‌سازی مدولاتور سیگما دلتای پیشنهادی

در این بخش، نحوه پیاده‌سازی مدولاتور سیگما-دلتای پیشنهادی با مدارهای متداول سوئیچ-خازنی توضیح داده می‌شود. شکل (۱۵-الف) ساختار کلید-خازنی مدولاتور را نشان می‌دهد که به‌صورت تمام-تفاضلی پیاده‌سازی شده است. بخش‌های جلویی آن مربوط به پیاده‌سازی فیلتر IIR با استفاده از مدارات کلید-خازنی و بخش انتهایی شامل کوانتایزر تک بیتی و مدار جمع-کننده ورودی کوانتایزر است. به‌کارگیری ساختار تمام-تفاضلی با حذف هارمونیک‌های زوج در خروجی، باعث افزایش SNDR در مقایسه با ساختار تک سر شده، مصونیت از نویز آن بالاتر رفته و اثرات تغذیه وراگذر کلاک[۲۰] کمتر می‌گردد. در مدولاتور پیشنهادی، کلاک-پالس مورد نیاز کلیدهای نمونه‌برداری شامل دو کلاک غیرهمپوشان اصلی Φ_1 و Φ_2 با تاخیریافته‌های آن است که با اندیس d در شکل (۱۵-ب) مشخص شده است. همچنین چهار کلاک غیرهمپوشان Φ_{s1}، Φ_{s2}، Φ_{h1} و Φ_{h2} جهت کلیدهای به‌کار رفته در مسیرهای بلوک اول و دوم که دارای تاخیر درجه اول و دوم هستند، استفاده شده است. کلاک Φ_c برای ریست‌کردن خروجی مقایسه‌گر مورد استفاده در بلوک کوانتایزر بوده که شبیه به کلاک Φ_1 است ولی کمی زودتر لبه آن بالا می‌رود. کلاک‌های تاخیر یافته مدار به اندازه t_d برابر با ۱۰ نانوثانیه کلیدهای مربوطه را دیرتر خاموش می‌کنند.

در شکل (۱۵-ب)، فرکانس نمونه‌برداری f_s، دوره تناوب کلاک (T_s) را تعیین می‌کند. در بلوک اول، مسیر فیدبک با ضریب a به وسیله خازن C_{h1} تحقق یافته است که در فاز Φ_1 از خروجی نمونه‌برداری می‌کند و در فاز Φ_2 به خازن C_I منتقل می‌کند. مسیر با ضریب b با استفاده از نمونه‌برداری با تاخیر در مسیر فیدبک بوسیله دو مسیر مختلف خازنی C_{h2}، جمله bz^{-2} را از رابطه (۹) تحقق می‌بخشد. قسمت دوم رابطه (۹) مربوط به تابع فیلتر IIR، با طبقه انتهایی ترکیب می‌شود تا در عمل پیاده‌سازی بلوک اول با یک آپ-امپ صورت گیرد. در شبیه‌سازی سیستمی مدولاتور مشخص شد با ۰/۵ درصد عدم تطبیق بین خازن‌های یک مسیر در بلوک اول، مقدار SNDR خروجی حدود ۸۴ دسی‌بل باقی می‌ماند، لذا در صورت رعایت این شرط در زمان پروسه ساخت مداری مدولاتور، اثرات خازن‌های پارازیتی در مسیر باید تاثیری با حداکثر تغییرات ۰/۵ درصد در خازن‌های نمونه‌بردار بلوک اول داشته باشند تا عدم تطبیق بین نسبت خازن‌ها تاثیر کمی در عملکرد مدولاتور داشته باشد.

تمامی کلیدها به جزء چهار کلید قرار گرفته در مسیر سیگنال ورودی مدولاتور که در شکل (۱۵-الف) نیز مشخص شده‌اند، به وسیله کلیدهای گیت انتقال CMOS جایگزین شده‌اند تا اثرات غیرخطی کمتر باشد [۲۰]. اندازه ترانزیستورهای ماسفت کانال N (NMOS) تقریبا ۲/۵ برابر ماسفت کانال P (PMOS) انتخاب شده‌اند و مقدار دقیق اندازه‌ها بر مبنای حداقل کردن اعوجاج هارمونیکی کل[۲۱] (THD) در خروجی نمونه‌بردار بوده است. همچنین همان‌طور که در شکل (۱۵-الف) مشخص است، برای جلوگیری از تاثیر تغییرات سیگنال ورودی بر روی مقاومت حالت وصل چهار کلید ورودی، با یک مدار خودراه‌انداز[۲۲] [۲] روشن می‌شوند. بنابراین مقاومت حالت وصل کلید ورودی با تغییر سیگنال ورودی مدولاتور ثابت و دارای مقدار کوچک باقی می‌ماند.

در ادامه به نحوه انتخاب و طراحی تقویت‌کننده کم‌توان برای استفاده در بلوک اول و دوم مدولاتور پرداخته می‌شود. انتخاب آرایش مناسب برای تقویت‌کننده مهمترین مرحله بهینه‌سازی مصرف توان مدولاتور در سطح مداری است. مشخصه لازم برای طراحی تقویت‌کننده بلوک اول و دوم مدولاتور در جدول (۴) آمده است.

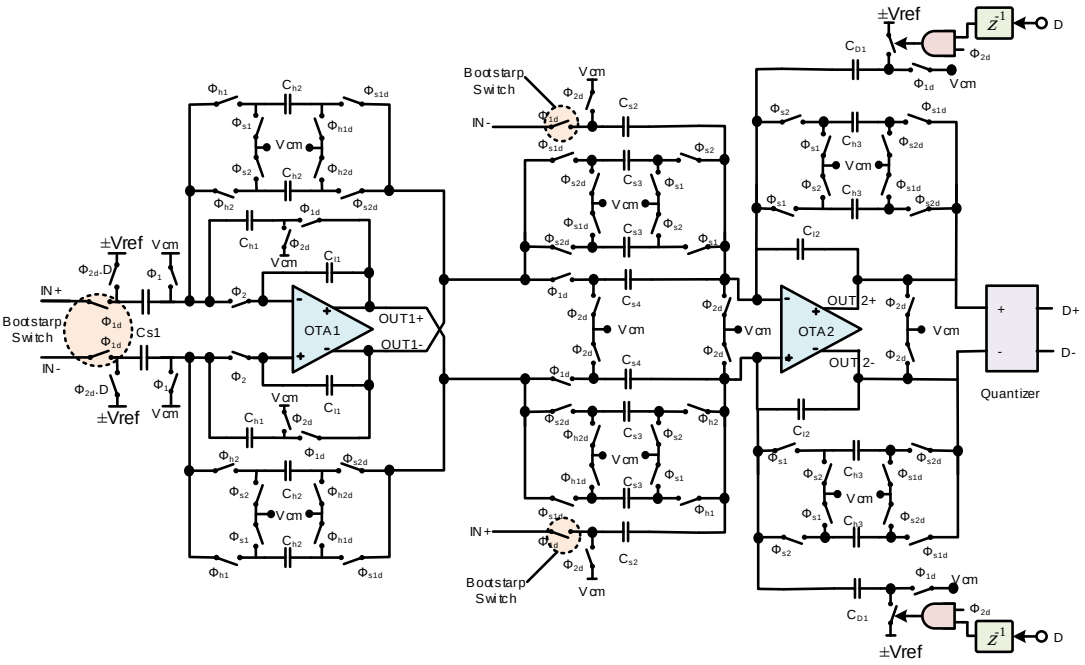
Table (4): Specifications required in the design of the operational amplifier of the first and second blocks

جدول (۴): مشخصات مورد نیاز در طراحی تقویت‌کننده عملیاتی بلوک اول و دوم

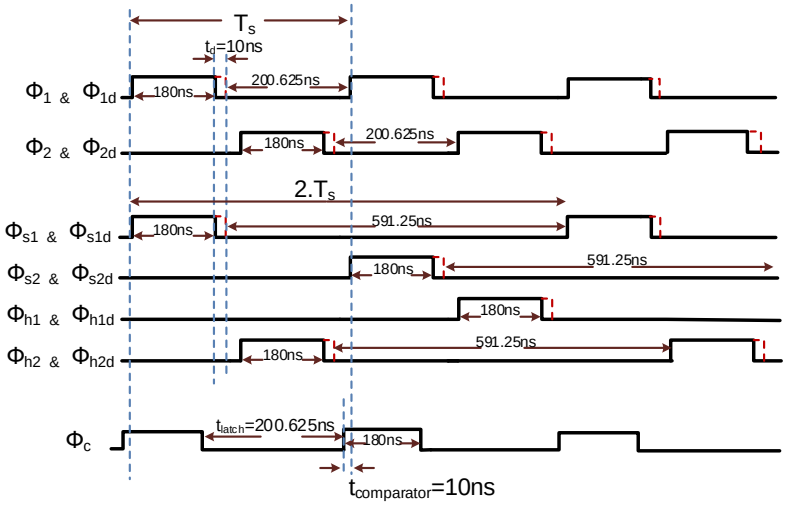
پارامتر	مشخصات تقویت کننده بلوک اول	مشخصات تقویت کننده بلوک دوم
دقت (بیت)	۱۴	۱۰
سوئینگ خروجی (V_p)	۰/۸	۰/۸
بهره DC (dB)	۶۰	۴۰
حداکثر خروجی سیگنال پله تمام-تفاضلی (V)	۱	۱
پهنای باند بهره واحد (MHz)	۳۰	۲۴
ضریب فیدبک حلقه بسته (β)	۰/۲۹۴	۰/۲۸
سرعت چرخش (V/μs)	۲۲	۱۹
خازن بار (pF)	۱/۵	۰/۷

www.SID.ir

Archive of SID



الف) مدار سوئیچ-خازنی تمام-تفاضلی مدولاتور پیشنهادی



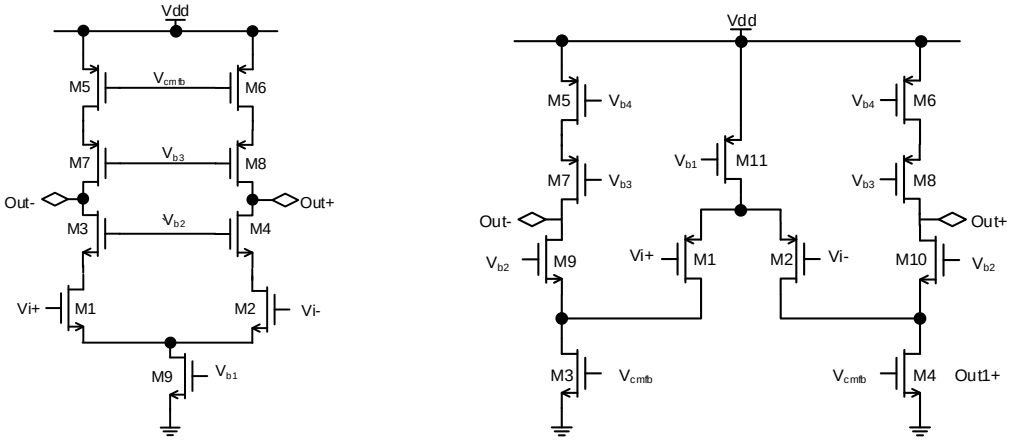
ب) نحوه زمان‌بندی کلاک برای سوئیچ‌های مدولاتور

شکل (۱۵): پیاده سازی مدولاتور سیگما دلتا

Figure (15): Implementation of sigma-delta modulator, a) Fully differential switched-capacitor circuit for proposed modulator, b) Timing diagram of the clock for driving the switches of the modulator

به علت سوئینگ نسبتاً بالا برای بلوک اول، یک تقویت‌کننده عملیاتی فلدد-کاسکود کلاس A، شکل (۱۶-الف)، جهت استفاده در ساختار بلوک اول انتخاب شده است. ترانزیستورهای ورودی، از نوع PMOS جهت افزایش سرعت چرخش تقویت‌کننده و کاهش نویز 1/f به‌کار رفته است [۱۹]. همچنین یک مدار فیدبک مد-مشترک[۲۳] (CMFB) زمان گسسته برای کنترل ولتاژ حالت مشترک خروجی انتخاب شده است و جریان ترانزیستورهای شاخه ورودی و خروجی را تنظیم می‌کند. مدار CMFB از آن جهت نیاز است که امپدانس خروجی بالای تقویت‌کننده با اندکی خطا و انحراف در اثر تغییرات ناشی از فرآیند ساخت، دما و ولتاژ تغذیه، دچار تغییر شده و ولتاژ مد مشترک خروجی به شدت تغییر می‌کند و از مقدار نامی خود فاصله می‌گیرد. از مهمترین ویژگی‌های مدار CMFB کلید-خازنی این است که این مدارات بر روی حداکثر سیگنال ورودی تفاضلی مجاز، محدودیتی ایجاد نمی‌کنند و رفتار خطی بالایی دارند.

www.SID.ir



(ب) تقویت‌کننده تلسکوپیک مورد استفاده در بلوک دوم (الف) تقویت‌کننده عملیاتی فلدد کسکود استفاده شده در بلوک اول

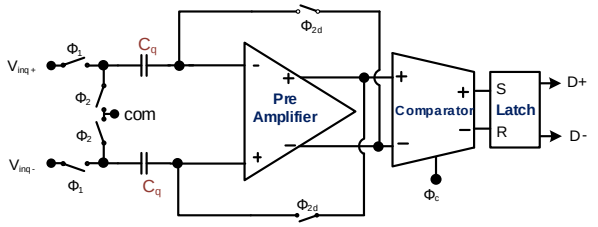
شکل (۱۶): ساختار ترانزیستوری تقویت‌کننده‌های انتخابی برای طبقه‌های مدولاتور

Figure (16): Transistor structure of selective amplifiers for modulator stages, a) Folded-cascade operational amplifier used in the first block, b) Telescopic amplifier used in the second block

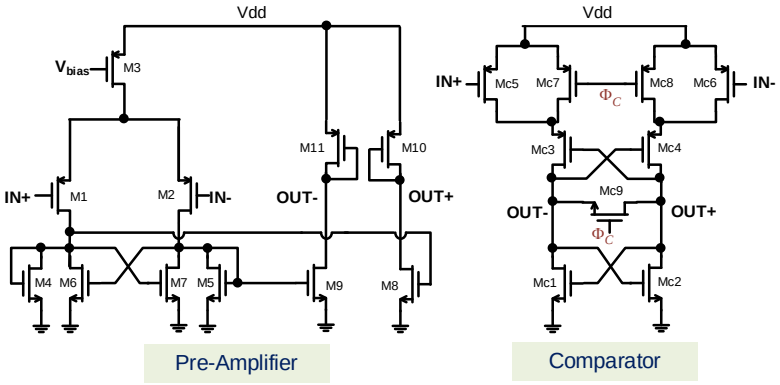
اما برای طبقه دوم نیز از یک تقویت‌کننده تک-طبقه تلسکوپیک[۲۴] استفاده می‌شود، زیرا نیاز به بهره dc و پهنای باند بهره واحد کمتری است. ساختار انتخابی در شکل (۱۶-ب) نشان داده شده است. لازم به ذکر است که دقت نشست این تقویت-کننده کافی است به اندازه یک بیت بیشتر از دقت کوانتایزر باشد اما به علت وجود مسیرهای بسیار در آن و اطمینان از عملکرد درست، مقدار آن معادل ۱۰ بیت دقت گرفته شد. برای تنظیم حالت مشترک خروجی، شبیه بلوک اول از یک مدار CMFB کلید-خازنی استفاده گردید. همچنین، بلوک دیاگرام کوانتایزر تک بیتی استفاده شده در حلقه مدولاتور در شکل (۱۷-الف) آمده است. برای آن‌که مقایسه‌گر بتواند به خوبی تصمیم‌گیری کند از یک طبقه پیش-تقویت‌کننده جهت رساندن ولتاژهای خروجی خود به سطح مناسب استفاده می‌شود و از طرفی مقدار آفست ارجاع داده شده به ورودی کوانتایزر را کاهش دهد. شکل (۱۷-ب) مدار ترانزیستوری پیش-تقویت‌کننده و مقایسه‌گر تمام-تفاضلی به‌کار رفته در کوانتایزر را نشان می‌دهد [۲۱]. توان مصرفی مقایسه‌گر نسبت به ساختارهای مشابه پایین است اما ولتاژ آفست ورودی آن بالا بوده و همان‌طور که در شکل (۱۷-الف) نشان داده شده برای غلبه بر این اثر از یک روش حذف آفست با استفاده از مسیر فیدبک ایجاد شده در فاز Φ_{2d} و خازن C_q، کمک گرفته شده است. در ورودی مقایسه‌گر، از ترانزیستورهای PMOS استفاده شده است زیرا خروجی پیش-تقویت‌کننده دارای ولتاژ مد-مشترک پایینی است. از طرفی زوج‌های ضربدری[۲۵] می‌توانند زمان بازسازی مقایسه‌گر را کمتر کنند. کلاک Φ_c کمی جلوتر از کلاک Φ_1 بالا می‌رود و زمانی که مقدارش بالاست خروجی مقایسه‌گر ریست شده هر تغییری در ورودی مقایسه‌گر، دو سر ترانزیستور M_{c9} ذخیره می‌شود. پس از پایین آمدن کلاک Φ_c، بسته به ورودی مقایسه‌گر خروجی-ها در حالت صفر یا یک قرار می‌گیرند. خروجی کوانتایزر که ۲ سطحی است بعد از آماده شدن به یک مبدل DAC داده می-شود و سیگنال خروجی DAC که مقدار صفر یا ۱/۸ ولت است در ورودی مدولاتور و همچنین کوانتایزر با سیگنال ورودی مقایسه می‌شود. در پیش-تقویت‌کننده برای افزایش بهره کل، یک تقویت‌کننده ولتاژ دو طبقه استفاده شده است. در طبقه اول آن ترانزیستورهای M_4 تا M_7 به‌عنوان بار فعال عمل کرده و یک مقاومت شبهه-بی‌نهایت نسبت به درین M_1 دارد که منجر به افزایش بهره ولتاژ می‌شود. جریان بایاس آن توسط ترانزیستور M_3 تولید می‌شود. طبقه دوم پیش‌تقویت‌کننده، یک مدار ساده سورس مشترک با بار فعال بوده که به‌صورت تفاضلی بسته شده است. در جدول (۵) مقدار طول و عرض هر ترانزیستور در مدار تقویت‌کننده‌های بلوک اول، دوم و مدار مربوط به مقایسه‌گر آمده است. لازم به ذکر است که قسمت‌های دیگر کوانتایزر همانند مدار RS فلیپ فلاپ و گیت های AND به علت سادگی، در اینجا آورده نشده‌اند.

www.SID.ir

Archive of SID



(الف) بلوک دیاگرام کوانتایزر تک بیتی در حلقه مدولاتور



(ب) مدار مقایسه‌گر به همراه پیش‌تقویت‌کننده قبل از آن

شکل (۱۷): نحوه تحقق کوانتایزر تک بیتی

Figure (17): Realization of single-bit quantizar, a) Block diagram of single-bit quantizer in modulator loop, b) Comparator circuit with preamplifier before it

Table (5): Length and width of transistors of the first and second block operating amplifier and comparator circuit

جدول (۵): اندازه طول و عرض ترانزیستورهای مدار تقویت‌کننده عملیاتی بلوک اول و دوم و مدار مقایسه‌گر (برحسب میکرو)

اندازه ترانزیستورهای تقویت کننده عملیاتی بلوک ۱						
Tr.	M1, M2	M3, M4	M5, M6	M7, M8	M9, M10	M11
Size (W/L)	۱/۶ – ۰/۱۸	۰/۹ – ۰/۳	۱ - ۰/۲۵	۶ - ۰/۱۸	۱ - ۰/۱۸	۳ - ۰/۱۸
اندازه ترانزیستورهای تقویت کننده عملیاتی بلوک دوم						
Tr.	M1, M2	M3, M4	M5, M6	M7, M8	M9	
Size (W/L)	۲ - ۰/۱۸	۳ - ۰/۱۸	۲ - ۰/۵	۲/۸ – ۰/۲۵	۰/۹ – ۰/۵	
اندازه ترانزیستورهای پیش تقویت‌کننده						
Tr.	M1, M2	M3	M4, M5	M6, M7	M8, M9	M11, M10
Size (W/L)	۲/۲۵ – ۰/۱۸	۵ - ۰/۱۸	۰/۹ – ۰/۱۸	۵ - ۰/۱۸	۱ - ۰/۱۸	۰/۷۵ – ۰/۵
اندازه ترانزیستورهای مقایسه‌کننده						
Tr.	Mc1, Mc2	Mc3, Mc4	Mc5, Mc6	Mc7, Mc8	Mc9	
Size (W/L)	۲ (۰/۵ – ۰/۱۸)	۰/۲۵ – ۰/۱۸	۰/۹ – ۰/۱۹	۰/۹ – ۰/۱۸	۲ (۱– ۰/۱۸)	

۵- شبیه‌سازی در سطح مداری و بررسی نتایج

در این قسمت به بررسی شبیه‌سازی‌های مداری انجام گرفته بر روی مدولاتور پیاده‌سازی شده در محیط اچ-اسپایس با تکنولوژی استاندارد TSMC 0.18µm اشاره می‌شود. شبیه‌سازی در سطح مداری زمان‌بر است و لازم است حتماً از درستی عملکرد تمام قسمت‌های مدار اطمینان حاصل شود. برای مشاهده درستی عملکرد یک مدولاتور و بررسی طیف خروجی آن و مقایسه با شبیه‌سازی سیستمی، با ایجاد یک پیوند از طریق برنامه متلب، متغیرهای لازم از درون فایل مورد نظر که از شبیه-سازی اچ-اسپایس به‌دست می‌آید، فراخوانده شده و به‌صورت متغیرهای قابل قبول در محیط متلب تعریف می‌شوند [۲۲]. با توجه به زمان‌بر بودن شبیه‌سازی مداری، تعداد نقاط لازم برای کار با دستور FFT برابر ۴۰۹۶ انتخاب شده است. جهت اطمینان از درستی محاسبات مربوط به طیف خروجی فرکانس سیگنال ورودی مورد آزمایش باید دارای شرط زیر باشد:

www.SID.ir

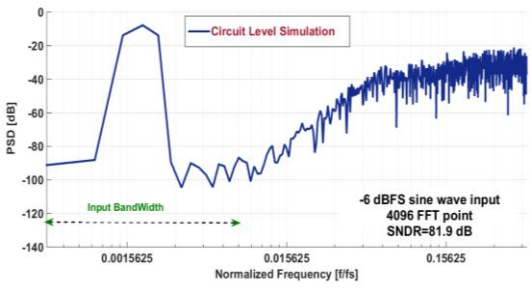
$$f_{in} = \frac{P}{N} \times f_s \quad (۲۰)$$

که f_{in} و f_s به‌ترتیب فرکانس سیگنال ورودی و نمونه‌برداری و N تعداد نقاط FFT است. P نسبت به N باید اول باشد و طوری انتخاب می‌شود که فرکانس ورودی و هارمونیک‌های سوم و پنجم آن در باند فرکانسی ورودی قرار گیرند. پنجره مناسب که جهت گرفتن FFT استفاده شده، پنجره هنینگ[۲۶] بوده که برای شبیه‌سازی سیستمی توسط مرجع [۱۳] نیز پیشنهاد شده است. بر این اساس، شبیه‌سازی مدار مدولاتور انجام شد که در آن فرکانس سیگنال ورودی ۱/۸۷۵ کیلوهرتز و دامنه آن ۶- دسیبل تمام-مقیاس، گرفته شد. فرکانس نمونه‌برداری ۲/۵۶ مگاهرتز و نرخ بیش-نمونه‌برداری برابر ۶۴ است. مقدار SNDR که فقط شامل نویز کوانتیزاسیون و هارمونیک بوده و نویز حرارتی در آن منظور نشده است، برای خروجی ۴۰۹۶ نقطه‌ای برابر ۸۳/۹ دسی‌بل در دمای ۲۷ درجه سانتی‌گراد شده است. با توجه به رابطه زیر اثر نویز حرارتی نیز در SNDR به‌دست آمده، لحاظ می‌گردد.

$$SNDR = \frac{P_{sig}}{P_{noise} + P_q} \quad (۲۱)$$

که در آن P_{sig} توان سیگنال ورودی، P_{nosie} توان نویز حرارتی و P_q توان نویز کوانتیزاسیون و هارمونیک‌های خروجی است. توان نویز کوانتیزاسیون با هارمونیک خروجی، برابر $۱/۰۰۲\times۱۰^{-۹}$ برای SNDR به‌دست آمده به ازای توان نویز برابر صفر است. با استفاده از رابطه (۱۱) مقدار نویز حرارتی مدولاتور برای خازن C_s برابر با ۰/۵ پیکوفاراد برابر ۹۵/۸- دسیبل می‌گردد. با جای-گذاری مقادیر فوق در رابطه (۲۱) مقدار SNDR کل تقریباً برابر ۸۲/۸ دسی‌بل می‌شود. شکل (۱۸) طیف خروجی مدولاتور را با در نظر گرفتن نویز مداری در شبیه‌سازی مداری، نشان می‌دهد که در آن مقدار SNDR حاصل‌شده برابر ۸۱/۹ دسی‌بل گردیده که تقریباً با مقدار محاسبه‌شده از رابطه (۲۱) برابر است. به ازای این SNDR، مقدار بیت موثر خروجی[۲۷] (ENOB) برابر ۱۳/۳۲ بیت می‌گردد. مقدار محدوده پویایی نیز حدود ۸۸ دسی‌بل حاصل شده است. در ادامه، آنالیز گوشه‌های مختلف پروسس[۲۸] جهت بررسی حساسیت مدولاتور طراحی‌شده به ازای تغییرات دما و منبع تغذیه انجام شد. برای منبع تغذیه، محدوده تغییرات ۱۰ درصد از ولتاژ نامی خود در نظر گرفته شده است (مقدار ۱/۹۵ و ۱/۷۵ ولت). تغییرات دما به ازای دو مقدار ۲۰- و ۱۰۰ درجه انجام شد. نتایج شبیه‌سازی برای تمام گوشه‌های پروسس در جدول (۶) آمده است. نتایج این شبیه-سازی نشان می‌دهد تغییرات دما و تغذیه مدار اگرچه بر روی کارایی هر یک از طبقات مدار تاثیر می‌گذارد، اما در مجموع مدولاتور پیاده‌سازی شده عملکرد قابل قبولی در محدوده دمایی ۲۰- تا ۱۰۰ و تغذیه ۱/۷۵ تا ۱/۹۵ ولت از خود نشان می‌دهد و حساسیت کمی نسبت به اثرات نامطلوب محیطی دارد و درست بودن طراحی مداری را تائید می‌کند. خلاصه عملکرد مدولاتور در محیط اچ-اسپایس به همراه نتایج شبیه‌سازی چند مرجع دیگر، در جدول (۷) آمده است. برای مقایسه بهتر بین کارهای انجام شده از معیار شایستگی والدن[۲۹] (FOM) که با رابطه (۲۲) تعریف می‌شود، استفاده می‌گردد [۲]. بر اساس این رابطه، مقدار معیار شایستگی والدن هر چقدر کمتر باشد، عملکرد مدولاتور مطلوب‌تر خواهد بود. نکته‌ای که در استفاده از رابطه (۲۲) برای مقایسه بین ساختارها وجود دارد عدم تاثیر مرتبه مدولاتور در این رابطه است.

$$FOM = \frac{Power}{(2\times BW\times 2^{(\frac{SNDR-1.76}{6.02})})} \quad (۲۲)$$



شکل (۱۸): چگالی طیف توان سیگنال خروجی مدار مدولاتور در شبیه‌سازی مداری
Figure (18): Power spectrum density of the modulator output in circuit-level simulation

www.SID.ir

Archive of SID

Table (6): Comparison of the results of different process corners in the modulator

جدول (۶): مقایسه نتایج گوشه‌های مختلف پروسس در مدولاتور مورد نظر

پارامتر / گوشه	سریع-آهسته	آهسته-آهسته	آهسته-سریع	سریع-سریع
ولتاژ تغذیه (ولت)	۱/۹۵	۱/۷۵	۱/۷۵	۱/۹۵
دما (ºC)	۱۰۰	۱۰۰	-۲۰	-۲۰
سیگنال به نویز و اعوجاج (dB)	۸۱/۳	۸۰/۹	۸۲/۱	۸۲/۸

در این مقاله، برای اولین بار رابطه (۲۳) به‌عنوان معیار شایستگی، برای مقایسه منطقی‌تر بین ساختارها، پیشنهاد می‌شود که در آن L به‌عنوان مرتبه مدولاتور سیگما-دلتا در رابطه FOM والدن اضافه شده است. این معیار، درک بهتری برای مقایسه ساختارها با مرتبه‌های مختلف، به‌دست می‌دهد که نتایج در جدول (۷) آمده است.

$$\text{FOM(proposed)} = \frac{\text{Power}}{(2\times \text{BW}\times 2^{(\frac{\text{SNDR-1.76}}{6.02})})\times \text{L}} \qquad (۲۳)$$

جدول (۷) نشان می‌دهد ساختار پیشنهادی عملکرد مناسبی دارد. در ساختار ارایه شده، کاهش سوئینگ خروجی طبقات در فیلتر حلقه مدولاتور و همچنین تعداد تقویت‌کننده عملیاتی مورد نیاز، عامل اصلی معیار شایستگی کمتر نسبت به ساختارهای مشابه است که همه، به علت استفاده از فیلتر IIR در حلقه مدولاتور و همچنین افزایش مرتبه شکل‌دهی نویز مدولاتور بدون نیاز به تقویت‌کننده بیشتر، حاصل شده است. همچنین یکی از علت‌هایی که مرجع‌های [۲] و [۶] توان مصرفی پایینی دارند، استفاده از مدار انتگرال‌گیر مبتنی بر اینورتر به جای تقویت‌کننده عملیاتی است که توان مصرفی به مراتب کمتری دارد اما این کار باعث می‌شود دقت خروجی به مراتب کمتر از ساختارهای مبتنی بر تقویت‌کننده گردد. دلیل اینکه توان مصرفی مدولاتور پیشنهادی از اکثر مرجع‌های دیگر جدول (۷) بیشتر بوده این است که ساختار پیشنهادی، مرتبه ۳ است و تنها با دو تقویت-کننده پیاده‌سازی می‌شود، لذا مسیرهای بیشتری به تقویت‌کننده‌ها متصل می‌شود که منجر به بار خازنی بزرگتر در خروجی هر بلوک شده و در نتیجه جریان بزرگ‌تری از منبع کشیده می‌شود. در ازای این هزینه، مدولاتور پیشنهادی از بقیه ساختارهای مورد مقایسه، SNDR و دقت موثر به مراتب بهتری دارد که همین مساله باعث شده است تا معیار شایستگی کمتری از خود نشان دهد.

Table (7): Results of modulator implementation and comparison with other similar works

جدول (۷): نتایج پیاده‌سازی مدولاتور و مقایسه با سایر کارهای مشابه

مشخصه	روش پیشنهادی	[۲]	[۶]	[۸]	[۲۳]
توپولوژی	تک-حلقه مرتبه ۳ زمان-گسسته	تک-حلقه مرتبه ۲ زمان-گسسته	تک-حلقه مرتبه ۴ زمان-گسسته	تک-حلقه مرتبه ۲ زمان-گسسته	تک-حلقه مرتبه ۳ زمان-گسسته
فرکانس نمونه‌برداری (MHz)	۲/۵۶	۲/۵۶	۰/۳۲	۱/۲۸	۲/۰۴۸
پهنای باند (KHz)	۲۰	۱۰	۱۰	۲۰	۲۰
نرخ بیش-نمونه‌برداری	۶۴	۱۲۸	۱۶	۳۲	۵۱/۲
SNDR (dB)	۸۱/۹	۶۴	۷۴/۲	۷۲/۵	۶۰/۸
بیت موثر خروجی (bit)	۱۳/۳۲	۱۰/۳۳	۱۲/۰۳	۱۱/۷۶	۹/۸۱
منبع تغذیه (V)	۱/۸	۱	۱/۸	۱/۲	۰/۵
توان مصرفی (µW)	۵۲	۵/۱۱	۳۶	۱۶۵	۴۳/۴
فناوری (CMOS)	۰/۱۸µm	۰/۱۸µm	۰/۱۸µm	۰/۱۳µm	۶۵nm
معیار شایستگی والدن (fJ/conv.step)	۱۲۶/۹	۱۹۷	۴۲۶/۸	۱۱۹۷	۱۲۱۱
معیار شایستگی پیشنهادی (fJ/conv.step)	۴۲/۳	۹۸/۵	۱۰۶/۷	۵۹۸/۵	۴۰۳/۶

www.SID.ir

Archive of SID

۴- نتیجه‌گیری

در این مقاله، یک ساختار عمومی مرتبه L+1 برای مدولاتور سیگما- دلتای تک-حلقه با رویکرد کم توان بودن و دقت بالا به کمک ترکیب روش نویز تزویج شده و ساختار اعوجاج-پایین ارایه گردید. به‌منظور تشریح بهتر ساختار پیشنهادی، یک مدولاتور مرتبه ۳، طراحی و با تکنولوژی ۱۸۰ نانومتر CMOS پیاده‌سازی شد. استفاده از فیلتر IIR در حلقه مدولاتور سبب شد تا بتوان با ارایه یک پیکربندی جدید در تحقق بلوک‌های فیلتر حلقه، تعداد تقویت‌کننده‌های عملیاتی مورد نیاز آن و در نتیجه توان مصرفی کل مدولاتور کاهش یابد و در مقایسه با ساختارهای مشابه عملکرد خروجی مناسبی از خود نشان دهد. شبیه‌سازی‌های سیستمی و مداری انجام شده درستی روش پیشنهادی را اثبات کرد. شبیه‌سازی مداری مدولاتور با نرخ بیش‌نمونه‌برداری ۶۴، انجام شد که SNDR نهایی برابر ۸۱/۹ دسی‌بل، دقت موثر ۱۳/۳۲ بیت و توان مصرفی برابر ۱۲۶/۹ میکروات به‌دست آمد. همچنین مقدار معیار شایستگی با رابطه پیشنهادی، برابر ۴۳/۳ فِمتو ژول بر گام تبدیل گردید.

References

مراجع

[1] K. Nam, S. Lee, D. Su, A. Wooley, "A low-voltage low-power sigma-delta modulator for broadband analog-to-digital conversion", IEEE Journal of Solid-State Circuits, vol. 40, no. 9, pp. 1855-1864, Sep 2005 (doi**:** 10.1109/JSSC.2005.852161).

[2] S. Alizadeh Zanjani, A. Jannesari, P. Torkzadeh, "Design and simulation of ultra-low-power sigma-delta converter using the fully differential inverter-based amplifier for digital hearing aids application", Journal of Intelligent Procedures in Electrical Technology, vol. 13, no. 51, pp. 75-90, Dec 2022 (in Persian) (dor: 20.1001.1.23223871.1401.13.51.5.8).

[3] M. Taghizadeh, S. Sadughi, "Improved unity-STF sturdy MASH ΣΔ modulator for low-power wideband applications", Electronics Letters, vol. 51, no. 23, pp. 1941-1942, Oct. 2015 (doi: 10.1049/el.2015.1976).

[4] J.A. Torreño, S. Paton, L. Conesa-Peraleja, L. Hernandez, D. Straeussnigg, "A noise coupled ΣΔ architecture using a non uniform quantizer", Proceeding of the IEEE/NORCAS, pp. 1-4, Oslo, Norway, Oct. 2015 (doi: 10.1109/NORCHIP.2015.7364400).

[5] A.P. Perez, E. Bonizzoni, F. Maloberti, "A 84dB SNDR 100 kHz bandwidth low-power single op-Amp third-order ΔΣ modulator consuming 140μW", Proceeding of the IEEE/ISSCC, pp. 478-480, San Francisco, USA, Feb 2011 (doi: 10.1109/ISSCC.2011.5746405).

[6] V. Sharma, Y.B.N. Kumar, M.H. Vasantha, "36 μW fourth order sigma-delta modulator using single operational amplifier", International Journal of Electronics Letters, vol. 9, no. 2, pp. 171-186, Jan. 2021 (doi: 10.1080/21681724.2020.1717003).

[7] X. Meng, Y. Zhang, T. He and G.C. Temes, "Low-distortion wideband delta-sigma ADCs with shifted loop delays", IEEE Trans. on Circuits and Systems, vol. 62, no. 2, pp. 376–384, Feb. 2015 (doi: 10.1109/TCSI.2-014.2362972).

[8] J.R. Custódio, J. Goes, N. Paulino, J.P. Oliveira, E. Bruun, "A 1.2-V 165μW 0.29-mm 2 multibit sigma-delta ADC for hearing aids using nonlinear DACs and with over 91 dB dynamic-range", IEEE Trans. on Biomed. Circuits and Systems, vol. 7, no. 3, pp. 376-385, June 2013 (doi: 10.1109/TBCAS.2012.22 038-19).

[9] M.C. Huang, S.I. Liu, "A fully-differential comparator based switched-capacitor delta-sigma modulator", IEEE Trans. on Circuits and Systems, vol. 56, no. 5, pp. 369-373, May 2009 (doi: 10.1109/TCSII.2009.201-9166).

[10] M. Zamani, M. Taghizadeh, M. Naser. Moghadasi, B.S. Virdee, "A 5th-order ΣΔ modulator with combination of op-amp and CBSC circuit for ADSL applications", Analog Integrated Circuits and Signal Processing, vol. 62, no. 1, pp. 143–150, Sept. 2011 (doi: 10.1007/s10470-011-9763-x).

[11] J. Silva, U. Moon, J. Steensgaard, G. Temes, "Wideband low distortion delta-sigma ADC topology", Electronics Letters, vol. 37, no. 12, pp. 737–738, June 2001 (doi: 10.1049/el:20010542).

[12] K. Lee, J. Chae, M. Aniya, K. Hamashita, K. Takasuka, S. Takeuchi, G.C. Temes, "A noise-coupled time-interleaved ΔΣ ADC with 4.2MHz BW, -98dB THD, and 79dB SNDR", IEEE Solid-State Circuit Journal, vol. 43, no. 12, pp. 2601-2612, Dec. 2008 (doi:10.1109/JSSC.2008.2006311).

[13] R. Schreier, G.C. Temes, "Understanding delta-sigma data converters", Wiley/IEEE Press, 2005.

14] J. Markus, G.C. Temes, "An efficient ΔΣ ADC architecture for low oversampling ratios", IEEE Trans. on Circuits and Systems, vol. 51, no. 1, pp. 63-71, Jan. 2004 (doi: 10.1109/TCSI.2003.821280).

[15] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato, A. Baschirotto, "Behavioral modeling of switched-capacitor sigma-delta modulators", IEEE Trans. on Circuits and Systems, vol. 50, no. 3, pp. 352-364, Mar 2003 (doi: 10.1109/TCSI.2003.808892).

www.SID.ir

Archive of SID

[16] S. Rabii, B. Wooley, "A 1.8V digital-audio sigma-delta Modulator in 0.8μm CMOS", IEEE Journal of Solid-State Circuits, vol. 32, no. 6, pp. 783-796, June 1997 (doi: 10.1109/4.585245).
[17] J. Ruı´z-Amaya, J.M. Rosa, F.V. Ferna´ndez, F. Medeiro, R. del Rı´o, B. Pe´rez-Verdu´, A. Rodrı´guez-Va´zquez, "High-level synthesis of switched-capacitor, switched-current and continuous-time ΣΔ modulators using SIMULINK-based time-domain behavioral models", IEEE Trans. on Circuits and Systems, vol. 52, no. 9, pp. 1795–1810, Sept. 2005 (doi: 10.1109/TCSI.2005.852479).
[18] M. Yavari, O. Shoaei, "Low-voltage low-power fast settling CMOS operational transconductance amplifiers for switched-capacitor applications", IEEE Proceeding Circuits, Devices and Systems, vol. 151, no. 6, pp. 573-578, Dec. 2004 (doi: 10.1109/LPE.2003.1231910).
[19] S.M.A. Zanjani, M. Parvizi, "Design and simulation of a bulk driven operational trans-conductance amplifier based on CNTFET technology", Journal of Intelligent Procedures in Electrical Technology, vol. 12, no. 45, pp. 65-76, Spring 2021 (in Persian) (dor: 20.1001.1.23223871.1400.12.1.5.1).
[20] N. Chamanpira, S.M.A. Zanjani, M. Dolatshahi, "Design and simulation of a new sample and hold circuit with a resulation of 12-bit and a sampling rate of 1 GS/s using a dual sampling technique", Journal of Intelligent Procedures in Electrical Technology, vol. 9, no. 34, pp. 3-10, Aug. 2018 (in Persian) (dor: 20.1001.1.23223871.1397.9.34.1.2).
[21] M. Taghizadeh, S. Sadughi, M. Sharifkhani, "Optimal design of low-power high-resolution unity-STF S-MASH sigma delta modulator for telecommunication applications", Electronic and Cyber Defense, vol. 7, no. 2, pp. 13-24, Summer 2019 (in Persian).
[22] A. K. Varma, M. Steer and P. D. Franzon, "Improving behavioral IO buffer modeling based on IBIS", IEEE Transactions on Advanced Packaging, vol. 31, no. 4, pp. 711-721, Nov. 2008, (doi: 10.1109/TADVP.2008.2004995).
[23] J.E. Park, Y.H. Hwang, D.K. Jeong, "A 0.4-to-1 V voltage scalable delta-sigma ADC with two-step hybrid integrator for IoT sensor applications in 65-nm LP CMOS", IEEE Trans. on Circuits and Systems, vol. 64, no. 12, pp. 1417-1421, Dec 2017 (doi: 10.1109/TCSII.2017.2753841).

زیرنویس‌ها

1. Over-sampling ratio
2. Noise-coupled
3. Operational amplifier
4. Dynamic range
5. Low-distortion
6. Infinite impulse response
7. Distributed weighted feed forward
8. Noise transfer function
9. Finite impulse response
10. Signal to quantization noise ratio
11. Signal transfer function
12. Slewing
13. Swing
14. Signal to noise and distortion ratio
15. Power spectral density
16. Switched capacitor circuits
17. Coefficients mismatching
18. Slew rate
19. Unity gain bandwidth
20. Clock feedthrough
21. Total harmonic distortion
22. Bootstrap
23. Common-mode feedback
24. Single-stage telescopic
25. Cross coupled
26. Hanning windowing
27. Effective number of bit
28. Process corner analysis
29. Walden figure of merit

www.SID.ir