پیشنهاد و بررسی ساختارهای جدید برای FET ساخته‌شده با نانوتیوب کربنی

رحیم فائز و سید ابراهیم حسینی

چکیده: معادله جریان- ولتاژ برای یک ترانزیستور FET ساخته‌شده با نانوتیوب کربنی معمولی با پیوند شاتکی سورس و درین مورد بررسی قرار گرفته و محدودیت‌های عملکرد آن در مدارهای آنالوگ بررسی شده است. این بررسی نشان می‌دهد که ناحیه اشباع در مشخصه خروجی کوچک است. سپس چند ساختار جدید برای افزایش این ناحیه پیشنهاد شده و عملکرد آنها با هم مقایسه شده است.

کلید واژه: **نانوتیوب کربنی، مدار آنالوگ، بهبود منحنی جریان- ولتاژ، CNT، FET.**

۱- مقدمه

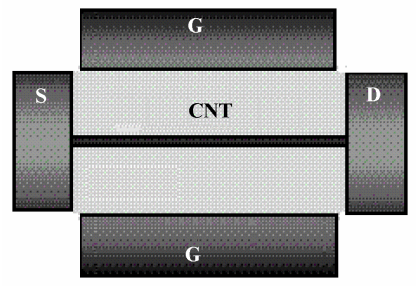
نانوتیوب کربنی چنددیواره برای اولین بار در سال ۱۹۹۱ ساخته شد [۱]. دو سال بعد، در سال ۱۹۹۳ نانوتیوب تک‌دیواره با قابلیت اطمینان خوب ساخته شد [۲] و [۳]. قطر نانوتیوب‌های کربن بین ۰٫۷ تا ۱۰۰ نانومتر است ولی معمولاً با قطر حدود نانومتر ساخته می‌شوند. طول یک نانوتیوب کربنی از چند نانومتر تا حدود یک میکرومتر قابل ساخت است. با توجه به اینکه طول یک نانوتیوب بسیار بیشتر از قطر آن است، میدان الکتریکی بزرگی در نوک تیوب تشکیل و با اعمال ولتاژ کم الکترون تشعشع می‌شود. به این دلیل یکی از کاربردهای تیوب‌های کربنی تشعشع الکترون است [۴]. یک نانوتیوب کربنی چنددیواره به صورت استوانه‌های داخل هم است که نیروی بین استوانه‌ها کم بوده و استوانه‌ها به آسانی نسبت به هم جابجا می‌شوند. این امر باعث می‌شود که دیواره‌ها با فرکانس بسیار بالا و در حد چند THz نوسان کنند [۵]. همچنین موبیلیتی نانوتیوب‌های کربنی بسیار زیاد بوده و می‌تواند بیشتر از $۱۰^{۵}\mathrm{cm}^{۲}\mathrm{V}^{-۱}\mathrm{s}^{-۱}$ باشد [۶]. این خصوصیات کاربردهای بالقوه زیادی را برای این تیوب‌ها ایجاد نموده است [۷] تا [۱۲].

یک نانوتیوب کربنی ممکن است خاصیت نیمه‌هادی یا فلز داشته باشد. بنابراین می‌توان هم بخش‌های فلزی و هم بخش‌های نیمه‌هادی یک عنصر الکترونیکی را با این تیوب‌ها ساخت. در سلول واحد یک نانو تیوب، دو بردار پایه عمود بر هم تعریف می‌شود. اگر نانو تیوب را باز کرده و دو نقطه‌ای که به هم وصل بوده‌اند را با یک بردار نشان دهیم این بردار را می‌توان در جهت دو بردار پایه تصویر کرد. اندازه این دو بردار به صورت دو عدد (n,m) مشخص می‌شود [۱۳] و [۱۴]. قطر نانوتیوب از رابطه زیر محاسبه می‌شود [۱۴]

این مقاله در تاریخ ۱۲ بهمن ماه ۱۳۸۴ دریافت و در تاریخ ۱۱ آذر ماه ۱۳۸۵ بازنگری شد.

رحیم فائز، دانشکده مهندسی برق، دانشگاه صنعتی شریف، تهران، ایران (email: faez@sharif.ac.ir).

سید ابراهیم حسینی، گروه برق و کامپیوتر، دانشکده فنی و مهندسی، دانشگاه تربیت معلم سبزوار، سبزوار، ایران (email: ehosseini@sttu.ac.ir).



شکل ۱: ساختمان یک CNTFET.

$$d = \frac{a_0}{\pi}\sqrt{n^2 + nm + m^2} \qquad (۱)$$

که $a_0 = ۰٫۲۴۶\ \mathrm{nm}$ می‌باشد. رابطه سطوح انرژی نانوتیوب به صورت زیر است [۱۴]

$$E_q(k) = \pm\gamma_0\sqrt{۱ + ۴\cos(\frac{q\pi}{N_x} - \frac{N_y k a_0}{۲N_x})\cos(\frac{k a_0}{۲}) + ۴\cos^2(\frac{k a_0}{۲})} \qquad (۲)$$

که $\gamma_0 = ۳٫۱\ \mathrm{ev}$ است. چنانچه $n-m$ ضریب ۳ باشد، نانوتیوب خاصیت فلزی و در غیر این صورت خاصیت نیمه‌هادی پیدا می‌کند.

۲- انتقال الکترون در CNT

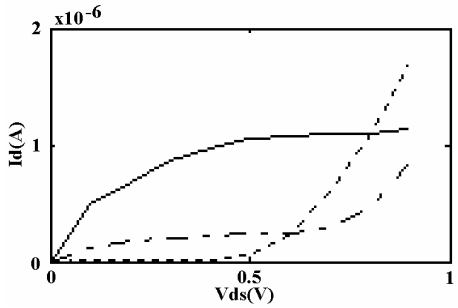
برای بررسی عملکرد یک CNT و بدست‌آوردن منحنی جریان-ولتاژ آن، معادله پواسن و معادله شرودینگر به صورت متوالی حل می‌شوند، بدین صورت که ابتدا معادله پواسون حل می‌شود. سپس با استفاده از پتانسیل بدست‌آمده معادله شرودینگر حل می‌گردد و از چگالی حامل محاسبه‌شده برای حل دوباره معادله پواسون استفاده می‌شود. این عمل آنقدر تکرار می‌شود تا جواب پایدار به دست آید. در این تحقیق یک نانوتیوب (۰ و ۱۶) [۱۵] مورد بررسی قرار گرفته است. این تیوب فاصله گاف مناسب برای ساخت ادوات نیمه‌هادی دارد. در این نانوتیوب شعاع $R_t = ۰٫۶۳\ \mathrm{nm}$ و فاصله گاف $E_g = ۰٫۶۲\ \mathrm{ev}$ است. همچنین طول آن $L_t = ۲۰\ \mathrm{nm}$ و ضریب دی‌الکتریک $\varepsilon_t = ۱$ است. فرض می‌شود دور تیوب عایقی با ضریب دی‌الکتریک $\varepsilon_{ins} = ۲۵$ و ضخامت $L_t = ۲٫۵\ \mathrm{nm}$ اضافه شده و سپس فلز گیت نشانده شده است. ضریب دی‌الکتریک ۲۵ مربوط به زیرکونیم است که در ساخت ترانزیستورهای نانوتیوب کربنی به کار می‌رود [۱۵]. همچنین فرض می‌شود که اتصال فلز به سورس و درین پیوند شاتکی تشکیل می‌دهد که در آن $\Phi_m = ۰٫۳\ \mathrm{ev}$ و $\chi_{cn} = ۴٫۲\ \mathrm{ev}$ است. شکل ۱ ساختمان ترانزیستور FET با کانال CNT را نشان می‌دهد.

معادله پواسون با تقارن استوانه‌ای، به صورت دوبعدی عبارت است از

$$\frac{\partial^2 V}{\partial \rho^2} + \frac{۱}{\rho}\frac{\partial V}{\partial \rho} + \frac{\partial^2 V}{\partial z^2} = -\frac{Q}{\varepsilon} \qquad (۳)$$

Archive of SID

www.SID.ir



شکل ۲: جریان بر حسب ولتاژ درین برای ولتاژهای گیت، ۰٫۲ ولت (نقطه‌چین)، ۰٫۴ ولت (خط نقطه) و ۰٫۶ ولت (خط پر).

که ρ در جهت شعاع تیوب و z در جهت محور آن و Q بار الکتریکی سطح تیوب است که باید از حل معادله شرودینگر به دست آید. برای حل معادله پواسون از بسط تفاضل مرکزی استفاده می‌شود. شرایط مرزی در مرز تماس با فلزها به صورت زیر است

$$V(R_g;z)=V_{GS}-V_{MS} \qquad (۴)$$

$$V(\rho;\cdot)=-V_{MS} \qquad (۵)$$

$$V(\rho;L_t)=V_{DS}-V_{MS} \qquad (۶)$$

که $V_{MS}=(\Phi_m-\chi_{cn})/q$ و R_g شعاع عایق گیت است. در $\rho=\cdot$ فرض می‌شود که میدان الکتریکی در جهت ρ صفر باشد یا

$$\frac{\partial V}{\partial \rho}(\cdot,z)=\cdot \qquad (۷)$$

همچنین در نزدیک محور تیوب با استفاده از قاعده هوپیتال، معادله پواسون را می‌توان به صورت زیر نوشت

$$\frac{1}{\rho}\frac{\partial V}{\partial \rho}\approx\frac{\partial^2 V}{\partial \rho^2} \qquad (۸)$$

بار Q در همه جا صفر است و فقط در سطح وجود دارد، بنابراین داریم

$$Q=\frac{q(p-n)}{2\pi}\frac{\delta(\rho-R_t)}{\rho} \qquad (۹)$$

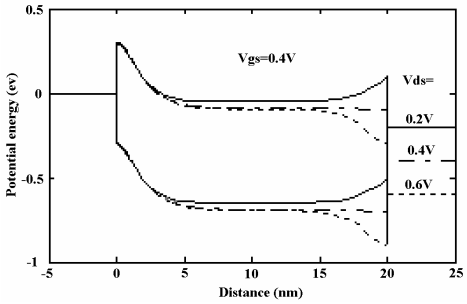
کمیت‌های n و p به ترتیب چگالی الکترون و حفره هستند که تابع z بوده و از حل معادله شرودینگر به دست می‌آیند. با توجه به پیوستگی فلوی الکتریکی در محل تماس عایق گیت با تیوب داریم

$$\varepsilon_{ins}\left.\frac{\partial V}{\partial \rho}\right|_{R_t^+}-\varepsilon_t\left.\frac{\partial V}{\partial \rho}\right|_{R_t^-}=-\frac{q(p-n)}{2\pi R_t} \qquad (۱۰)$$

وقتی معادله شرودینگر حل می‌شود از برخوردها صرف‌نظر شده است و در حقیقت فرض شده است که طول متوسط برخورد بزرگتر از طول نانوتیوب است. این فرض در نانوتیوب‌ها صحیح است. هدف از حل معادله شرودینگر محاسبه Ψ و احتمال عبور می‌باشد و در نتیجه حل یک‌بعدی معادله شرودینگر در جهت z کافی است. معادله شرودینگر یک‌بعدی به صورت زیر نوشته می‌شود

$$\frac{\partial^2 \Psi}{\partial z^2}=-\frac{2m}{\hbar^2}(E-U)\Psi \qquad (۱۱)$$

که E انرژی الکترون یا حفره و U انرژی پتانسیل است که برای الکترون برابر $-qV$ و برای حفره برابر $qV+E_g$ است. این معادله نیز با روش تفاضل مرکزی حل می‌شود. در خارج از تیوب جواب معادله شرودینگر برابر است با



شکل ۳: سطوح انرژی بر حسب فاصله برای ولتاژ گیت ۰٫۴ ولت و ولتاژهای درین، ۰٫۲ ولت (خط پر)، ۰٫۴ ولت (خط نقطه) و ۰٫۶ ولت (نقطه‌چین).

$$\Psi=\begin{cases}Ae^{ik_S z}+Be^{-ik_S z} & z<\cdot\\ Ce^{ik_D z}+De^{-ik_D z} & z>L_t\end{cases} \qquad (۱۲)$$

در حالتی که موج از طرف سورس شروع شده و وارد درین می‌شود $A=1$ و $D=\cdot$ و در حالت عکس $D=1$ و $A=\cdot$ می‌شود. در حالتی که موج از سورس شروع می‌شود ضریب نرمالیزه‌کننده برابر است با

$$|N_S|^2=\frac{2mf_S}{\pi\hbar^2 k_S} \qquad (۱۳)$$

و ضریب عبور، با احتساب ضریب ۲ به خاطر اسپین الکترون برابر خواهد بود با

$$T=\frac{k_D}{k_S}|C|^2 \qquad (۱۴)$$

پس از محاسبه تابع موج، چگالی الکترون و حفره از روابط زیر محاسبه می‌شود

$$n(z)=\int_{E_n}^{\infty} dE(|N_S|^2|\Psi_{e,S}|^2+|N_D|^2|\Psi_{e,D}|^2) \qquad (۱۵)$$

$$p(z)=\int_{E_h}^{\infty} dE(|N_S|^2|\Psi_{h,S}|^2+|N_D|^2|\Psi_{h,D}|^2) \qquad (۱۶)$$

زیرنویس‌های D و S نشان‌دهنده محل شروع موج است. معادله جریان از سورس به درین به صورت زیر است [۱۶]

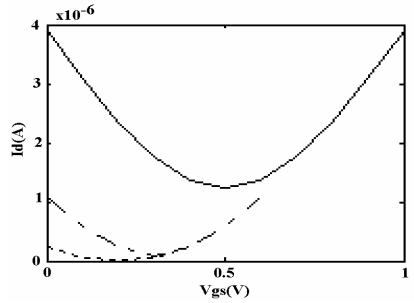
$$I^{n,p}=\frac{4q}{\hbar}\int dE[f_S^{n,p}(E)-f_D^{n,p}(E)]TC^{n,p}(E) \qquad (۱۷)$$

این جریان را باید برای الکترون و حفره جداگانه محاسبه و با هم جمع کرد.

۳- بررسی منحنی جریان- ولتاژ

شکل ۲ منحنی جریان درین بر حسب ولتاژ درین (Vds) را برای ولتاژهای گیت (Vgs) مختلف نشان می‌دهد. مشخصه ترانزیستور تا ولتاژ $Vds=0.6$ V مشابه ترانزیستورهای FET معمولی است و ناحیه خطی و اشباع در آن دیده می‌شود. اما در ولتاژ درین بیشتر جریان درین افزایش زیادی می‌یابد. این افزایش ناشی از افزایش زیاد جریان حفره است. برای بررسی این موضوع به شکل ۳ توجه می‌کنیم. در حالت $Vds=0.2$ V الکترون‌ها برای عبور از سورس و درین باید از سدهای طرف سورس و درین عبور کنند. با توجه به اینکه سطح فرمی در طرف سورس بالاتر از طرف درین قرار دارد، احتمال وجود الکترون‌های با انرژی زیاد در طرف سورس بیشتر از طرف درین خواهد بود. در نتیجه جهت اصلی حرکت الکترون‌ها از سورس به درین است. هرچه ولتاژ درین بزرگتر شود سد

Archive of SID
www.SID.ir



شکل ۴: جریان بر حسب ولتاژ گیت برای ولتاژهای درین، ۰٫۴ ولت (نقطه‌چین)، ۰٫۶ ولت (خط نقطه) و ۱٫۰ ولت (خط پر).

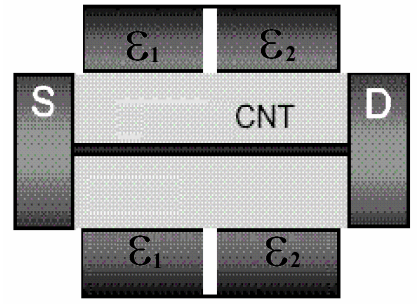
طرف درین کوچکتر شده الکترون‌های بیشتری می‌توانند پس از تونل‌زدن از میان سد سورس وارد درین شوند و در نتیجه جریان بیشتر می‌شود. در یک ولتاژ مشخص Vds ارتفاع سد طرف درین صفر می‌شود. اگر ارتفاع سد شاتکی نصف شکاف انرژی تیوب باشد این صفرشدن سد در ولتاژ $Vds = Vgs$ اتفاق می‌افتد. با توجه به اینکه شکل ۳ برای $Vgs = ۰٫۴\ \mathrm{V}$ رسم شده است، در $Vds = ۰٫۴\ \mathrm{V}$ سد طرف درین صفر می‌شود. در ولتاژ درین بیشتر، تعداد الکترون‌هایی که تونل می‌زنند به مقدار جزئی افزایش می‌یابد.

برای بررسی حرکت حفره‌ها باید سد طرف درین را مورد بررسی قرار داد. تا ولتاژ $Vds = Vgs$ این سد پهن بوده و ارتفاع آن بزرگ می‌باشد و مؤلفه حفره جریان ناچیز است. با زیادترشدن ولتاژ درین ارتفاع سد ثابت مانده ولی باریک‌تر می‌شود. در نتیجه احتمال عبور حفره‌ها بیشتر شده، مؤلفه جریان حفره زیاد خواهد شد. در ولتاژ $Vds = ۲Vgs$ مؤلفه‌های جریان الکترون و حفره با هم برابر می‌شود. اگر ولتاژ درین از این مقدار هم بیشتر شود، جریان حفره غالب شده و به صورت نمایی با ولتاژ زیاد می‌شود.

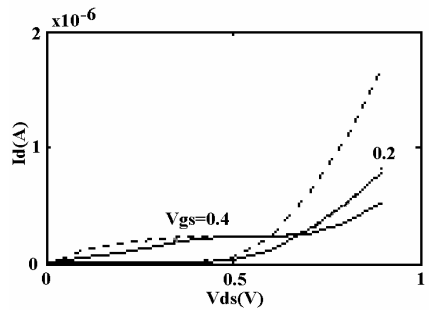
حال به تغییرات جریان درین با ولتاژ Vgs برای یک Vds ثابت توجه می‌کنیم. در ولتاژ $Vds = ۲Vgs$ سدهای مربوط به الکترون و حفره مشابه هم بوده و مؤلفه‌های جریان الکترون و حفره با هم برابر می‌شود. اگر Vgs کمتر از $Vds/۲$ (یا Vds بیشتر از $۲Vgs$) شود سد طرف سورس پهن‌تر و سد طرف درین باریک‌تر شده و در نتیجه مؤلفه جریان حفره‌ها بیشتر و مؤلفه جریان الکترون‌ها کمتر می‌شود. با توجه به اینکه تغییرات این مؤلفه‌های جریان با ولتاژ به صورت نمایی است، جریان حفره غالب شده و جریان کل به طور نمایی زیاد می‌شود. اگر Vgs بیشتر از $Vds/۲$ شود سد طرف سورس باریک‌تر و سد طرف درین پهن‌تر شده و در نتیجه مؤلفه الکترون جریان غالب گشته و جریان کل به طور نمایی زیاد می‌شود. بنابراین، همان‌طور که شکل ۴ نشان می‌دهد، در ولتاژ $Vds = ۲Vgs$ جریان مینیمم است.

٤- پیشنهاد ساختارهای جدید

یکی از اشکالات این ترانزیستور این است که برای Vgs کم افزایش نمایی جریان درین در ولتاژ درین کم اتفاق می‌افتد و باعث می‌شود که برای کاربردهای آنالوگ محدوده عمل ولتاژ کم باشد. بزرگ‌بودن ناحیه اشباع ترانزیستور هم در کاربردهای آنالوگ و هم در کاربردهای دیجیتال اهمیت دارد، زیرا در هر دو کاربرد می‌توان ولتاژ تغذیه بزرگتری را به کار برد. در کاربردهای آنالوگ، افزایش ناحیه اشباع باعث می‌شود بتوان دامنه نوسان بزگ‌تر و در نتیجه توان بیشتر به دست آورد. در کاربردهای دیجیتال نیز افزایش ولتاژ تغذیه، حاشیه امنیت نویز را افزایش می‌دهد. در ترانزیستوری که بررسی شد، کوچک‌بودن ناحیه اشباع از آنجا ناشی



(الف)



(ب)

شکل ۵: (الف) ساختمان ترانزیستور و (ب) منحنی جریان–ولتاژ درین برای ترانزیستور معمولی (نقطه‌چین) و ترانزیستور ساخته‌شده با روش اول (خط پر).

می‌شود که در ولتاژ درین زیاد، دیود سمت درین فعال شده و جریان حفره مهم می‌شود. برای رفع این اشکال باید کاری کرد که دیود شاتکی طرف درین کمتر فعال شود. برای بهبود مشخصه خروجی ترانزیستور، چهار ساختار مختلف پیشنهاد شده است که در ادامه بررسی می‌شوند.

٤-١ روش اول: انتخاب عایق نیمه‌طرف درین گیت با ضریب دی‌الکتریک کمتر

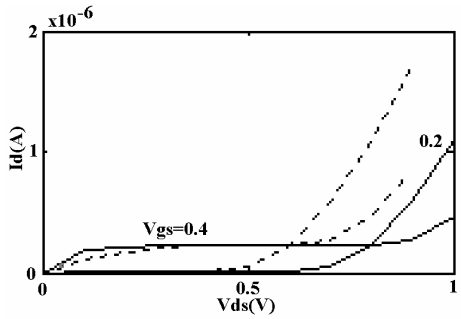
در یک ترانزیستور اثر میدان، هرچه ضریب دی‌الکتریک عایق گیت بیشتر باشد، اثر گیت بر کانال بیشتر خواهد بود. با در نظر گرفتن این نکته، می‌توان ساختاری را پیشنهاد نمود که در آن عایق گیت در نزدیکی درین ضریب دی‌الکتریک کمتر داشته باشد. بنابراین فرض می‌کنیم طول گیت ترانزیستوری به دو بخش تقسیم شده و عایق نیمه طرف درین از یک ماده با ضریب دی‌الکتریک کمتر انتخاب شود. با این کار در طرف درین خازن ضعیف‌تری بین فلز گیت و تیوب ایجاد شده و ولتاژ گیت، در طرف درین اثر کمتری بر کانال دارد. شکل ۵–الف ساختار ترانزیستور و شکل ۵–ب منحنی جریان–ولتاژ را برای حالتی نشان می‌دهد که ضریب دی‌الکتریک عایق طرف درین برابر ۵ انتخاب شده است (۵ برابر کمتر از ضریب دی‌الکتریک عایق طرف سورس). در این شکل ناحیه اشباع بزرگ‌تری نسبت به حالت قبل دیده می‌شود. لازم به ذکر است که در تکنولوژی ساخت، عایق‌هایی با ضریب دی‌الکتریک بین ۱ تا بیش از ۵۰ وجود داشته و به کار می‌رود. از نظر ساخت، نشاندن دو عایق متفاوت روی ترانزیستور، نیاز به یک فرآیند اضافه دارد و همچنین به دلیل محدودیت‌های لیتوگرافی، حداقل طول ترانزیستور قابل ساخت افزایش می‌یابد.

٤-٢ روش دوم: انتخاب فلز گیت با تابع کار کمتر در نیمه طرف درین

در این ساختار عایق گیت یکنواخت فرض می‌شود، اما فرض می‌شود هادی گیت از دو ماده مختلف تشکیل شده باشد، بطوری که در نیمه

Archive of SID

www.SID.ir



شکل ۶: منحنی جریان–ولتاژ درین برای ترانزیستور معمولی (نقطه‌چین) و ترانزیستور ساخته‌شده با روش دوم (خط پر).

سمت درین فلزی با تابع کار کمتر باشد. این امر باعث می‌شود که به ازای ولتاژ مساوی گیت پتانسیل الکتریکی کمتری در طرف درین گیت تشکیل شود. همانطور که شکل ۶ نشان می‌دهد اگر تابع کار فلز طرف درین ۰٫۲ ev کمتر از تابع کار فلز طرف سورس باشد، منحنی جریان–ولتاژ به اندازه ۰٫۲ V جابجا می‌شود و محدوده عمل به همین اندازه بهبود پیدا می‌کند. استفاده از دو فلز مختلف برای هادی گیت، در ترانزیستورهای اثر میدان سیلیکنی نیز پیشنهاد شده و ساخته شده است و سبب کاهش اثرات طول کانال کوچک شده است. بنابراین ساخت ترانزیستور اثر میدان نانوتیوب کربنی به روش پیشنهادی کاملاً امکان‌پذیر است. البته نشاندن دو فلز مختلف بر روی گیت همانند روش اول نیاز به فرآیند اضافه دارد.

٤-۳ روش سوم: نشاندن فلز گیت تنها در نیمه طرف سورس

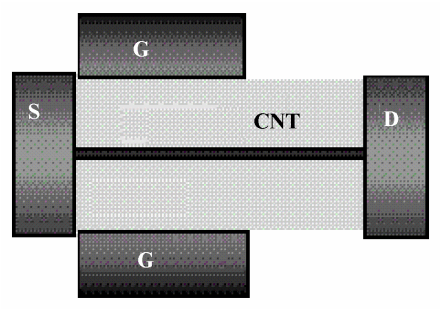
این ساختار مشابه ساختار قبلی است، با این تفاوت که فلز گیت در سمت درین حذف می‌شود. با این کار اثر ولتاژ گیت در طرف درین تیوب کاهش زیادی می‌یابد. شکل ۷–الف ساختار ترانزیستور و شکل ۷–ب منحنی جریان–ولتاژ برای این ساختار را نشان می‌دهد. بهبود منحنی جریان در این حالت خیلی بهتر از دو روش قبلی بوده و از لحاظ پروسه ساخت هم راحت‌تر از دو روش قبلی است. همچنین خازن گیت–درین کوچک‌تر است که در کاربردهای فرکانس بالا اهمیت زیادی دارد.

٤-۳ روش چهارم: انتخاب عایق گیت نیمه طرف درین با ضریب دی‌الکتریک کمتر و ننشاندن فلز روی آن

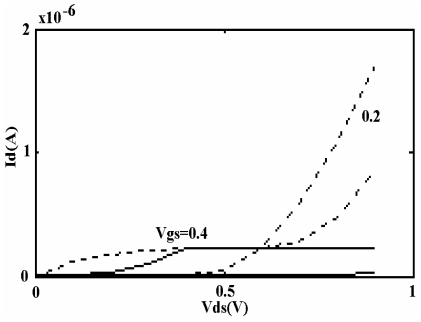
این روش، ترکیب روش‌های ۱ و ۳ است. در این حالت مزایای روش‌های اول و سوم با هم به دست می‌آید و همانطور که شکل ۸ نشان می‌دهد از روش قبلی بهتر است. از لحاظ فرآیند ساخت، پیچیدگی این روش همانند روش اول است، زیرا ننشاندن بخشی از فلز گیت نیازی به فرآیند اضافه ندارد.

۵- خلاصه و نتیجه‌گیری

در این مقاله معادله جریان– ولتاژ برای یک ترانزیستور FET ساخته‌شده از نانوتیوب کربنی شرح داده شد. این معادله برای یک ترانزیستور معمولی به دست آمد و دیده شد که ناحیه اشباع ترانزیستور کوچک است، بنابراین برای کاربردهای آنالوگ محدوده عمل *Vds* کم است. برای افزایش این محدوده چهار ساختار مختلف پیشنهاد شده و مورد بررسی قرار گرفت. از بین ساختارهای ارائه‌شده، روش‌های سوم و چهارم بهتر از دو روش دیگر هستند. از لحاظ پروسه ساخت روش سوم راحت‌تر از روش‌های دیگر می‌باشد.

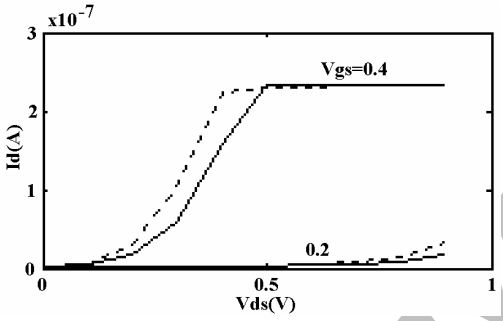


(الف)



(ب)

شکل ۷: جریان بر حسب ولتاژ درین برای ترانزیستور معمولی (نقطه‌چین) و ترانزیستور ساخته‌شده با روش سوم (خط پر).



شکل ۸: جریان بر حسب ولتاژ درین برای ترانزیستور ساخته شده با روش سوم (نقطه چین) و ترانزیستور ساخته شده با روش چهارم (خط پر).

مراجع

[1] S. Iijima, "Helical microtubules of graphitic carbon," *Nature,* vol. 354, no. 6348, pp. 56-58, 7 Nov. 1991.

[2] S. Iijima and T. Ichihashi, "Single-shell carbon nanotubes of 1nm diameter," *Nature,* vol. 363, no. 6023, pp. 603-605, 1993.

[3] D. S. Bethune, C. H. Kiang, M. S. DeVries, G. Gorman, R. Savoy, and R. Beyers, "Cobalt-catalysed growth of carbon nanotubes with single-atomic-layer walls," *Nature,* vol. 363, no. 6023, pp. 605-607, 1993.

[4] M. Wang, Z. H. Li, X. F. Shang, X. Q. Wang, and Y. B. Xu, "Field-enhancement factor for carbon nanotube array," *J. of Applied Physics*, vol. 98, 014315, pp. 1-4. 13 Jul. 2005.

[5] P. Liu, Y. W. Zhanga, and C. Lu, "Oscillatory behavior of gigahertz oscillators based on multiwalled carbon nanotubes," *J. of Applied Physics*, vol. 98, 014301, pp. 1-4. 1 Jul. 2005.

[6] T. Dürkop, B. M. Kim, and M. S. Fuhrer, "Properties and applications of high-mobility semiconducting nanotubes," *J. Phys.: Condens. Matter*, vol. 16, pt. 18, pp. R553-R580, 2004.

[7] J. Appenzeller, J. Knoch, M. Radosavljevic´, and Ph. Avouris, "Multimode transport in Schottky-barrier carbon-nanotube field-effect transistors," *Physical Review Letters* 92, no. 22, pp. 226802-1-226802-4, 2004.

[8] J. Guo, S. Datta, and M. Lundstrom, "A numerical study of scaling issues for schottky-barrier carbon nanotube transistors," *IEEE Trans. on Electron Devices*, vol. 51, no. 2, pp. 172-177, Feb. 2004.

Archive of SID
www.SID.ir

[9] M. Pourfath, *et al*., "Separated carrier injection control in carbon nanotube field-effect transistors," *J. of Applied Physics*, vol. 97, no. 10, pp. 106103-106103-3, 2005.
[10] H. Kajiura, A. Nandyala, and A. Bezryadin, "Quasi-ballistic electron transport in as-produced and annealed multiwall carbon nanotubes," *Carbon*, vol. 43, no. 6, pp. 1317-1319, 2005.
[11] J. Knoch, S. Mantl, and J. Appenzeller, "Comparison of transport properties in carbon nanotube field-effect transistors with Schottky contacts and doped source/drain contacts," *Solid-State Electronics,* vol. 49, no. 1, pp.73-76, Jan. 2005.
[12] S. Hasan, J. Guo, M. Vaidyanathan, M. A. Alam, and M. Lundstrom, "Monte carlo simulation of carbon nanotube devices," in *Proc. of 10th Int. Workshop on Computational Electronics,* pp. 190-191, *West Lafayette,* 24-27 Oct. 2004.
[13] J. W. Janssen, *Spatially Resolved Spectroscopy on Carbon Nanotubes*, Delft University Press, 2001.
[14] V. N. Popov, "Carbon nanotubes: properties and application," *Materials Science and Engineering,* vol. 43, no. 3, pp. 61-102, 15 Jan. 2004.
[15] J. P. Clifford, D. L. John, L. C. Castro, and D. L. Pulfrey, " Electrostatics of electronics of partially gated carbon nanotube FETs," *IEEE Trans. on Nanotech.*, vol. 3, no. 2, pp. 281-286, Jun. 2004.
[16] S. Datta, *Electronic Transport in Mesoscopic Systems*, Cambridge University Press, 1995.

رحیم فائز در سال ۱۳۵۶ مدرک کارشناسی خود را از دانشگاه صنعتی شریف دریافت نمود و تحصیلات خود در مقاطع کارشناسی ارشد و دکتری مهندسی برق به ترتیب در سال‌های ۱۳۵۸ و ۱۳۶۴ از دانشگاه UCLA آمریکا به پایان رسانده است و هم‌اکنون استاد دانشکده مهندسی برق دانشگاه صنعتی شریف می‌باشد. نامبرده قبل از پیوستن به دانشگاه صنعتی شریف در سال‌های ۱۳۶۴ الی ۱۳۶۵ استادیار دانشگاه صنعتی بوده است. زمینه‌های تحقیقاتی مورد علاقه نامبرده شامل شبیه‌سازی ادوات میکرومتری و نانومتری می‌باشد.

سید ابراهیم حسینی در سال‌های ۱۳۷۱ مدرک کارشناسی مهندسی برق خود را از دانشگاه صنعتی اصفهان و در سال ۱۳۷۴ مدرک کارشناسی ارشد مهندسی برق را از دانشگاه تربیت مدرس دریافت نمود. پس از آن به دوره دکترای مهندسی برق- الکترونیک در دانشگاه صنعتی شریف وارد و در سال ۱۳۸۰ موفق به اخذ درجه دکترا در مهندسی برق از دانشگاه مذکور گردید. دکتر حسینی در سال ۱۳۸۰ در دانشکده مهندسی برق دانشگاه شاهرود مشغول به فعالیت گردید. سپس در سال ۸۴ به دانشگاه تربیت معلم سبزوار پیوست و اینک نیز عضو هیأت علمی دانشکده فنی آن دانشگاه می‌باشد. زمینه‌های علمی مورد علاقه نامبرده عبارتند از: انتقال الکترون در ادوات نیمه‌هادی، پدیده‌های کوانتومی در ادوات نیمه‌هادی، شبیه‌سازی نیمه‌هادی‌ها و روش‌های عددی.

Archive of SID

www.SID.ir