Archive of SID

علوم و مهندسی کامپیوتر
نشریه علمی پژوهشی انجمن کامپیوتر ایران
مجلد ۱۲، شماره ۱ (الف)، ۱۳۹۳
صفحات ۱۰-۲۰
مقاله عادی

کاهش اثرات تغییرپذیری پارامترها در شبکه روی تراشه با استفاده از روش آگاه از تغییرپذیری

محمد میرزایی مهدی مصفا سیامک محمدی

دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران، تهران، ایران

چکیده

در تراشه‌های چندپردازنده‌ای[۱] برای ارتباط هسته‌ها از شبکه روی تراشه[۲] استفاده می‌گردد. با کاهش ابعاد در تکنولوژی‌های جدید، بدلیل وجود تغییرپذیری در فرایند ساخت، پارامترهای افزاره[۳] ساخته شده تا حدودی متفاوت با زمان طراحی می‌شود، از این رو کارآیی[۴] کاهش می‌یابد. در این مقاله ابتدا یک بستر[۵] مبتنی بر اسپایس[۶] برای بررسی اثرات تغییرپذیری فرایند[۷] قالب- به- قالب[۸] و درون- قالب[۹] و تغییرپذیری محیطی[۱۰] روی شبکه روی تراشه ناهمگام سراسری همگام محلی[۱۱] ارائه نموده‌ایم و یک الگوریتم آگاه از تغییرپذیری به بستر اضافه نمودیم. با استفاده از این بستر می‌توان مقادیری از پارامترهای زمان طراحی را یافت که موجب کاهش توان و تغییرپذیری گردد. با توجه به نتایج حاصل از اعمال الگوریتم ارائه شده روی یک مسیریاب[۱۲]، توان و حاصل‌ضرب- توان- تاخیر[۱۳] به میزان ۳۰.۳۲٪ و ۲۵.۹۶٪ کاهش یافته و تاخیر ۶.۲۶٪ افزایش می‌یابد. هم‌چنین اعمال روش فوق موجب کاهش قابل توجه تغییرات توان، تاخیر و حاصل‌ضرب- توان- تاخیر در حضور تغییرپذیری قالب- به- قالب و درون- قالب می‌گردد.

کلمات کلیدی: تغییرپذیری پارامتر، شبکه روی تراشه ناهمگام، روش آگاه از تغییرپذیری.

۱- مقدمه

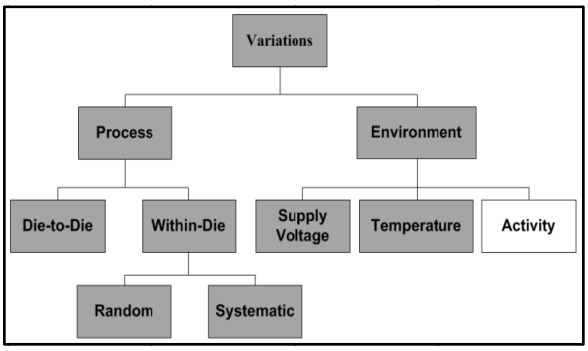
در پردازنده‌های امروزی به جای افزایش فرکانس یک پردازنده، تعداد هسته‌های روی قالب[۱۴] را افزایش می‌دهند. از این رو برای افزایش کارایی پردازنده‌ها با در نظر گرفتن محدودیت توان مصرفی، تراشه‌های چندپردازنده‌ای انتخاب معمول می‌باشند. به عنوان مثال می‌توان به پردازنده چند هسته‌ای ارائه شده توسط اینتل[۱۵] اشاره کرد که دارای ۸۰ هسته در تکنولوژی ۶۵ نانومتر می‌باشد [۱]. با توجه به تعداد هسته‌های بالا در این پردازنده‌ها، امکان استفاده از گذرگاه[۱۶] و شبکه تقاطع[۱۷] به دلیل مشکل مقیاس‌پذیری وجود ندارد. به همین دلیل برای مقابله با این مشکل از شبکه روی تراشه استفاده می‌گردد. براساس [۲] استفاده از شبکه روی تراشه برای ارتباط بین تعداد هسته‌های زیاد راه‌کار مورد قبول طراحان بوده و امکان مجتمع‌سازی[۱۸] بیشتر را فراهم می‌نماید.

با توجه به کاهش ابعاد ترانزیستورها در تکنولوژی‌های جدید، امکان مجتمع‌سازی افزایش یافته و تعداد اجزای[۱۹] موجود روی یک قالب افزایش می‌یابد که این مجتمع‌سازی موجب به خطر افتادن قابلیت اطمینان طراحی می‌گردد. در این حالت تغییرپذیری فرایند به یکی از چالش‌های طراحان مبدل شده؛ به طوری که در تکنولوژی‌های زیر ۴۵ نانومتر مهم‌ترین عامل عدم‌اطمینان، تغییرپذیری می‌باشد [۳-۴]. با توجه به شکل ۱، تغییرپذیری به دو دسته‌ی تغییرپذیری پارامترهای فرایند ساخت و تغییرپذیری پارامترهای محیطی تقسیم می‌شوند. تغییرپذیری فرایند، در طول فرایند ساخت رخ می‌دهد و عموما دائمی می‌باشد که این تغییرات بدلیل محدودیت‌های فرآوری[۲۰] و پوشش‌گذاری[۲۱] رخ می‌دهد. تغییرپذیری محیطی، در طول کار یک مدار خود را نشان می‌دهد و این نوع تغییرپذیری شامل دما، ضریب فعالیت[۲۲] و ولتاژ تغذیه می‌باشد [۵-۶]. تغییرپذیری فرایند ساخت به دو گروه درون- قالب و قالب- به- قالب تقسیم می‌شوند. در تغییرپذیری درون- قالب تغییرات می‌تواند اثرات متفاوتی روی سطح یک قالب ایجاد نماید مثلا بدلیل نوسانات تصادفی ناخالصی[۲۳]، ولتاژ آستانه در سطح یک قالب یکسان نبوده و در قسمت‌های مختلف آن متفاوت می‌باشد. تغییرپذیری قالب-به- قالب اثر یکسانی روی سطح یک قالب داشته اما این اثرات از یک قالب

www.SID.ir

Archive of SID

به قالب دیگر متفاوت است. مثلا بدلیل تفاوت در ضخامت یک ویفر[۲۴]، ولتاژ آستانه‌ی دو قالب مجاور با هم متفاوت بوده و این در حالیست که در سطح هر قالب ولتاژ آستانه دارای مقدار ثابتی می‌باشد [۷-۸].



شکل ۱- تغییرپذیری پارامترها [۶]

تغییرپذیری روی تاخیر شبکه روی تراشه تاثیر قابل توجهی دارد و از این رو مسیریاب‌ها، اتصالات میانی و واحدهای عملیاتی در حضور تغییرپذیری، با فرکانس‌های متفاوتی کار می‌کنند [۹-۱۰]. برای مقابله با مشکل وجود فرکانس‌های مختلف در شبکه روی تراشه، پایه‌ای ترین روش، در نظر گرفتن فرکانس کندترین المان در مدار به عنوان فرکانس کل می‌باشد. این روش با توجه به اثر قابل توجه تغییرپذیری بر روی فرکانس در تکنولوژی‌های جدید، موجب کاهش چشمگیری در کارایی شبکه می‌گردد [۱۱]. راهکار دیگر برای مقابله با مشکل فوق، استفاده از شبکه روی تراشه ناهمگام سراسری همگام محلی می‌باشد [۱۲]. در این روش هر واحد عملیاتی به صورت همگام و با حداکثر فرکانس ممکن خود کار می‌کند، اما ارتباط بین آن‌ها به صورت ناهمگام می‌باشد. قابلیت استفاده مجدد از واحدهای عملیاتی، بستار زمان‌بندی ساده شده و توان مصرفی پایین‌تر نسبت به شبکه روی تراشه همگام معادل با آن، از مزایای بالقوه این معماری هستند. با توجه به عدم وجود پالس ساعت سراسری[۲۵]، مشکلاتی همچون انحراف پالس ساعت[۲۶] و توزیع پالس ساعت سراسری در سطح شبکه، تعدیل شده است [۱۳]. هر چند این شبکه‌ها نیز در حضور تغییرپذیری، دچار مشکلات عملکردی و زمان‌بندی می‌شوند.

با توجه به مطالب مطرح شده، در این مقاله قصد داریم تا اثرات تغییرپذیری فرایند قالب- به- قالب، درون- قالب و تغییرپذیری محیطی را که در شکل ۱ با رنگ خاکستری مشخص شده است، بر روی مسیریاب ناهمگام یک شبکه روی تراشه ناهمگام سراسری همگام محلی در تکنولوژی ۳۲ نانومتر مدل تکنولوژی پیش‌بینی‌شده[۲۷]، مورد ارزیابی قرار دهیم [۱۴]. براساس [۱۵] اثر پارامترهایی همچون ولتاژ آستانه (V_{TH})، ضخامت اکسید گیت (T_{OX}) طول و پهنای ترانزیستورهای نوع N و P (W_N، L_N، W_P، L_P)، دما و ولتاژ تغذیه (V_{DD}) بر روی توان، تاخیر و حاصل‌ضرب- توان- تاخیر مورد بررسی قرار گرفته است (در ادامه مقاله لغت پارامتر به این موارد اشاره می‌کند).

۱-۱- نوآوری‌ها

۱) یک بستر مبتنی بر اسپایس برای بررسی اثرات تغییرپذیری فرایند قالب-به- قالب و درون- قالب و تغییرپذیری محیطی روی شبکه روی تراشه ناهمگام سراسری همگام محلی ارائه نموده‌ایم که قابلیت مقیاس‌پذیری برای تمامی تکنولوژی‌ها را دارا می‌باشد. جزئیات بیشتر در بخش ۳ ارائه شده است.

۲) یک الگوریتم آگاه از تغییرپذیری به بستر اضافه شده است. هدف از این کار یافتن مقادیر مناسبی برای پارامترهای زمان طراحی است که موجب کاهش توان و تغییرپذیری مسیریاب می‌گردد. با استفاده از بستر ذکر شده، دو روش با رویکرد کم توان[۲۸] و کاهش تغییرپذیری ارائه نموده‌ایم. روش اول اندازه‌بندی ترانزیستور آگاه از تغییرپذیری[۲۹] (VATS) نام داشته که با در نظر گرفتن پارامترهای W_P، W_N، L_P و L_N گیت‌های پایه، پیکربندی‌هایی از مسیریاب ارائه می‌نماید که موجب کاهش توان و تغییرپذیری می‌گردند. روش دوم ولتاژ تغذیه دوگانه آگاه از تغییرپذیری[۳۰] (VADVD) نام دارد که علاوه بر کاهش توان و تغییرپذیری، به گونه‌ای طراحی شده که نیاز به تبدیل کننده سطح ولتاژ[۳۱] نداشته باشد. در بخش ۴ به تشریح روش‌های فوق خواهیم پرداخت.

۳) برای نشان دادن کارایی بستر و روش‌های ارائه شده، از مسیریاب ناهمگام یک شبکه روی تراشه ناهمگام سراسری همگام محلی با نام ASPIN در تکنولوژی ۳۲ نانومتر استفاده شده است. اگرچه روش‌های VATS و VADVD موجب کاهش تغییرپذیری می‌شوند ولی عملکرد روش VADVD در حضور تغییرپذیری بهتر است. هم‌چنین روش فوق موجب کاهش قابل توجه تغییرات توان، تاخیر و حاصل‌ضرب-توان-تاخیر در حضور تغییرپذیری قالب-به-قالب و درون- قالب می‌گردد. جزئیات بیشتر در بخش ۵ ارائه شده‌اند.

۲- کارهای انجام شده

در [۹] روشی جهت بررسی اثرات تغییرپذیری فرایند درون-قالب، بر روی تاخیر لینک‌های[۳۲] شبکه روی تراشه برای تکنولوژی‌های ۴۵ نانومتر تا ۱۶ نانومتر ارائه شده است. در این روش، ابتدا براساس مجموعه‌ی ورودی‌ها در زمان طراحی (همانند جانمایی[۳۳] شبکه روی تراشه، محدودیت‌های زمانی لینک، محدودیت توان لینک و اطلاعاتی در مورد تکنولوژی مورد استفاده)، بهترین پیکربندی برای لینک‌ها، محاسبه می‌گردد و با توجه به نتایج حاصل از شبیه‌سازی مونت‌کارلو[۳۴]، پارامترهای تغییرپذیری تاخیر تمامی لینک‌های شبکه، براساس مشخصه‌ی آن‌ها، اعمال می‌گردد. برای مقابله با تغییرپذیری و شکست[۳۵] در لینک‌های شبکه به ترتیب روش‌هایی با عنوان Phit Reduction (PR) و Variable Phit-Size در [۱۶-۱۷] ارائه شده است. در روش PR، برای مقابله با کاهش فرکانس در لینک‌های دارای خطا[۳۶]، از سیم‌های کند صرف‌نظر شده و از سیم‌هایی که قادر به کار در فرکانس طراحی می‌باشند، استفاده می‌گردد. روش Variable Phit-Size فرکانس لینک را مطابق با شرایط واقعی تراشه ساخته شده، تنظیم می‌نماید. اثرات تغییرپذیری روی فرکانس مسیریاب و لینک یک شبکه روی تراشه ناهمگام سراسری همگام محلی برای یک توری[۳۷] ۸×۸ در [۱۱، ۱۸] مورد بررسی قرار گرفته است.

برای مقابله با کاهش کارایی ناشی از وجود مسیریاب‌ها و لینک‌های کند، روشی ارائه شده است که در آن با توجه به این‌که تغییرات سیستماتیک موجب تاخیر متفاوت در المان‌های شبکه شده که این تفاوت‌ها در مسیریاب‌ها و لینک‌های مجاور ناچیز می‌باشد، در این روش، کاربردها را بین مسیریاب‌ها و لینک‌های نزدیک هم توزیع می‌نمایند تا از هدر رفتن منابع سریع در کنار منابع کند، جلوگیری شود. در [۱۹] برای چندپردازنده‌های مبتنی بر شبکه روی تراشه در ۴۵ نانومتر، اثرات تغییرپذیری روی تاخیر مسیریاب و لینک مورد ارزیابی قرار گرفته و نشان داده شده است که وجود مسیریاب‌ها و لینک‌های کند در شبکه روی تراشه مبتنی بر ناهمگام سراسری همگام محلی، می‌تواند موجب بروز ازدحام[۳۸] شده و کارایی را کاهش دهد. برای مقابله با این مشکل یک الگوریتم نگاشت[۳۹] که از داده‌های تغییرپذیری تصادفی و سیستماتیک شبکه و لینک‌های آن استفاده می‌نماید، ارائه شده است. کارهای فوق تنها اثر تغییرپذیری را نسبت به تاخیر در نظر گرفته‌اند ولی با توجه به [۲۰] تا سال ۲۰۲۶، توان مصرفی برای وسایل قابل حمل دو برابر اهداف مورد نظر، پیش‌بینی شده و توان نشتی تراشه‌های کامل تا

www.SID.ir

Archive of SID

۲۰۱۶ به بیش از ۸ برابر افزایش خواهد یافت. به همین دلیل، ما اثرات تغییرپذیری را نسبت به توان، تاخیر و حاصلضرب-توان-تاخیر مورد ارزیابی قرار داده‌ایم. کارهای فوق به تغییرپذیری‌های فرایند درون-قالب پرداخته‌اند ولی ما تغییرپذیری‌های فرایند قالب- به- قالب و درون- قالب و تغییرپذیری محیطی را در نظر گرفته و علاوه بر آن پارامترهای بیشتری را در شبیه‌سازی‌ها مورد ارزیابی قرار دادیم. مسیریاب استفاده شده در کارهای ذکر شده، همگام بوده ولی مسیریاب استفاده شده در این کار، یک مسیریاب ناهمگام می‌باشد. براساس جستجوهای انجام شده، کاری که اثرات تغییرپذیری‌های فرایند و محیطی را در شبکه روی تراشه ناهمگام سراسری همگام محلی دارای مسیریاب ناهمگام مورد بررسی قرار دهد، وجود ندارد.

در [۲۱] یک ابزار برای تعیین طول و پهنای مناسب ترانزیستورها به منظور کاهش مساحت با در نظر گرفتن محدودیت تاخیر ارائه شده است. در [۲۲-۲۴] روش‌هایی برای اندازه‌بندی ترانزیستور ارائه شده است که با ارضای محدودیت تاخیر، کمترین توان مصرفی ممکن را داشته باشد. در [۲۵] برای کاهش توان دو روش ارائه شده است. در اولین روش اندازه ترانزیستورها برای یک هدف طراحی از پیش تعیین شده محاسبه می‌شود. در روش دوم با ترکیب روش‌های اندازه‌بندی ترانزیستور و مقیاس‌بندی ولتاژ تغذیه[۴۰] و در نظر گرفتن محدودیت تاخیر، توان مصرفی را کاهش می‌دهد. در مقالات فوق از اندازه‌بندی ترانزیستورها، بیشتر به منظور کاهش توان استفاده شده است و اثرات تغییرپذیری در آنها مورد بررسی قرار نگرفته است.

در [۲۶] اندازه ترانزیستورها بگونه‌ای تخصیص می‌یابد که در یک تاخیر مشخص، درصد تراشه‌هایی که می‌توانند در بالاترین فرکانس کار نمایند، را به حداکثر برساند و یا برای درصد تراشه‌های مورد نیاز، تاخیر را به حداقل برساند. در این کار برای بهینه‌سازی اندازه ترانزیستورها از یک میزان‌ساز آگاه از تغییرپذیری[۴۱] استفاده شده است. تفاوت روش اندازه‌بندی ترانزیستور آگاه از تغییرپذیری، که در این مقاله ارائه داده‌ایم با روش‌های فوق در این است که اثرات تغییرپذیری قالب-به- قالب و درون- قالب پارامترها را لحاظ کرده و علاوه بر کاهش توان و حاصلضرب-توان- تاخیر، موجب کاهش تغییرپذیری نیز می‌گردد.

نویسندگان در [۲۷] یک الگوریتم با مصرف توان کم برای ولتاژ تغذیه دوگانه[۴۲] ارائه نموده‌اند به گونه‌ای که محدودیت‌های زمانی را ارضا نماید. یک روش ولتاژ تغذیه دوگانه برای کاهش انرژی مصرفی با در نظر داشتن حد بالای تاخیر مسیر بحرانی، در [۲۸] ارائه شده است. این روش به گونه‌ای اعمال می‌شود که نیازی به تبدیل‌کننده سطح ولتاژ ندارد. در مقالات فوق تنها به منظور کاهش توان و انرژی از روش ولتاژ تغذیه دوگانه استفاده شده است اما در برخی از مقالات جدیدتر، از این روش به منظور کاهش تغییرپذیری نیز استفاده شده است. نویسندگان در [۲۹] برای مقابله با اثرات تغییرپذیری هسته-به-هسته[۴۳] تراشه‌های چندپردازنده از ولتاژ تغذیه دوگانه استفاده نموده‌اند. در [۳۰] برای مقابله با اثرات تغییرپذیری سطح گیت، در ناحیه نزدیک به ولتاژ آستانه[۴۴]، یک روش ولتاژ تغذیه دوگانه ارائه شده است.

این روش نیاز به تبدیل‌کننده سطح ولتاژ نداشته و روش پیشنهادی برای کاهش تغییرپذیری درون-قالب تاخیر طبقات خط لوله[۴۵] ارائه شده است. روش ولتاژ تغذیه دوگانه آگاه از تغییرپذیری که در این کار ارائه شده است، نسبت به مقاله [۲۹] که تنها تغییرپذیری نسبت به ولتاژ آستانه را در نظر گرفته و موجب کاهش تغییرپذیری فرکانس شده؛ ارزیابی کامل‌تری از پارامترهای موثر در تغییرپذیری داشته و اثرات تغییرپذیری را بر روی توان، تاخیر و حاصلضرب-توان-تاخیر کاهش داده و همچنین نیازی به تبدیل‌کننده سطح ولتاژ ندارد. نسبت به مقاله [۳۰]، روش پیشنهادی در این مقاله نیازی به ترانزیستورهایی با دو نوع ولتاژ آستانه نداشته و همچنین تغییرپذیری فرایند قالب-به- قالب و درون- قالب و تغییرپذیری محیطی نیز لحاظ شده است.

۳- بستر مبتنی بر اسپایس

برای بررسی اثر تغییرپذیری پارامترهای مختلف یک مسیریاب، بستری مبتنی بر اسپایس پیاده‌سازی شده است که قابلیت‌های آن عبارتند از:

۱) قابلیت مقیاس‌پذیری برای تکنولوژی‌های مختلف و ارزیابی تغییرپذیری در گوشه‌های مختلف همانند سریع-سریع[۴۶]، کند- کند[۴۷] و معمولی- معمولی[۴۸] (در گوشه‌ی سریع- سریع، ترانزیستورهای نوع N و P سریع می‌باشند)

۲) قابلیت ارزیابی اثرات تغییرپذیری فرایند قالب-به- قالب و درون- قالب و تغییرپذیری محیطی روی توان مصرفی، تاخیر و حاصلضرب-توان-تاخیر

۳) قابلیت بررسی تغییرپذیری پارامترها در بازه‌های مختلف و به ازای تعداد مقادیر دلخواه این پارامترها در بازه‌های موردنظر

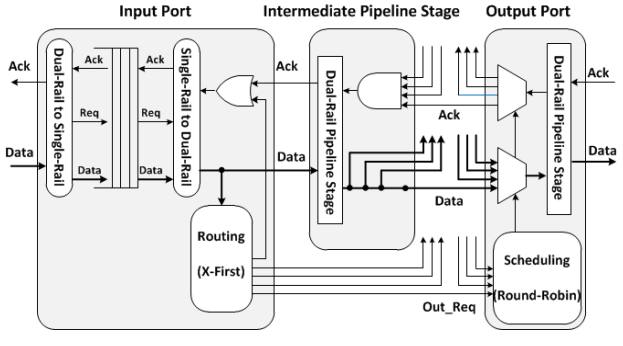
۴) قابلیت تغییر ساختار اجزای طراحی و تحلیل تغییرپذیری در حضور این تغییرات

۵) استفاده از فرمول‌های ریاضی برای تحلیل نتایج حاصل از شبیه‌سازی.

در این بخش، برای انجام شبیه‌سازی بر روی این بستر، اثرات تغییرپذیری فرایند و محیطی را بر روی مسیریاب ناهمگام شبکه روی تراشه ASPIN در تکنولوژی ۳۲ نانومتر مورد ارزیابی قرار می‌دهیم [۳۱]. تمامی شبیه‌سازی‌ها برای ۳ گوشه تکنولوژی TT، FF و SS با استفاده از کتابخانه ۳۲ نانومتر PTM انجام شده‌اند. در شکل ۲ معماری مسیریاب استفاده شده در ASPIN ارائه شده است. در این مسیریاب هر پورت ورودی دارای بافری به ظرفیت ۱۶ فلیت[۴۹] و هر پورت خروجی دارای بافری با حجم یک فلیت می‌باشد. الگوریتم مسیریابی این مسیریاب X-First و زمان بندی کنترل جریان آن، نوبت گردشی[۵۰] می‌باشد. در شکل۳، نحوه‌ی اتصال مسیریاب با الگوریتم مسیریابی X-First به مسیریاب‌های مجاور در یک شبکه ۳×۳ ارائه شده است. همان‌گونه که در این شکل مشاهده می‌شود، با توجه به اینکه در مسیریابی X-First ابتدا بسته به سمت شرق یا غرب مسیریابی شده و پس از آن به سمت شمال یا جنوب مسیریابی می‌شود، در نتیجه هیچ مسیری برای مسیریابی از شمال یا جنوب به سمت غرب یا شرق وجود نخواهد داشت. برای انجام شبیه سازی در این بستر، فرضیات زیر لحاظ شده‌اند:

۱) مسیریاب نامینال[۵۱] مورد استفاده در این کار دارای پارامترهایی مطابق با جدول ۱ می‌باشد. طول و پهنای ترانزیستورهای هر گیت در مسیریاب ضریبی از طول و پهنای ترانزیستورهای معکوس کننده هستند.

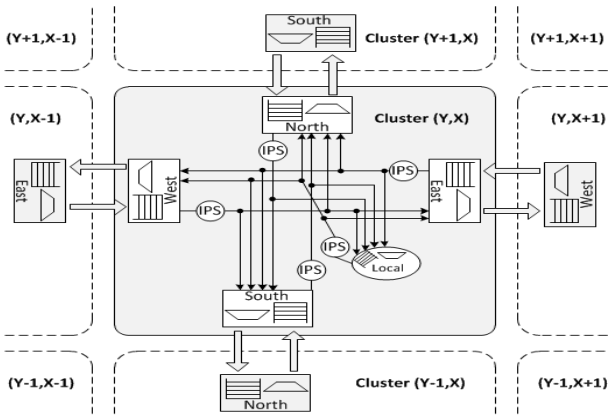
۲) برای ارزیابی توان و تاخیر، یک بسته متشکل از دو فلیت، که فلیت اول سرآیند[۵۲] و فلیت دوم بدنه[۵۳] می‌باشد، به سمت یکی از پورت‌های خروجی مسیریاب ارسال می‌گردد. فاصله‌ی زمانی‌ای که بسته وارد مسیریاب شده تا زمانی که از یکی از پورت‌های خروجی مسیریاب خارج گردد را به عنوان تاخیر در نظر می‌گیریم. توان مصرفی متوسط از لحظه‌ی شروع تا لحظه‌ای که بسته به مقصد خود برسد را به عنوان توان مسیریاب در نظر می‌گیریم.



شکل ۲- معماری مسیریاب شبکه روی تراشه ASPIN [۳۱]

www.SID.ir

Archive of SID



شکل ۳- نحوه‌ی اتصال مسیریاب‌های با الگوریتم مسیریابی X-First در یک شبکه ۳×۳ [۳۱]

جدول ۱- پارامترهای معکوس کننده استفاده شده در مسیریاب نامینال

Tech	32nm	**V_{dd}**	0.9v	**L_{eff}**	12.6nm
Process	TT	**V_{th}**	0.16v	**$W_n=W_p/2$**	128nm
Temp	25 °C	**T_{ox}**	1nm	**$L_p=L_n$**	32nm

۳-۱- اثرات تغییرپذیری فرایند قالب-به- قالب و محیطی روی مسیریاب

در این مقاله برای ارزیابی اثرات تغییرپذیری فرایند قالب-به- قالب، پارامترهای ولتاژ آستانه (V_{TH})، ضخامت اکسید گیت (T_{OX})، پهنا و طول ترانزیستورهای PMOS و NMOS (W_P, W_N, L_P, L_N) مورد بررسی قرار گرفته و برای تغییرپذیری محیطی نیز پارامترهای ولتاژ تغذیه (V_{DD}) و دما (Temp) ارزیابی شده است. برای اعمال تغییرپذیری پارامترهای فوق با استفاده از بستر، از توزیع گوسی[۵۴] استفاده شده است. مقدار میانگین برای هر پارامتر مطابق جدول ۱ بوده و برای هر یک از پارامترهای فوق به جز دما، از انحراف معیار[۵۵] ۲۰ درصد نسبت به مقدار میانگین استفاده شده است. به عنوان مثال برای تغییرات ولتاژ تغذیه، میانگین ۰.۹ ولت و انحراف معیار ۰.۱۸ ولت اعمال شده است. برای تغییرات دما نیز بازه‌ی ۲۵- تا ۷۵+ در شبیه‌سازی‌ها در نظر گرفته شده تا یک افزایش یا کاهش ۵۰ درجه‌ای دما نسبت به دمای ۲۵ درجه داشته باشیم. در مقالاتی که در زمینه تغییرپذیری ارائه شده، بیشترین بازه‌ی تغییرات دما ۲۵- تا ۱۲۵ است که در بیشتر مواقع بازه‌ی تغییرات کمتر از مقدار فوق مشاهده شده است [۳۲-۳۵].

برای ارزیابی اثرات تغییرپذیری در پلتفرم ارائه شده از برخی فرمول‌های ریاضی براساس [۳۶] استفاده می‌نماییم. به همین منظور با استفاده از شبیه‌سازی مونت کارلو و توزیع گوسی برای هر یک از پارامترهای ذکر شده، مقادیر توان، تاخیر و حاصلضرب-توان-تاخیر را بدست می‌آوریم. براساس فرمول‌های ذیل، ابتدا میانگین ($\mu(x)$)، واریانس[۵۶] ($Var(x)$) و انحراف معیار ($\sigma(x)$) هر یک از ملاک‌های کارایی (توان، تاخیر و حاصلضرب-توان-تاخیر) را براساس نتایج حاصل از شبیه‌سازی‌ها، محاسبه نموده و سپس با استفاده از رابطه (۱) ضریب تغییرپذیری (C_v) را بدست می‌آوریم.

تفاوت بین ضریب تغییرات پیکربندی مورد نظر با ضریب تغییرات پیکربندی نامینال (ΔC_v) می‌تواند اثر پیکربندی پیشنهادی را بر روی تغییرپذیری نشان دهد. اگر مقدار ΔC_v منفی (مثبت) باشد، پیکربندی مورد نظر موجب کاهش (افزایش) اثرات تغییرپذیری می‌گردد. مقادیر میانگین، انحراف معیار و ضریب تغییرات ملاک‌های کارایی توان، تاخیر و حاصلضرب-توان-تاخیر برای مسیریاب نامینال در حضور تغییرپذیری قالب- به- قالب، در جدول ۲ ارائه شده است.

$$C_v = \frac{\sigma(x)}{\mu(x)} \quad (۱)$$

$$\mu(x) = \frac{\sum_{i=1}^{n} x_i}{n} \quad (۲)$$

$$Var(x) = \frac{\sum_{i=1}^{n}(x_i - \mu(x))^2}{n-1} \quad (۳)$$

$$\sigma(x) = \sqrt{var(x)} \quad (۴)$$

$$\Delta C_v = \frac{(C_v)_{Configuration} - (C_v)_{Nominal}}{(C_v)_{Nominal}} \quad (۵)$$

۳-۲- اثرات تغییرپذیری فرایند درون-قالب و محیطی روی مسیریاب

به منظور ارزیابی اثرات تغییرپذیری فرایند درون- قالب، پارامترهای ولتاژ آستانه (V_{TH})، ضخامت اکسید گیت (T_{OX})، پهنا و طول ترانزیستورهای PMOS و NMOS (W_P, W_N, L_P, L_N) مورد بررسی قرار گرفته و برای تغییرپذیری محیطی نیز پارامتر ولتاژ تغذیه (V_{DD}) ارزیابی شده است. برای اعمال تغییرپذیری پارامترهای فوق با استفاده از بستر، از توزیع گوسی استفاده شده است. مقدار میانگین برای هر پارامتر مطابق جدول ۱ بوده و برای هر یک از پارامترهای فوق به جز ولتاژ آستانه، از انحراف معیار ۵ درصد نسبت به مقدار میانگین استفاده شده است.

به عنوان مثال برای تغییرات ولتاژ تغذیه، میانگین ۰.۹ ولت و انحراف معیار ۰.۰۴۵ ولت در نظر گرفته شده است. برای انحراف معیار ولتاژ آستانه براساس [۳۷] از رابطه (۶) استفاده نموده‌ایم. مقادیر میانگین، انحراف معیار و ضریب تغییرات ملاک‌های کارایی توان، تاخیر و حاصلضرب-توان-تاخیر برای مسیریاب نامینال در حضور تغییرپذیری درون- قالب، در جدول ۲ ارائه شده است.

$$\sigma_{Vth} = 3.19 \times 10^{-8} \frac{T_{ox} N_A^{0.401}}{\sqrt{WL}} \quad (۶)$$

جدول ۲- اثرات تغییرپذیری قالب- به- قالب، درون- قالب و D2D&WID بر روی توان، تاخیر و حاصلضرب-توان-تاخیر مسیریاب نامینال

		D2D	WID	D2D&WID
Power	**μ (mw)**	7.31	1.62	3.43
	σ (mw)	13.4	0.047	5.86
	C_V (%)	**183.2**	**2.96**	**170.5**
Delay	**μ (ns)**	4.72	2.85	3.79
	σ (ns)	3.93	0.039	2.15
	C_V (%)	**83.24**	**1.38**	**56.81**
PDP	**μ (pj)**	13.74	4.60	11.04
	σ (pj)	16.71	0.145	23.64
	C_V (%)	**121.7**	**3.16**	**214.07**

www.SID.ir

Archive of SID

۳-۳- اثرات تغییرپذیری فرایند D2D&WID و تغییرپذیری محیطی روی مسیریاب

در این بخش اثر تغییرپذیری محیطی و اثرات همزمان تغییرپذیری‌های قالب- به- قالب و درون- قالب را روی مسیریاب ارزیابی می‌نماییم. شرایط شبیه‌سازی با ادغام دو بخش اخیر، در نظر گرفته شده است. به عبارت دیگر برای در نظر گرفتن همزمان اثرات هر دو تغییرپذیری، برای تغییرات قالب-به- قالب و درون- قالب به ترتیب از توزیع‌های گوسی ارائه شده در بخش ۳-۱ و ۳-۲ استفاده می‌نماییم. پارامترهایی که در این قسمت مورد بررسی قرار گرفته‌اند عبارتند از: ولتاژ تغذیه، ولتاژ آستانه، دما، ضخامت اکسید گیت، پهنا و طول ترانزیستورها. برای اعمال تغییرپذیری، هر یک از پارامترهای ذکر شده دارای دو قسمت می‌باشند. قسمت اول مربوط به تغییرپذیری قالب- به- قالب بوده و قسمت دوم مربوط به تغییرپذیری درون- قالب می‌باشد.

به عنوان مثال، فرض می‌کنیم که براساس شبیه‌سازی مونت کارلو در یکی از تکرارها، خروجی توزیع گوسی برای تغییرپذیری قالب- به- قالب ولتاژ تغذیه روی مسیریاب، مقدار ۰.۸۵ ولت می‌باشد. در ادامه از این مقدار به عنوان میانگین توزیع گوسی در تغییرپذیری درون- قالب با انحراف معیار ۵ درصد (۰.۰۴۲۵ ولت) استفاده می‌شود. در نتیجه بخش‌های مختلف مسیریاب با ولتاژهای تغذیه‌ای با میانگین ۰.۸۵ولت و انحراف معیار ۰.۰۴۲۵ ولت تحت شبیه‌سازی قرار می‌گیرند. نتایج بدست آمده برای مسیریاب نامینال در جدول ۲ ارائه شده است. همان‌گونه که در جدول ۲ مشاهده می‌گردد، اثرات تغییرپذیری قالب- به- قالب و D2D&WID روی کارایی مسیریاب قابل توجه بوده و در مقابل اثرات تغییرپذیری درون- قالب ناچیز می‌باشد.

۴- روش‌های پیشنهادی برای کاهش اثرات تغییرپذیری

همان‌گونه که در بخش قبل اشاره شد، برای بررسی اثرات تغییرپذیری روی مسیریاب شبکه روی تراشه ناهمگام سراسری همگام محلی یک بستر مبتنی بر اسپایس ارائه شده است. برای کاهش اثرات تغییرپذیری، یک روش آگاه از تغییرپذیری به بستر اضافه نموده‌ایم تا مقدار مناسب برای پارامترهایی که موجب کاهش توان و تغییرپذیری می‌گردد را در زمان طراحی استخراج نماییم. بدین منظور دیاگرام مورد نظر در شکل ۴ ارائه شده است. ورودی‌های این بستر عبارتند از:

- توصیف سطح گیت[۵۷] از طراحی مورد نظر.
- پارامترهایی که می‌خواهیم اثرات تغییرپذیری آن‌ها بر روی کارآیی مدار را بدست آوریم (مانند V_{DD}، V_{TH}، ...)
- P: پارامتری که می‌خواهیم مقدار یا مقادیر بهینه آن را پیدا نماییم تا بوسیله آن تغییرپذیری را کاهش دهیم.
- V: درصد تغییرات برای پارامتر مورد نظر. به عنوان مثال اگر این مقدار را برای منبع ولتاژ، ۲۰٪ در نظر بگیریم، تغییرات V_{DD} در بازه $[0.8V_{dd\ nominal}, 1.2V_{dd\ nominal}]$ خواهد بود.
- N: تعداد نقاطی در بازه [(1-V) P, (1+V) P] که می‌خواهیم شبیه‌سازی در آن انجام گیرد.
- D: درصد سربار تاخیر قابل قبول (در این بستر کاهش توان و کاهش تغییرپذیری آن در اولویت قرار دارد).

الگوریتم مورد استفاده در بستر به منظور کاهش تغییرپذیری با رویکرد کاهش توان، به صورت زیر می‌باشد:

۱) انجام شبیه سازی و محاسبه تغییرپذیری ۸گانه (V_{DD}، V_{TH}، Temp، T_{OX}، W_P، W_N، L_P و L_N) روی طراحی مورد نظر به منظور استخراج پارامترهای موثر در تغییرپذیری (این مرحله برای هر طراحی تنها یکبار انجام می‌گیرد).

۲) انجام شبیه‌سازی برای حداکثر N^2 مقدار از پارامتر مورد نظر در بازه‌ی $[(1-V)^2P_n , (1+V)^2P_n]$ و استخراج توان، تاخیر و حاصلضرب-توان-تاخیر آن. (P_n مقدار پارامتر مورد نظر در حالت نامینال می‌باشد).

۳) محاسبه تغییرپذیری توان، تاخیر و حاصلضرب-توان-تاخیر روی N نقطه به ازای هر یک از N^2 مقدار قبلی در بازه $[(1-V) P_s , (1+V) P_s]$. (P_s مقدار پارامتر مورد نظر در هر یک از N^2 نقطه می‌باشد). این کار بار اول فقط روی تغییرپذیری پارامتر مورد نظر و بار دوم (ورودی‌های خط‌چین) برای سایر پارامترهای انجام می‌گیرد.

۴) استخراج مقادیری از پارامتر مورد نظر که محدودیت تاخیر را ارضا می‌نمایند.

۵) استخراج مقادیری از پارامتر مورد نظر که موجب کاهش توان نسبت به حالت نامینال می‌گردند.

۶) استخراج مقادیری از پارامتر مورد نظر که موجب کاهش تغییرپذیری توان و حاصلضرب-توان- تاخیر (برای خط‌چین‌ها: استخراج مقادیری از پارامتر مورد نظر که موجب کاهش تغییرپذیری توان و حاصلضرب-توان- تاخیر روی پارامترهای موثر در تغییرپذیری) می‌گردند.

۷) انجام شبیه‌سازی کامل با استفاده از پارامترهای استخراج شده از مرحله قبل، به منظور ارزیابی تغییرپذیری تمامی پارامترها و دست‌یابی به نقطه یا نقاطی که بهترین کارایی را دارا می‌باشند.

۸) تکرار مراحل ۳ تا ۶ (خط‌چین‌ها بیانگر در نظر گرفتن اثرات پارامترهای ۸گانه می‌باشد) به منظور انتخاب نقطه یا نقاط مناسب از بین نقاط مرحله قبل با ترتیب اولویت تغییرپذیری، توان و تاخیر.

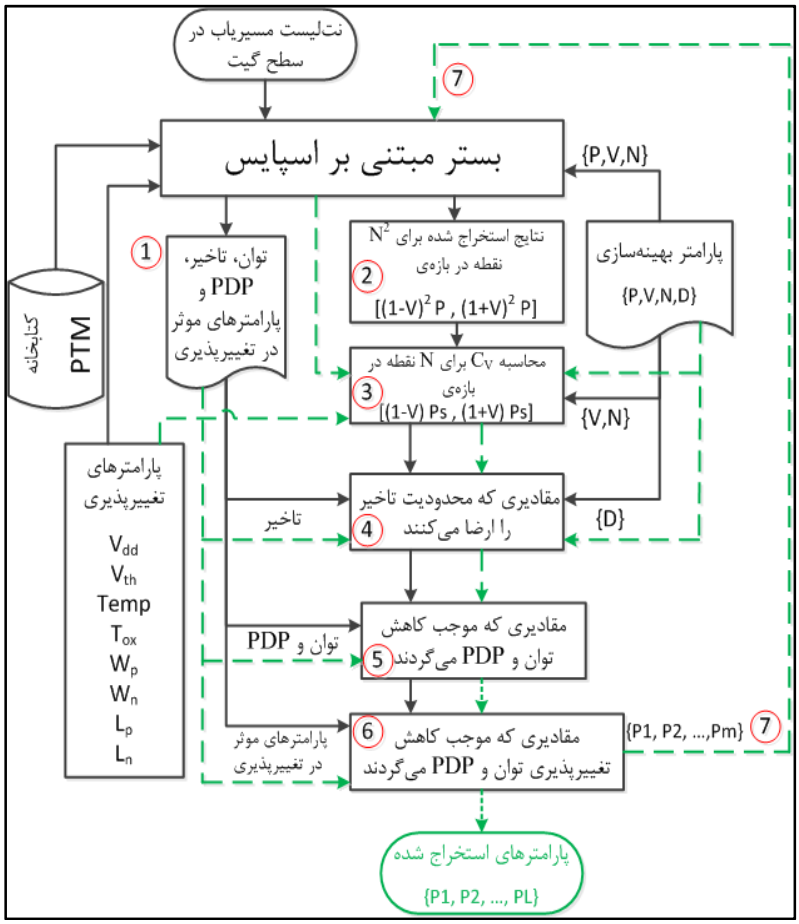
با توجه به مطالب اشاره شده، بستر ارائه شده مقادیری از هر پارامتر که موجب کاهش تغییرپذیری می‌گردند را به طراح ارائه نموده و طراح با استفاده از این اطلاعات می‌تواند پارامترها را به گونه‌ای در نظر گیرد که طراحی نهایی دارای کمترین تغییرپذیری ممکن باشد. در ادامه با استفاده از این بستر دو روش اندازه‌بندی ترانزیستور آگاه از تغییرپذیری و ولتاژ تغذیه دوگانه آگاه از تغییرپذیری را ارائه می‌نماییم.

۴-۱- روش اندازه‌بندی ترانزیستور آگاه از تغییرپذیری (VATS)

در این قسمت قصد داریم با استفاده از بستر ارائه شده روش اندازه‌بندی ترانزیستور را طوری اعمال نماییم که علاوه بر کاهش توان، موجب کاهش تغییرپذیری توان و حاصلضرب-توان-تاخیر نیز گردد. برای این کار ابتدا طراحی مورد نظر را به ازای هر یک از پارامترهای W_P، W_N، L_P و L_N؛ به صورت جداگانه، شبیه‌سازی نموده و برای هر کدام از پارامترهای W_P، W_N، L_P و L_N مقادیری که موجب کاهش توان و تغییرپذیری می‌گردند را بدست می‌آوریم. در نهایت با استفاده از یک شبیه‌سازی به ازای پارامترهای جدید بدست آمده و محدودیت‌های مورد نیاز، پیکربندی یا پیکربندی‌هایی که بهترین کارایی را از نظر توان و تغییرپذیری دارند، استخراج می‌نماییم. برای کاهش تعداد پیکربندی‌های ممکن، یک پیش‌فرض برای نتایج تعریف می‌نماییم که مبتنی بر موبیلیتی[۵۸] ترانزیستورها می‌باشد.

www.SID.ir

Archive of SID



شکل ۴- دیاگرام روش پیشنهادی برای کاهش تغییرپذیری

با توجه به این که موبیلیتی NMOS تقریبا ۲ برابر PMOS می‌باشد، در طراحی‌های CMOS برای آنکه T_{rise} تقریبا برابر T_{fall} باشد، نسبت $(W/L)_{PMOS}$ را تقریبا ۲ برابر $(W/L)_{NMOS}$ در نظر می‌گیرند. از این رو پارامترهایی که نسبت فوق را ارضا نمایند، در شبیه‌سازی پایانی مورد استفاده قرار می‌گیرند. در بخش ۵، با استفاده از این روش دو پیکربندی جدید برای مسیریاب ارائه می‌گردد.

۴-۲- روش ولتاژ تغذیه دوگانه آگاه از تغییرپذیری (VADVD)

در روش ولتاژ تغذیه دوگانه به منظور کاهش توان و یا تاخیر، از دو منبع ولتاژ در طراحی استفاده می‌نمایند و متناسب با نوع کاربرد، مقادیر این منابع را بگونه‌ای تنظیم می‌نمایند تا موجب افزایش کارایی گردد. در این بخش قصد داریم تا با استفاده از بستر مبتنی بر اسپایس روش ولتاژ تغذیه دوگانه‌ای را ارائه نماییم که علاوه بر کاهش توان و حاصلضرب- توان- تاخیر، موجب کاهش تغییرپذیری آن‌ها نیز گردد. روند کلی روش VADVD شبیه روش VATS می‌باشد ولی بدلیل اینکه در روش ولتاژ تغذیه دوگانه بطور معمول، یکی از منابع ولتاژ (V_{DDL}) کوچکتر از منبع نامینال و دیگری (V_{DDH}) بزرگتر از منبع نامینال می‌باشد، نیاز به یک تغییر کوچک در روش ارائه شده خواهیم داشت.

هنگامی که از V_{DDL} استفاده می‌نماییم، تاخیر افزایش می‌یابد که همین امر می‌تواند موجب نقض محدودیت تاخیر گردد. از طرف دیگر هنگامی که از V_{DDH} استفاده می‌نماییم، توان افزایش می‌یابد که این امر فرض اولیه کم توان بودن روش‌های ارائه شده را نقض می‌نماید. از این رو در الگوریتم ارائه شده، برای یافتن منابع تغذیه مناسب، در بار اول (خطوط سیاه در شکل ۴) از مراحل ۴ و ۵ الگوریتم صرف‌نظر کرده و تنها منابعی که موجب کاهش تغییرپذیری می‌گردند را استخراج می‌نماییم. پس از آن در شبیه‌سازی نهایی (خط‌چین‌ها در شکل ۴) منابع استخراج شده برای V_{DDL} و V_{DDH} را از نظر ارضای محدودیت تاخیر، کاهش توان، حاصلضرب- توان- تاخیر و تغییرپذیری مورد ارزیابی قرار می‌دهیم.

با توجه به این‌که در روش ولتاژ تغذیه دوگانه دارای دو حوزه‌ی ولتاژ می‌باشیم، که یک گیت در حوزه ولتاژ با منبع تغذیه بزرگتر مستقیما می‌تواند یک گیت در حوزه ولتاژ با منبع تغذیه کوچکتر را تغذیه[۵۹] نماید که در این صورت گیت موجود در حوزه ولتاژ با منبع تغذیه کوچکتر سریع تر سوئیچ می‌نماید. اما یک گیت در حوزه ولتاژ با منبع تغذیه کوچکتر تنها زمانی که اختلاف V_{DDH} - V_{DDL} کمتر از مقدار ولتاژ آستانه ترانزیستورها باشد، می‌تواند یک گیت در حوزه ولتاژ با منبع تغذیه بزرگتر را تغذیه نماید. در غیر این‌صورت شاهد رقابت جریان[۶۰] بین PMOS و NMOS خواهیم بود که برای مقابله با آن دو راهکار وجود دارد؛ ۱) استفاده از ترانزیستور نوع P با ولتاژ آستانه بالا ۲) استفاده از تبدیل کننده سطح ولتاژ [۳۸-۳۹].

برای مقابله با مشکل فوق، در روش ولتاژ تغذیه دوگانه پیشنهادی، یک محدودیت اضافه می‌نماییم تا از بین منابع ولتاژ نهایی استخراج شده، آنهایی که دارای اختلاف V_{DDH} - V_{DDL} کمتر از مقدار ولتاژ آستانه می‌باشند، انتخاب گردند. از این طریق نیازی به استفاده از تبدیل کننده سطح ولتاژ و یا ترانزیستورهای PMOS با ولتاژ آستانه بالا، نداریم. در بخش ۵، با استفاده از این روش پیکربندی جدیدی برای مسیریاب ارائه شده است.

www.SID.ir

Archive of SID

۵- نتایج شبیه‌سازی‌ها

به عنوان یک بررسی موردی[۶۱] مسیریاب ناهمگام شبکه روی تراشه ASPIN را با استفاده از روش VATS مورد ارزیابی قرار دادیم. برای این کار تغییرات پارامترها را ۲۰٪ و میزان سربار تاخیر را ۶۰٪ در نظر گرفته‌ایم . برای یافتن مقادیری از W_P که موجب کاهش توان و تغییرپذیری می‌گردد، ابتدا با استفاده از بستر ارائه شده در بازه‌ی $[0.8W_P , 1.2W_P]$ شبیه‌سازی انجام می‌شود. در این مرحله مقادیری از W_P که موجب کاهش توان و تغییرپذیری نسبت به حالت نامینال شده و در عین حال دارای سربار تاخیر کمتر از ۶۰ درصد می‌باشد، استخراج می‌شود. در نهایت برای ارزیابی اثرات تغییرپذیری سایر پارامترها به ازای مقادیر جدید W_P، با استفاده از بستر پیشنهادی شبیه‌سازی پایانی را انجام می‌دهیم. که برای W_P چهار مقدار (214nm, 224nm, 234nm, 244nm) به عنوان نقاطی که موجب کاهش تغییرپذیری توان، تاخیر و حاصلضرب- توان- تاخیر می‌شوند، استخراج می‌گردد. به همین ترتیب برای سایر پارامترها داریم: W_N=(102nm, 107nm, 112nm, 117nm)، L_P=(35nm, 36nm, 38nm) و L_N=(36nm, 37nm, 38nm). با اعمال محدودیت موبیلیتی، برای مسیریاب مورد نظر پارامترهای شرکت کننده در شبیه‌سازی پایانی عبارتند از: W_P=(214nm, 224nm, 234nm)، W_N=(107nm, 112nm, 117nm)، L_P=L_N=(36nm, 38nm). با توجه به مقادیر بدست آمده در شبیه‌سازی نهایی ۶ پیکربندی مختلف وجود خواهد داشت (۶=۳×۲) که با استفاده از بستر این ۶ پیکربندی را ارزیابی نموده و در نهایت بهترین پیکربندی را Config2 نامگذاری می‌نماییم. پارامترهای نهایی Config2 عبارتند از: W_P=214nm، W_N=107nm و L_P=L_N=36nm. همانگونه که در جدول ۳ مشخص است، این پیکربندی موجب کاهش توان و حاصلضرب- توان- تاخیر به میزان به ترتیب ۷۲.۶۹٪ و ۵۷.۵۸٪ شده و سربار تاخیر آن ۵۵.۳۱٪ می‌باشد. با توجه به جدول ۴، می‌توان نتایج زیر را استخراج نمود:

- در حضور تغییرپذیری قالب-به- قالب و درون- قالب، پیکربندی مورد بحث می‌تواند تغییرپذیری توان، تأخیر و حاصلضرب-توان- تاخیر را بطور قابل توجهی کاهش دهد.
- در حضور تغییرپذیری D2D&WID با این‌که تغییرپذیری توان و حاصلضرب-توان-تاخیر کاهش یافته است، اما این دستاورد با هزینه افزایش تغییرپذیری تأخیر همراه بوده است.

با توجه به نتایج ارائه شده، بکارگیری پیکربندی Config2 برای کاربردهایی که تاخیر دارای اهمیت کمی است، می‌تواند موجب کاهش قابل توجه توان و تغییرپذیری گردد.

به عنوان دومین بررسی موردی از اعمال روش VATS روی مسیریاب مورد نظر، این بار تغییرات پارامترها را ۲۰٪ و میزان سربار تاخیر را ۱٪ در نظر گرفته‌ایم. در این مورد هدف یافتن پیکربندی‌ای می‌باشد که با داشتن رفتاری مشابه با مسیریاب نامینال، توان مصرفی را کاهش دهد. خروجی‌های بستر برای این مثال پس از اعمال پیش‌فرض موبیلیتی، عبارتند از: W_P=(208nm, 214nm)، W_N=(104nm, 107nm)، L_P=L_N=(32nm). در نهایت با توجه به ارزیابی انجام شده روی دو پیکربندی ممکن توسط بستر، Config1 با مشخصات W_P=214nm، W_N=107nm و L_P=L_N=32nm به عنوان پیکربندی بهتر انتخاب می‌گردد. براساس جدول ۳ پیکربندی Config1 موجب کاهش توان و حاصلضرب-توان-تاخیر به ترتیب ۱۷.۱۹٪ و ۱۷.۱۵٪ شده و سربار تاخیر آن ۰.۰۵٪ می‌باشد. با توجه به جدول ۴، این پیکربندی در حضور تغییرپذیری‌های قالب- به- قالب و درون- قالب، موجب کاهش تغییرپذیری شده و برای تغییرپذیری D2D&WID موجب افزایش تغییرپذیری می‌گردد (مقادیر مثبت در ستون Config1، بیانگر افزایش تغییرپذیری می‌باشند). پیکربندی Config1 برای کاربردهای بی‌درنگ[۶۲] مناسب بوده، که علاوه بر کاهش توان مصرفی، در بیشتر موارد، موجب کاهش تغییرپذیری نیز می‌گردد.

در جدول ۴ ستون Nominal بیانگر درصد تغییرپذیری (C_v (%)) توان، تاخیر و حاصلضرب- توان- تاخیر مسیریاب نامینال در حضور تغییرپذیری می‌باشد. همان‌گونه که مشخص است، تغییرپذیری قالب- به- قالب و D2D&WID بیشترین تاثیر را در تغییرپذیری مسیریاب دارا می‌باشند. ستون ΔC_v (%) بیانگر میزان کاهش یا افزایش تغییرپذیری هر روش نسبت به مسیریاب نامینال می‌باشد.

جدول ۳- مقادیر توان، تاخیر و حاصلضرب-توان-تاخیر روش‌های مختلف روی مسیریاب ASPIN

	Power (mw)	Delay (ns)	PDP (pj)	Configuration
Nominal	4.694	1.902	8.928	W_P=256 nm, W_N=128nm, L_P =L_N= 32 nm
Config1	3.887	1.903	7.397	W_P=214 nm, W_N=107nm, L_P =L_N= 32 nm
Config2	1.282	2.954	3.787	W_P=214 nm, W_N=107nm, L_P =L_N= 36 nm
DVD-Nom	3.271	2.021	6.611	Nominal Router with Dual-V_{DD}
DVD-C1	2.709	2.024	5.483	Config1 with Dual-V_{DD}
DVD-C2	0.910	3.155	2.872	Config1 with Dual-V_{DD}

جدول ۴- تغییرات توان، تاخیر و حاصلضرب-توان-تاخیر روش‌های مختلف در حضور تغییرپذیری قالب-به- قالب، درون- قالب و D2D&WID

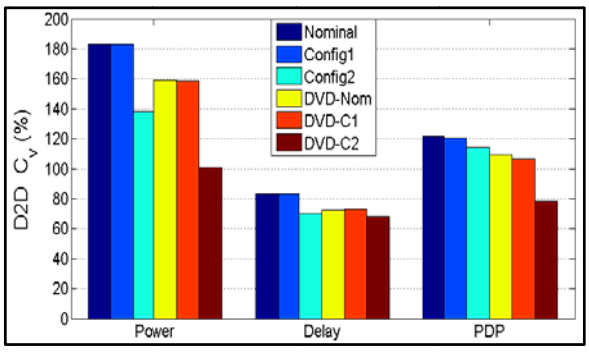
		C_v(%)	ΔC_v (%)				
		Nominal	**Config1**	**Config2**	**DVD-Nom**	**DVD-C1**	**DVD-C2**
D2D	**Power**	183.21	-0.06	-24.43	-13.12	-13.43	-45.12
	Delay	83.24	0.05	-15.76	-12.76	-12.60	-18.34
	PDP	121.66	-1.08	-6.10	-10.29	-12.46	-35.76
WID	**Power**	2.96	-26.01	-78.72	-83.78	-83.78	-84.12
	Delay	1.38	-35.51	-30.43	-48.55	-44.93	-43.48
	PDP	3.16	-19.62	-62.03	-74.37	-73.73	-74.05
D2D&WID	**Power**	170.53	0.22	-8.56	-28.12	-27.68	-49.10
	Delay	56.81	-4.08	21.37	-33.09	-32.86	-25.98
	PDP	214.07	1.98	-54.70	-48.70	-49.53	-72.50

www.SID.ir

Archive of SID

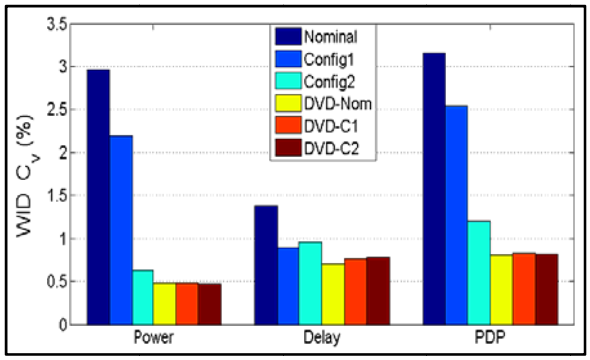
برای سومین بررسی موردی روش VADVD را روی مسیریاب ASPIN اعمال می‌نماییم. در این بخش تغییرات پارامترها را ۲۰٪ و میزان سربار تاخیر را ۱۰٪ در نظر گرفته‌ایم. براساس نتایج حاصل از شبیه‌سازی‌ها، اعمال V_{DDL} به پورت ورودی و V_{DDH} به پورت خروجی موجب کاهش توان مصرفی می‌گردد که علت آن، وجود ۱۶ بافر در هر پورت ورودی این مسیریاب می‌باشد که این بافرها همواره پر نمی‌باشند. با اعمال روش فوق روی مسیریاب، نتایج استخراج شده بستر عبارتند از: V_{DDL}=(0.8v, 0.85v) و V_{DDH}=(0.95v, 1v) . پس برای فاز پایانی دارای ۴ پیکربندی ممکن می‌باشیم که از این بین پیکربندی (V_{DDL}=0.8v, V_{DDH}=1v) بدلیل آن‌که اختلاف منابع ولتاژ بیشتر از ولتاژ آستانه می‌باشد (0.2v > 0.16v)، از ارزیابی نهایی حذف می‌گردد. براساس ارزیابی انجام شده، اعمال روش VADVD با پارامترهای (V_{DDL}=0.85v, V_{DDH}=0.95v) بهترین کارایی را دارد که این پیکربندی را DVD-Nom می‌نامیم. براساس جدول ۳ این پیکربندی موجب کاهش توان و PDP به ترتیب ۳۰.۳۲٪ و ۲۵.۹۶٪ شده و دارای سربار تاخیر ۶.۲۶٪ می‌باشد. همان‌گونه که در ستون DVD-Nom در جدول ۴ مشاهده می‌شود، این پیکربندی موجب کاهش تغییرپذیری توان، تاخیر و PDP در حضور تغییرپذیری‌های D2D، WID و D2D&WID می‌گردد. از این رو در کاربردهایی که اندکی سربار تاخیر قابل قبول باشد، استفاده از پیکربندی فوق موجب کاهش چشمگیر توان و تغییرپذیری می‌گردد.

به عنوان آخرین بررسی موردی اثر روش‌های ولتاژ تغذیه دوگانه و اندازه‌بندی ترانزیستور را بطور همزمان بر روی مسیریاب در نظر گرفته‌ایم. پیکربندی‌های جدید در این بخش را DVD-C1 و DVD-C2 می‌نامیم که اولی براساس Config1 و دومی مبتنی بر Config2 می‌باشد. براساس نتایج جدول ۳ این پیکربندی‌ها به ترتیب موجب کاهش حاصلضرب- توان- تاخیر ۳۸.۵۹٪ و ۶۷.۸۴٪ می‌شوند و براساس جدول ۴، موجب کاهش قابل توجه تغییرپذیری نیز می‌گردند. برای مشاهده روند تغییرپذیری در روش‌های مختلف و مقایسه این روش‌ها با هم، نمودار تغییرپذیری توان، تاخیر و حاصلضرب- توان- تاخیر روش‌های مختلف در حضور تغییرپذیری قالب-به- قالب، درون- قالب و D2D&WID در شکل‌های ۵ تا ۷ ارائه شده‌اند. در این نمودارها محور افقی بیانگر ملاک‌های ارزیابی توان، تاخیر و حاصلضرب- توان- تاخیر بوده و هر یک از محورهای عمودی بیانگر درصد ضریب تغییرات می‌باشند.

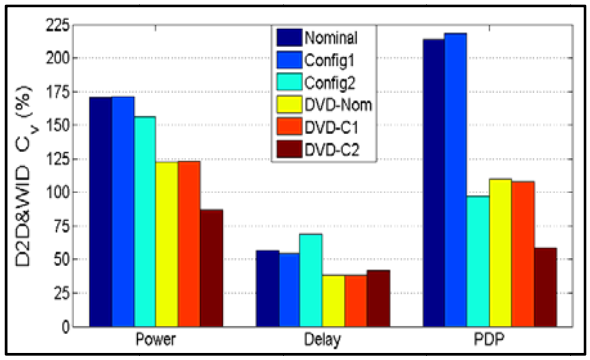


شکل ۵- نمودار تغییرپذیری توان، تاخیر و حاصلضرب-توان-تاخیر روش‌های مختلف در حضور تغییرپذیری قالب- به- قالب

در تغییرپذیری قالب- به- قالب روش‌های ارائه شده نسبت به مسیریاب نامینال تا ۴۵ درصد بهبود با توجه به معیار توان و حاصلضرب-توان-تأخیر نشان می‌دهند. ترکیب روش‌های VATS و VADVD می‌تواند نتیجه‌ی مطلوبی از لحاظ توان مصرفی و تغییرپذیری ارائه نماید. در تغییرپذیری درون- قالب روش‌های ارائه شده نسبت به مسیریاب نامینال تا ۸۴ درصد بهبود و در تغییرپذیری D2D&WID تا ۷۲ درصد بهبود را نشان می‌دهند.



شکل ۶- نمودار تغییرپذیری توان، تاخیر و حاصلضرب-توان- تاخیر روش‌های مختلف در حضور تغییرپذیری درون- قالب



شکل ۷- نمودار تغییرپذیری توان، تاخیر و حاصلضرب-توان-تاخیر روش‌های مختلف در حضور تغییرپذیری D2D&WID

با توجه به این‌که روش ارائه شده در این مقاله در سطح گیت بکار گرفته می‌شود، اضافه شدن تعداد مسیریاب‌ها در سیستم دیجیتال تأثیری بر نحوه آنالیز نخواهد گذاشت. به همین دلیل با همین رویکرد می‌توان مقادیر مناسب برای پارامترها را استخراج نمود که موجب کاهش توان مصرفی و تغییرپذیری مدارهای بزرگتر می‌گردد. بنابراین این روش مقیاس پذیر است. بدین منظور از این مسیریاب در یک شبکه روی تراشه ۴×۴ با لینک‌های دارای خطلوله و ترافیک واقعی Blackscholes از محک PARSEC استفاده شده است. به عنوان مثال برای روش ولتاژ تغذیه دوگانه آگاه از تغییرپذیری در حضور تغییرپذیری D2D&WID علاوه بر کاهش توان و تاخیر، تغییرپذیری توان، تاخیر و حاصلضرب-توان-تاخیر به ترتیب ۳۴.۲۱٪، ۱۷.۷۲٪ و ۱۴.۵۶٪ کاهش می‌یابد.

با توجه به مطالب ذکر شده، موارد استفاده هر پیکربندی به شرح ذیل می‌باشد.

- برای کاربردهای بی‌درنگ که تاخیر نقش حیاتی دارد، استفاده از Config1 به طراح پیشنهاد می‌گردد. زیرا این پیکربندی با دارا بودن تاخیر یکسان، علاوه بر کاهش توان و مساحت، موجب کاهش تغییرپذیری نیز می‌گردد.
- برای کاربردهایی که توان مصرفی کم دارای اهمیت بوده و تاخیر اهمیت ندارد، استفاده از DVD-C2 به طراح پیشنهاد می‌گردد. زیرا این پیکربندی علاوه بر کاهش مساحت، موجب کاهش قابل توجه توان و تغییرپذیری می‌گردد.
- برای کاربردهای کم توانی که اندکی تاخیر قابل قبول می‌باشد، پیکربندی DVD-C1 توصیه می‌شود. زیرا این پیکربندی با دارا بودن سربار تاخیر ناچیز، در

www.SID.ir

Archive of SID

مقابل موجب کاهش قابل توجه توان و تغییرپذیری شده و علاوه بر آن، مساحت را نیز کاهش می‌دهد.

- با توجه به مقیاس‌پذیری روش ارائه شده در این مقاله، بکارگیری VATS و VADVD در شبکه‌های روی تراشه بزرگتر می‌تواند باعث بهبود توان مصرفی و تغییرپذیری آن گردد.

۶- نتیجه‌گیری و کارهای آینده

در این مقاله، یک بستر مبتنی بر اسپایس برای تحلیل تغییرپذیری ارائه شده که با این بستر قادر به ارزیابی اثرات تغییرپذیری فرایند قالب- به- قالب و درون- قالب و تغییرپذیری محیطی روی شبکه روی تراشه ناهمگام سراسری همگام محلی و مسیریاب‌های آن می‌باشیم. اثرات پارامترهایی چون ولتاژ تغذیه، دما، ولتاژ آستانه، ضخامت اکسید گیت، طول و پهنای ترانزیستورها روی تغییرپذیری مورد ارزیابی قرار گرفته‌اند. برای هر پارامتر طراح می‌تواند بازه‌ی تغییرپذیری و تعداد نقاط مورد نظر برای شبیه‌سازی را تعیین نماید. براساس نتایج بدست آمده از شبیه‌سازی‌ها، میزان تغییرات توان و تاخیر مسیریاب ناهمگام در حضور تغییرپذیری پارامترهای ذکر شده، قابل توجه بوده و از این رو در شبکه روی تراشه ناهمگام سراسری همگام محلی نیز تغییرپذیری می‌تواند موجب کاهش قابل توجهی در کارایی شود. به منظور کاهش اثرات تغییرپذیری روی شبکه روی تراشه ناهمگام سراسری همگام محلی، یک روش آگاه از تغییرپذیری به بستر اضافه نمودیم تا در زمان طراحی مقادیر هر یک از پارامترهای ۸ گانه فوق که موجب کاهش توان و تغییرپذیری می‌شود را استخراج نماییم. در نهایت با استفاده از این بستر یک روش اندازه‌بندی ترانزیستور آگاه از تغییرپذیری (VATS) و یک روش ولتاژ تغذیه دوگانه آگاه از تغییرپذیری (VADVD) بدون نیاز به تبدیل کننده سطح ولتاژ، با رویکرد کم توان و کاهش تغییرپذیری ارائه نموده‌ایم. به منظور ارزیابی کارایی روش‌های ارائه شده، برای در نظر گرفتن تغییرپذیری از توزیع گوسی و برای انجام شبیه‌سازی‌ها از روش مونت کارلو استفاده نموده‌ایم. برای تجزیه و تحلیل اثرات تغییرپذیری روی توان، تاخیر و حاصلضرب- توان- تاخیر از فرمول‌های ریاضی استفاده شده است. برای کاربردهای بی‌درنگ با استفاده از روش VATS پیکربندی‌ای را ارائه نموده‌ایم، که با ثابت ماندن تاخیر؛ توان و مساحت کاهش یافته و علاوه بر آن موجب کاهش تغییرپذیری قالب- به- قالب و درون- قالب می‌گردد. با اعمال روش VADVD روی مسیریاب، با قبول سربار تاخیر حدود ۶ درصد، توان حدود ۳۰ درصد کاهش یافته و علاوه بر آن تغییرپذیری‌ها بین ۱۰ تا ۸۳ درصد کاهش می‌یابد. برای کاربردهای کم توان و حساس به تغییرپذیری با اعمال هم‌زمان روش‌های VATS و VADVD روی مسیریاب، به ازای یکی از پیکربندی‌ها (DVD-C2)، علاوه بر کاهش قابل توجه تغییرات توان، تاخیر و حاصلضرب- توان- تاخیر در حضور تغییرپذیری؛ موجب کاهش توان و حاصلضرب- توان- تاخیر به میزان به ترتیب ۸۰.۶۱٪ و ۶۷.۸۴٪ شده و در مقابل موجب افزایش تاخیر ۶۵.۸۸٪ می‌گردد. هم‌چنین این پیکربندی موجب کاهش مساحت نیز شده است. به عنوان کارهای آینده، می‌توان اثر تغییرپذیری شبکه روی تراشه در حضور ترافیک‌های واقعی و کارایی روش‌های ارائه شده را در این نوع ترافیک‌ها، مورد ارزیابی دقیق‌تر قرار داد. هم‌چنین اضافه کردن روش‌های دیگر مانند استفاده از ولتاژ آستانه چندگانه به بستر موجود نیز یکی از کارهای پیش رو است.

تشکر و قدردانی

این کار تحقیقاتی از حمایت مالی پژوهشگاه دانشهای بنیادی (IPM) (قرارداد CS1392-4-17) برخوردار است.

مراجع

[1] Y. Hoskote, S. Vangal, A. Singh, N. Borkar, and S. Borkar, "A 5-GHz mesh interconnect for a teraflops processor," *IEEE Int'l Conf. Micro*, pp. 51-61, 2007.

[2] R. Kumar, V. Zyuban, and D. M. Tullsen, "Interconnections in multi-core architectures: Understanding mechanisms, overheads and scaling," *IEEE Int'l Symp. Computer Architecture*, pp. 408-419, 2005.

[3] J. D. Owens, W. J. Dally, R. Ho, D. Jayasimha, S. W. Keckler, and L. S. Peh, "Research challenges for on-chip interconnection networks," *IEEE Int'l Conf. Micro,* pp. 96-108, 2007.

[4] C. Hernández Luz, *Addressing Manufacturing Challenges in NoC-based ULSI Designs*, Ph.D. Dissertation, Universitat Politecnica de Valencia, Valencia, Spain, 2012.

[5] A. P. Chandrakasan, W. J. Bowhill, and F. Fox, *Design of high-performance microprocessor circuits*, Wiley-IEEE Press, 2000.

[6] O. S. Unsal, J. W. Tschanz, K. Bowman, V. De, X. Vera, A. Gonzalez, and O. Ergin, "Impact of parameter variations on circuits and microarchitecture," *IEEE Int'l Conf. Micro-architecture*, pp. 30-39, 2006.

[7] K. Kuhn, C. Kenyon, A. Kornfeld, M. Liu, A. Maheshwari, W. Shih, S. Sivakumar, G. Taylor, P. VanDerVoorn, and K. Zawadzki, "Managing process variation in Intel's 45nm CMOS technology," *Int'l Technology Journal,* vol. 12, no. 3, pp. 93-109, 2008.

[8] M. Dietrich, and J. Haase, *Process Variations and Probabilistic Integrated Circuit Design*, Springer, 2011.

[9] C. Hernández, F. Silla, and J. Duato, "A methodology for the characterization of process variation in NoC links," *IEEE Int'l Conf. Design, Automation & Test in Europe,* pp. 685-690, 2010.

[10] Y. Nakata, Y. Takeuchi, H. Kawaguchi, and M. Yoshimoto, "A process-variation-adaptive network-on-chip with variable-cycle routers," *IEEE Int'l Conf. Digital System Design*, pp. 801-804, 2011.

[11] C. Hernandez, A. Roca, F. Silla, J. Flich, and J. Duato, "On the Impact of Within-Die Process Variation in GALS-Based NoC Performance," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems,* vol. 31, no. 3, pp. 294-307, 2012.

[12] E. K. VIVEK, and D. LIMAYE, "Reliable data synchronization in GALS'SoC," *Journal of Engineering Science*, vol. 1, no. 4, 2013.

[13] E. Nigussie, S. Tuuna, J. Plosila, and J. Isoaho, "Analysis of crosstalk and process variations effects on on-chip interconnects," *Proc, IEEE Int'l Symp. System-on-Chip*, pp. 1-4, 2006.

www.SID.ir

Archive of SID

IEEE Int'l Conf. Design Automation Conference (DAC), pp. 781-786, 2010.

[27] C. Chen, and M. Sarrafzadeh, "Provably good algorithm for low power consumption with dual supply voltages," *Proc, IEEE Int'l Conf. Computer-aided design*, pp. 76-79, 1999.

[28] M. Allani, and V. Agrawal, "An efficient algorithm for dual-voltage design without need for level conversion," *Proc, IEEE Int'l Symp. Southeastern System Theory*, pp. 51-56, 2012.

[29] T. Miller, R. Thomas, and R . Teodorescu, "Mitigating the Effects of Process Variation in Ultra-low Voltage Chip Multiprocessors using Dual Supply Voltages and Half-Speed Units," *Computer Architecture Letters*, pp. 99-103, 2012.

[30] B. Devlin, M. Ikeda, and K. Asada, "Gate-level process variation offset technique by using dual voltage supplies to achieve near-threshold energy efficient operation," *Proc, IEEE Int'l Conf. Cool Chips XV*, pp. 1-3, 2012.

[31] A. Sheibanyrad, "Asynchronous implementation of a distributed network-on-chip," *Pierre et Marie Curie (UPMC),* 2008.

[32] K. K. Kim, and Y. B. Kim, "A novel adaptive design methodology for minimum leakage power considering PVT variations on nanoscale VLSI systems," *IEEE Trans. Very Large Scale Integration Systems,* vol. 17, no. 4, pp. 517-528, 2009.

[33] A. Rahimi, L. Benini, and R. K. Gupta, "Hierarchically Focused Guardbanding: An adaptive approach to mitigate PVT variations and aging," *Proc, IEEE Int'l Conf. Design, Automation & Test in Europe*, pp. 1695-1700, 2013.

[34] K. A. Bowman, J. W. Tschanz, S. L. Lu, P. A. Aseron, M. M. Khellah, A. Raychowdhury, B. M. Geuskens, C. Tokunaga, C. B. Wilkerson, and T. Karnik, "A 45 nm resilient microprocessor core for dynamic variation tolerance," *IEEE Journal of Solid-State Circuits,* vol. 46, no. 1, pp. 194-208, 2011.

[35] H. Mostafa, M. Anis, and M. Elmasry, "Adaptive Body Bias for reducing the impacts of NBTI and process variations on 6T SRAM cells," *IEEE Trans. Circuits and Systems,* vol. 58, no. 12, pp. 2859-2871, 2011.

[36] S. Sindia, F. F .Dai, V. D. Agrawal, and V. Singh, "Impact of process variations on computers used for image processing," *Proc, IEEE Int'l Conf. Circuits and Systems*, pp. 1444-1447, 2012.

[37] Y. Li, C. H. Hwang, and T. Y. Li, "Discrete-dopant-induced timing fluctuation and suppression in nanoscale CMOS circuit," *IEEE Trans. Circuits and Systems,* vol. 56, no. 5, pp. 379-383, 2009.

[38] D. Harris, and N. Weste, *CMOS VLSI Design*, Pearson/Addison Wesley, 2005.

[14] V. Bonfiglio, and G. Iannaccone, "Sensitivity-based investigation of threshold voltage variability in 32-nm flash memory cells and MOSFETs," *Journal of Solid-State Electronics*, vol. 4, no. 5, pp. 13-25, 2013.

[15] K. Bernstein, D. Frank, A. Gattiker, W. Haensch, B. Ji, S. Nassif, E. Nowak, D. Pearson, and N. Rohrer, "High-performance CMOS variability in the 65-nm regime and beyond," *IBM Journal of Research and development,* vol. 50, no. 3, pp. 433-449, 2006.

[16] C. Hernandez, F. Silla, V. Santonja, and J. Duato, "A new mechanism to deal with process variability in NoC links," *Proc, IEEE Int'l Symp. Parallel & Distributed Processing*, pp. 1-11, 2009.

[17] C. Hernández, F. Silla, and J. Duato, "Addressing link degradation in noc-based ULSI designs," *Proc, IEEE Int'l Workshop of Parallel Processing*, pp. 327-336, 2013.

[18] C. Hernández, A. Roca, F. Silla, J. Flich, and J. Duato, "Improving the Performance of GALS-based NoCs in the Presence of Process Variation," *Proc, IEEE Int'l Symp. Networks-on-Chip,* pp. 35-42, 2010.

[19] C. Hernández, A. Roca, J. Flich, F. Silla, and J. Duato, "Characterizing the impact of process variation on 45 nm NoC-based CMPs," *Journal of Parallel and Distributed Computing,* vol. 71, no. 5, pp. 651-663, 2011.

[20] R. Teodorescu, and J. Torrellas, "Variation-Aware Application Scheduling and Power Management for Chip Multiprocessors," *Proc, IEEE Int'l Symp. Computer Architecture*, pp. 363-374, 2008.

[21] H. Tennakoon, and C. Sechen, "Efficient and accurate gate sizing with piecewise convex delay models," *Proc, IEEE Int'l Conf. Design Automation Conference,* pp. 807-812, 2008.

[22] V. G. Oklobdzija, M. Aktan, and D. Baran, "Optimal transistor sizing and voltage scaling for minimal energy use at fixed performance," *Proc, IEEE Int'l Conf. Micro-Nanoelectronics, Technology and Applications*, pp. 1-10, 2012.

[23] M. Borah, R. M. Owens, and M. J. Irwin, "Transistor sizing for minimizing power consumption of CMOS circuits under delay constraint," *Proc, IEEE Int'l Symp. Low Power Design*, pp. 167-172, 1995.

[24] Y. Aizik, and A. Kolodny, "Finding the energy efficient curve: Gate sizing for minimum power under delay constraints," *Proc, IEEE Int'l Conf. VLSI Design,* pp. 201-213, 2011.

[25] A. Kabbani, "Transistor sizing and VDD scaling for low power CMOS circuits," *Proc, IEEE Int'l Conf. Circuits and Systems,* pp. 1-4, 2009.

[26] D. K. Beece, J. Xiong, C. Visweswariah, V. Zolotov, and Y. Liu, "Transistor sizing of custom high-performance digital circuits with parametric yield considerations," *Proc,*

www.SID.ir

Archive of SID

[39] M. W .Chen, M. H. Chang, Y.H. Chu, and W. Hwang, "An energy-efficient level converter with high thermal variation immunity for sub-threshold to super-threshold operation," *Proc, IEEE Int'l Conf. in System-on-Chip*, pp. 5-10, 2012.

محمد میرزایی مدرک کارشناسی خود را در رشته مهندسی کامپیوتر با گرایش معماری کامپیوتر در سال ۱۳۸۸ از دانشگاه مازندران و مدرک کارشناسی‌ارشد مهندسی کامپیوتر با گرایش معماری کامپیوتر را در سال ۱۳۹۲ از دانشگاه تهران دریافت نموده است. زمینه‌های پژوهشی مورد علاقه وی عبارتند از: طراحی مدارهای دیجیتال ناهمگام، شبکه‌های روی تراشه ناهمگام سراسری همگام محلی، درستی‌سنجی سیستم‌های دیجیتال، مدارهای کم توان و پردازش تصویر.

آدرس پست‌الکترونیکی ایشان عبارت است از:

mo.mirzaei@ece.ut.ac.ir

مهدی مصفا مدارک کارشناسی و کارشناسی‌ارشد مهندسی کامپیوتر با گرایش معماری کامپیوتر را در سال‌های ۱۳۸۶ و ۱۳۸۸ از دانشگاه تهران دریافت کرد. در حال حاضر نیز دانشجوی دکترای همین رشته در دانشگاه تهران است. وی علاقمند به تحقیق در زمینه‌های طراحی ناهمگام، شبکه‌های روی تراشه ناهمگام سراسری همگام محلی، طراحی‌های تحمل‌پذیر خرابی و درستی‌سنجی، و روش‌های صوری است. همچنین در زمینه پیاده‌سازی مدارهای دیجیتال مخابراتی مانند مدولاتور و دمدولاتور، کدهای تصحیح خطا و پردازنده‌های رمزنگاری نیز مشغول به تحقیق است.

آدرس پست‌الکترونیکی ایشان عبارت است از:

m.mosaffa@ece.ut.ac.ir

سیامک محمدی مدارک کارشناسی، کارشناسی‌ارشد و دکترای خود را در رشته مهندسی الکترونیک از دانشگاه اُرسِی، پاریس جنوب (فرانسه) در سال‌های ۱۹۹۰، ۱۹۹۲، و ۱۹۹۶ میلادی دریافت کرد. وی در سال‌های ۱۹۹۷ تا ۱۹۹۹ در دانشگاه منچستر انگلیس به‌عنوان محقق مشغول به کار بوده است. همچنین در شرکت‌های معتبر تولید محصولات دیجیتال مانند ATI در کانادا نیز همکاری نموده است. در حال حاضر او استادیار دانشکده برق و کامپیوتر دانشکده فنی دانشگاه تهران است. وی دارای تجربه ۱۵ ساله در طراحی مدارهای دیجیتال، طراحی تراشه و درستی‌سنجی، طراحی مدارهای ناهمگام و شبکه‌های برروی تراشه ناهمگام سراسری همگام محلی و روش‌های صوری است.

آدرس پست‌الکترونیکی ایشان عبارت است از:

smohammadi@ece.ut.ac.ir

اطلاعات بررسی مقاله:

تاریخ ارسال: ۹۲/۳/۱۰

تاریخ اصلاح: ۹۲/۷/۲

تاریخ قبول شدن: ۹۲/۸/۱

نویسنده مرتبط: دکتر سیامک محمدی، دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران، تهران، ایران.

[1] Chip Multiprocessors (CMP)
[2] Network-on-Chip (NoC)
[3] Device
[4] Performance
[5] Platform
[6] HSPICE
[7] Process Variation
[8] Die-to-Die (D2D)
[9] Within-Die (WID)
[10] Environment Variation
[11] Globally Asynchronous Locally Synchronous NoC (GALS-NoC)
[12] Router
[13] Power Delay Product (PDP)
[14] Die
[15] Intel
[16] Bus
[17] Crossbar
[18] Integration
[19] Component
[20] Processing
[21] Masking
[22] Activity Factor
[23] Random Dopant Fluctuation (RDF)
[24] Wafer
[25] Global Clock
[26] Clock Skew
[27] Predictive Technology Model
[28] Low Power
[29] Variation-Aware Transistor Sizing (VATS)
[30] Variation-Aware Dual-V_{DD} (VADVD)
[31] Voltage Level Converter
[32] Link
[33] Layout
[34] Monte Carlo
[35] Failure
[36] Fault
[37] Mesh
[38] Congestion
[39] Mapping
[40] Supply Voltage Scaling
[41] Process Variation Aware Tuner
[42] Dual Supply Voltages
[43] Core-to-Core
[44] Near-Threshold Voltage
[45] Pipeline Stages
[46] Fast-Fast (FF)
[47] Slow-Slow (SS)
[48] Typical-Typical (TT)
[49] Flit
[50] Round Robin
[51] Nominal
[52] Header Flit
[53] Body Flit
[54] Gaussian Distribution
[55] Standard Deviation
[56] Variance
[57] Gate Level
[58] Mobility
[59] Drive
[60] Contention Current
[61] Case Study
[62] Real Time

www.SID.ir