Archive of SID

طراحی یک آشکارساز مجتمع فاز-فرکانس با توان و تاخیر بهینه، با استفاده از الگوریتم بهینه‌سازی ازدحام ذرات

زینب پورطاهری[۱]، سید حمید ظهیری[۲]

۱- دانشجوی دکتری، دانشکده مهندسی برق وکامپیوتر- دانشگاه بیرجند- بیرجند- ایران
z.pourtaheri@birjand.ac.ir
۲- دانشیار گروه مهندسی الکترونیک، دانشکده مهندسی برق و کامپیوتر- دانشگاه بیرجند- بیرجند- ایران
hzahiri@birjand.ac.ir

چکیده: کاربرد وسیع حلقه‌های قفل شونده فاز در انواع مدارهای مخابراتی و الکترونیکی و چند منظوره بودن این مدارها، سبب شده است که طراحی بهینه آن‌ها مورد توجه پژوهشگران قرار گیرد. بی تردید توان مصرفی پایین و تاخیر کمتر از مهم‌ترین اهدافی است که در طراحی حلقه‌های قفل شونده فاز به آن پرداخته می‌شود. در این تحقیق، فرآیند طراحی و بهینه‌سازی عملکرد حلقه‌های قفل شونده فاز در سطح مدارهای مجتمع، با استفاده از الگوریتم بهینه‌سازی ازدحام ذرات پیشنهاد شده است. در روش پیشنهاد شده، به جای آزمایش و شبیه‌سازی‌های مکرر و مبتنی بر روش سعی و خطا برای دست‌یابی به پارامترهای مطلوب در یک مدار مجتمع آشکارساز فاز- فرکانس، متغیرهای تاثیرگذار در عملکرد آن (که بیشتر ابعاد ترانزیستورها هستند)، به الگوریتم ازدحام ذرات ارایه و فرآیند بهینه‌سازی با این الگوریتم محقق می‌شود. نتایج به دست آمده گویای توانایی قابل توجه این روش ابتکاری در یافتن ترانزیستورهایی با بهترین ابعاد برای دست‌یابی به توان مصرفی و تاخیر بهینه، در مقایسه با روش‌های معمول طراحی است. اگرچه نتایج این تحقیق به شکل مصداقی برای آشکارساز مجتمع فاز- فرکانس ارایه شده است، اما نتایج مناسب به دست آمده، قابلیت روش ارایه شده را برای طراحی سایر مدارهای مجتمع کاربردی نشان می‌دهد.

واژه‌های کلیدی: آشکارساز فاز، فرکانس، الگوریتم بهینه‌سازی ازدحام ذرات، تاخیر مدارهای مجتمع، توان مصرفی مدارهای مجتمع

۱- مقدمه

حلقه‌های قفل شونده فاز، به طور گسترده در ریزپردازنده‌ها، پردازش‌گرهای سیگنال دیجیتال و سیستم‌های ارتباطی به‌کار می‌روند. هدف پژوهش‌های جدید مرتبط با حلقه‌های قفل شونده فاز، رسیدن به فرآیند قفل سریع‌تر، جیتر کمتر، توان کمتر و فرکانس کاری بالاتر بوده است [۱]. حلقه قفل شونده فاز، یک سیستم فیدبکی است که سیگنال مرجع را می‌گیرد و با استفاده از مسیر فیدبک، عملیات کنترلی را انجام می‌دهد تا سیگنال خروجی از لحاظ فاز و فرکانس با سیگنال مرجع هم‌زمان شود. در این حالت، حلقه قفل شونده فاز در وضعیت قفل قرار دارد. سیگنال خروجی اسیلاتور، به طور پیوسته بررسی می‌شود و در صورت بروز اختلاف فاز و فرکانس بین این سیگنال و سیگنال مرجع، سیگنال خطایی تولید می‌شود تا اسیلاتور به حالت هم‌زمانی با سیگنال مرجع برگردد. این سیگنال خطا توسط آشکارساز فاز- فرکانس تولید شده و به اسیلاتور (که می‌تواند با ولتاژ یا جریان کنترل شود) منتقل می‌شود تا اسیلاتور بتواند بر اساس آن، سیگنال خروجی خود را تنظیم

۱ تاریخ ارسال مقاله : ۱۳۹۲/۰۳/۲۹
تاریخ پذیرش مقاله : ۱۳۹۳/۰۳/۰۵
نام نویسنده مسئول : زینب پورطاهری
نشانی نویسنده مسئول : ایران – بیرجند- دانشگاه بیرجند – دانشکده برق و کامپیوتر

www.SID.ir

Archive of SID

کند.

مداری که بتواند هم اختلاف فاز و هم اختلاف فرکانس را آشکار کند، بسیار مفید است؛ زیرا گستره قفل و سرعت قفل کردن حلقه قفل شونده فاز را افزایش می‌دهد. آشکارساز فاز- فرکانس بلوکی است که اختلاف فاز و فرکانس ورودی‌هایش را آشکار می‌کند و دنباله‌ای از پالس‌های Up و Down تولید می‌کند.

در این مقاله، به منظور بهینه‌سازی توان مصرفی و زمان تاخیر، سایزبندی عنصرهای به‌کار رفته در مدار آشکارسازفاز- فرکانس پیشنهادی با استفاده از الگوریتم‌های ابتکاری انجام می‌شود؛ برای رسیدن به این هدف از الگوریتم بهینه‌سازی ازدحام ذرات استفاده شده است.

پس از مشخص شدن توپولوژی و طرح اولیه، مرحله سایزبندی عنصرها پیش رو است که بیشتر فرآیندی کند، خسته کننده و تکرار شونده است و میزان موفقیت آن به دانش، فراست و تجربه طراح بستگی دارد [۲]. اما در نهایت هیچ تضمینی برای بهینه بودن ساختار به دست آمده وجود ندارد.

در مرجع [۳]، آشکارساز فاز- فرکانس مورد بررسی در این مقاله به عنوان یک آشکارساز توان پایین مطرح شد که در آن، سایزبندی ترانزیستورها با روش سعی و خطا انجام شده است. در این تحقیق، روش طراحی خودکار آشکارساز فاز- فرکانس با استفاده از الگوریتم بهینه‌سازی ازدحام ذرات پیشنهاد شده است. در واقع سایزبندی ترانزیستورها به نحوی انجام شده است که مدار از لحاظ توان مصرفی و زمان تاخیر در وضعیت بهینه قرار گیرد.

در ادامه این مقاله، ابتدا در بخش ۲ ساختار آشکارساز فاز- فرکانس پیشنهادی را بررسی می‌کنیم، سپس، در بخش ۳ الگوریتم بهینه‌سازی ازدحام ذرات مرور می‌شود. در بخش۴ نحوه بهینه‌سازی توان مصرفی و زمان تاخیر توسط الگوریتم بهینه‌سازی ازدحام ذرات ارایه می‌شود. در بخش‌های ۵ و ۶ به تحلیل نتایج پرداخته می شود. در نهایت، بخش ۷ این مقاله به نتیجه‌گیری اختصاص داده شده است.

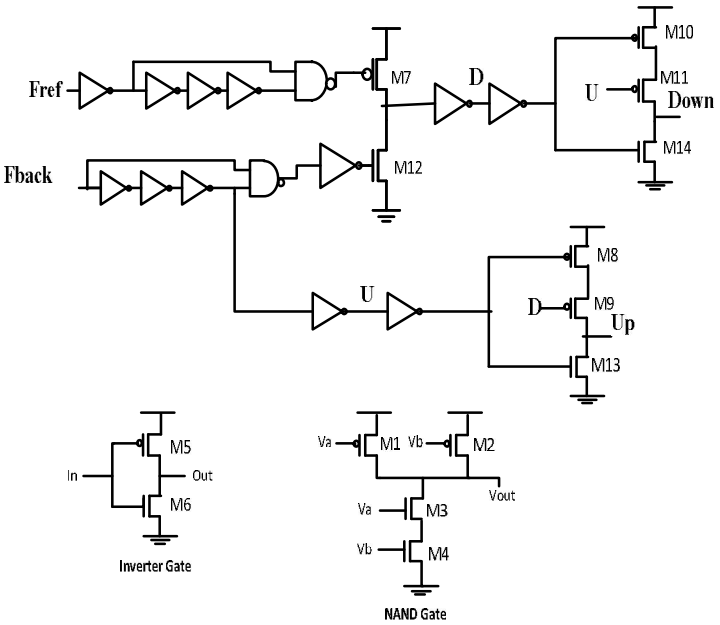
۲- ساختار آشکارساز فاز- فرکانس پیشنهادی

شکل (۱) ساختار آشکارساز فاز- فرکانس پیشنهادی را نشان می‌دهد. این آشکارساز، دو سیگنال کلاک ورودی دارد: F_{ref} یا سیگنال مرجع، F_{back} یا سیگنال فیدبک که از خروجی اسیلاتور می‌آید. هم‌چنین دو سیگنال خروجی Up و Down دارد. یک آشکارساز فاز– فرکانس، اختلاف بین ورودی‌هایش را بررسی می‌کند و با توجه به فاز و فرکانس سیگنال‌های ورودی، خروجی‌های Up و Down را تولید می‌کند. سیگنال Up نشان می‌دهد که سیگنال فیدبک از سیگنال مرجع عقب افتاده و در نهایت باعث می‌شود که اسیلاتور، فرکانس خود را افزایش دهد تا با سیگنال مرجع، هم‌زمان شود و سیگنال Down به این معنی است که سیگنال فیدبک از سیگنال مرجع پیش افتاده و اسیلاتور باید فرکانس خود را کاهش دهد[۳].

لبه بالارونده سیگنال مرجع، تغییری در U و D ایجاد نمی‌کند، اما لبه بالارونده سیگنال فیدبک، U و D را از صفر به یک می‌برد. از طرف دیگر با رسیدن لبه پایین رونده سیگنال مرجع، سیگنال D از یک به صفر می‌رود و لبه پایین رونده سیگنال فیدبک باعث می‌شود که U از یک به صفر برود. به عبارت دیگر، U مستقل از تغییرات سیگنال مرجع است و فقط با لبه بالارونده سیگنال فیدبک، یک و با لبه پایین رونده آن، صفر می‌شود. به همین دلیل برای به دست آوردن خروجی U از مسیری استفاده شده که سیگنال فیدبک را به تاخیر می‌اندازد (چهار وارونگر). لبه بالارونده سیگنال D تحت تاثیر لبه بالارونده سیگنال فیدبک و لبه پایین رونده آن تحت تاثیر لبه پایین رونده سیگنال مرجع است[۳].

www.SID.ir

Archive of SID



شکل (۱): ساختار آشکارساز فاز- فرکانس پیشنهادی به همراه مدار داخلی گیت‌های وارونگر و NAND

نمودار زمانی مربوط به عملکرد این آشکارساز فاز- فرکانس در شکل‌های (۲) و (۳) نشان داده شده است. همان‌طور که این نمودارها نشان می‌دهند، خروجی‌های میانی D و U سیگنال‌هایی هستند که لبه بالارونده آن‌ها هم‌زمان است (چون هر دو تحت تاثیر لبه بالارونده سیگنال فیدبک قرار دارند). اما، لبه پایین رونده آنها متفاوت است (به جز حالت قفل، که دو سیگنال ورودی، فاز و فرکانس برابر دارند). برای مشخص شدن اختلاف بین لبه‌های پایین رونده دو سیگنال فوق، از قسمت انتهایی مدار شکل (۱) استفاده شده که سیگنال‌های U و D به عنوان ورودی این قسمت به‌کار می‌روند و در نهایت، دو خروجی Up و Down تولید می‌شوند. در آن واحد فقط، روی یکی از خروجی‌های Up و Down پالس ایجاد می‌شود و دیگری صفر است.

اگر سیگنال فیدبک از مرجع پیش بی افتد، اختلاف سیگنال‌های U و D روی خروجی Down ظاهر می‌شود؛ یعنی فرکانس اسیلاتور باید کاهش یابد. ایجاد پالس روی Up نشان می‌دهد سیگنال فیدبک از مرجع، عقب افتاده و اسیلاتور باید فرکانس خود را افزایش دهد. در نهایت، زمانی که دو سیگنال مرجع و فیدبک با هم برابر باشند، خروجی‌های Up و Down هر دو در وضعیت صفر قرار می‌گیرند. شکل‌های (۲) و (۳) و جدول (۱) اصول کاری آشکارساز فاز- فرکانس پیشنهادی را نشان می‌دهند.

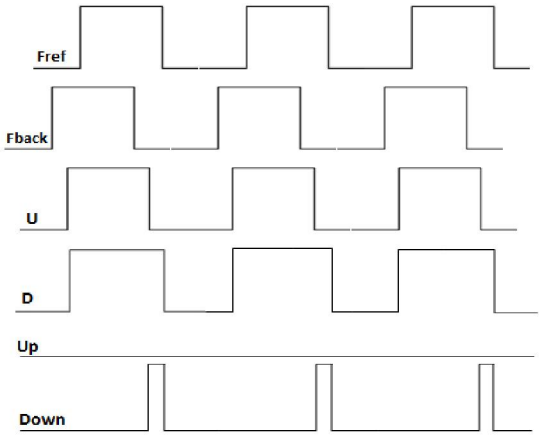
شایان ذکر است که در شکل (۱)، زنجیره‌ی وارونگرها مسیر تاخیری را ایجاد می‌کند. همچنین برای پیاده‌سازی گیت NAND از منطق CMOS مکمل استفاده شده که روشی ساده، مستحکم و مطمئن برای پیاده‌سازی گیت‌های منطقی است. البته این گیت‌ها با افزایش ورودی دچار مشکلاتی می‌شوند اما با توجه به اینکه در این مقاله از گیت NAND با دو ورودی استفاده شده، می‌توان با اطمینان گیت NAND را به صورت CMOS مکمل پیاده‌سازی کرد و از مزایای این منطق بهره برد.

جدول (۱): سه حالت خروجی آشکارساز فاز – فرکانس پیشنهادی

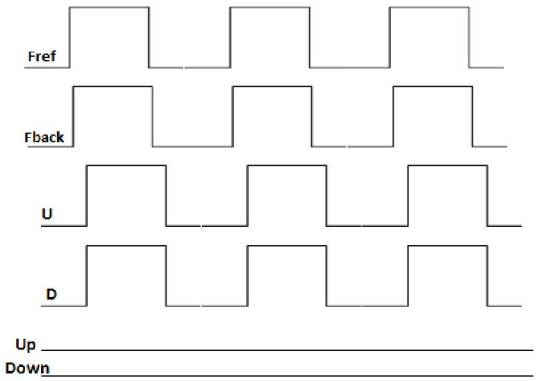
Downسیگنال	Upسیگنال	وضعیت
۰	۱	سیگنال فیدبک از سیگنال مرجع، عقب افتاده است.
۱	۰	سیگنال فیدبک از سیگنال مرجع، پیش افتاده است.
۰	۰	سیگنال فیدبک و سیگنال مرجع با هم برابرند.

www.SID.ir

Archive of SID



شکل(۲): سیگنال فیدبک از سیگنال مرجع پیش افتاده است.



شکل (۳): فاز و فرکانس سیگنال فیدبک و سیگنال مرجع با هم برابرند.

۳-الگوریتم بهینه‌سازی ازدحام ذرات

الگوریتم بهینه‌سازی ازدحام ذرات (PSO) یکی از مهم‌ترین الگوریتم‌های بهینه‌سازی هوشمند است که در حوزه هوش ازدحامی (Intelligence Swarm) جای می‌گیرد. این الگوریتم، توسط جیمز کندی و راسل سی ابرهارت در سال ۱۹۹۵ معرفی شد، و با الهام از رفتار اجتماعی حیواناتی چون ماهی‌ها و پرندگان که در گروه‌هایی کوچک و بزرگ کنار هم زندگی می‌کنند، طراحی شده است.

الگوریتم ازدحام ذرات، یک الگوریتم بهینه‌سازی تقلیدی از رفتارهای جوامع جانوری در پردازش دانش جامعه است. این الگوریتم از دو زمینه ریشه گرفته است؛ نخست زندگی مصنوعی (مانند دسته‌ی پرندگان، ماهی‌ها) و دوم محاسبات تکاملی[۴]. مبنای توسعه الگوریتم PSO این است که جواب‌های ممکن در یک مسئله بهینه‌سازی به شکل پرندگانی بدون حجم و خصوصیات کیفی در نظر گرفته می‌شوند که از آنان به عنوان ذرات یاد می‌شود. این پرندگان در یک فضای n بعدی پرواز کرده و مسیر حرکت خود در فضای جستجو را بر اساس تجارب گذشته خود و همسایگان‌شان تغییر می‌دهند [۵].

در دسته‌ای متشکل از N ذره، موقعیت ذره iام تحت تاثیر یک بردار مکانی n بعدی مطابق معادله (۱) قرار دارد.

$$X_i = (X_{i1}, X_{i2}, \dots, X_{in})^T \in S \qquad (۱)$$

که در آن S فضای جستجو است.

این ذره، هم‌چنین دارای یک بردار سرعت به شکل معادله (۲) است.

$$V_i = (V_{i1}, V_{i2}, \dots, V_{in})^T \in S \qquad (۲)$$

بهترین موقعیت قبلی به دست آمده برای ذره iام، با استفاده از معادله (۳) نمایش داده می‌شود.

$$P_i = (P_{i1}, P_{i2}, \dots, P_{in})^T \qquad (۳)$$

در نهایت، موقعیت جدید ذرات با استفاده از معادلات (۴) و (۵) به دست می‌آید.

$$V_i(t+1) = \omega V_i(t) + c_1 r_1 (P_i(t) - X_i(t)) + c_2 r_2 (P_g(t) - X_i(t)) \qquad (۴)$$

$$X_i(t+1) = X_i(t) + V_i(t+1) \qquad (۵)$$

در این معادلات:

ω: ضریب اینرسی

g: شاخص به کار رفته برای ذره‌ای که بهترین موقعیت را دارد.

t: نشان دهنده تعداد تکرار

c_1: ضریب یادگیری شخصی

c_2: ضریب یادگیری جمعی

www.SID.ir

Archive of SID

و r_1 و r_2: اعدادتصادفی در بازه [۱ ۰] است.

سرعت هر یک از ذرات دارای مقدار حداکثری است که توسط کاربر تعیین می‌شود[۵].

شایان ذکر است که از الگوریتم ازدحام ذرات در حوزه‌های مختلفی استفاده شده که برای مثال می‌توان به پژوهش‌های انجام شده در مراجع [۶] تا [۸] اشاره کرد.

۴-نحوه استفاده از الگوریتم ازدحام ذرات جهت بهینه‌سازی توان مصرفی و زمان تاخیر

اکنون که توپولوژی مدار مشخص شده، قرار است با استفاده از الگوریتم بهینه‌سازی ازدحام ذرات، توان مصرفی و زمان تاخیر مدار در وضعیت بهینه قرار گیرد.

هنگام استفاده از الگوریتم بهینه‌سازی ازدحام ذرات توجه به دو مسئله مهم دارای اهمیت است: نحوه بیان ذره و تابع برازندگی [۹].

۴-۱- تعریف ذرات

ابعاد هر ذره توسط تعداد ترانزیستورها مشخص می‌شود، البته باید به این نکته توجه داشت که مدار آشکارساز فاز- فرکانس پیشنهادی ۴۰ ترانزیستور دارد اما با توجه به توپولوژی، کافی است سایز ۱۴ ترانزیستور مشخص شود (در این صورت بقیه سایزها مشخص می‌شود)؛ در واقع این مدار شامل ۱۲ وارونگر و دو گیت NAND است و هنگام نوشتن فایل sp. مربوطه، این دو گیت در دو زیرمدار جداگانه تعریف می‌شوند و در مواردی که به این گیت‌ها نیاز باشد، از فراخوانی زیرمدارها استفاده می‌شود. بنابراین، برای کل وارنگرهای موجود در مدار فقط کافی است که دو ترانزیستور سایزدهی شوند، همچنین به سایز چهار ترانزیستور برای مجموعه دو گیت NAND نیاز است که با هشت ترانزیستور باقی‌مانده در مدار، کافی است سایز ۱۴ ترانزیستور مشخص شود. بنابراین، ابعاد ذره هم ۱۴ است.

از آنجا که طول ترانزیستورها ثابت و برابر با مقدار تکنولوژی (۶۵ نانومتر) است، فقط عرض ترانزیستورها توسط این روش مشخص می‌شود. بنابراین، ذره iام به شکل معادله (۶) مشخص می‌شود که در آن W بیانگر عرض ترانزیستور است.

$$W_i = (W_{i1}, W_{i2}, \dots, W_{i14})^T \quad (۶)$$

۴-۲- تعریف تابع برازندگی

همان‌طور که اشاره شد، مسأله مهم دیگری که باید مد نظر قرار گیرد، تابع برازندگی است که باید به طور مناسبی تعریف شود. در واقع ارزیابی ذرات جمعیت از طریق محاسبه مقدار تابع هدف (برازندگی) انجام می‌شود. کاهش توان مصرفی آشکارساز فاز- فرکانس، هدف اولیه این تحقیق بوده اما از آنجا که کاهش توان مصرفی می‌تواند باعث افزایش زمان تاخیر مدار شود، زمان تاخیر هم در تابع هدف لحاظ شده و برای تابع برازندگی (Fitness) یک رابطه به شکل معادله (۷) تعریف می‌شود تا مصالحه‌ای بین توان مصرفی (power) و زمان تاخیر (delay) مدار ایجاد شود و هدف، یافتن مقدار بهینه برای این تابع است. شایان ذکر است که در این تعریف، برای توان مصرفی و تاخیر، تاثیر یکسانی در نظر گرفته شده و به همین دلیل برای هر دو، ضریب ۰/۵ لحاظ شده است.

$$\text{Fitness} = (0.5 \times \text{delay}) + (0.5 \times \text{power}) \quad (۷)$$

۴-۳- مراحل انجام کار

روش بهینه‌سازی در این مدار بر پایه‌ی استفاده هم‌زمان از Matlab و Hspice می‌باشد و شامل مراحل زیر است:

مقداردهی اولیه و تصادفی سایز ترانزیستورها (عرض ترانزیستور)

وارد کردن سایزهای پیشنهادی به فایل sp.

شبیه‌سازی مدار مورد نظر توسط Hspice و با توجه به سایزهای پیشنهاد شده

استخراج مقدار خروجی (توان مصرفی و زمان تاخیر) حاصل از شبیه‌سازی توسط Matlab

اعمال فرآیند بهینه‌سازی توسط الگوریتم PSO

محاسبه اندازه‌های جدید برای تکرارهای بعدی

www.SID.ir

Archive of SID

الگوریتم

۵-نتایج شبیه‌سازی

برای شبیه‌سازی مدار آشکارسازفاز- فرکانس، شاخص‌ها و متغیرهای الگوریتم بهینه‌سازی ازدحام ذرات به شکل زیر در نظر گرفته شده‌اند:

دامنه تغییرات عرض ترانزیستور: ۶۵ نانومتر تا ۲۵۰ نانومتر

ضریب اینرسی اولیه: ۰/۷۲۹۸

ضریب یادگیری شخصی و جمعی: ۱/۴۹۶۲

جمعیت: ۱۵

تعداد تکرارها: ۵۰

در هر تکرار ضریب اینرسی توسط معادله (۸) بروزرسانی می‌شود:

$$\omega = \omega_0 \times (\frac{T - t}{T}) \qquad (۸)$$

که در آن T تعداد کل تکرارها و ω_0 ضریب اینرسی اولیه است.

نتایج حاصل از شبیه‌سازی (مقدار تاخیر و مقدار بهینه به دست آمده برای تابع هدف) در جدول (۲) نشان داده شده و با نتایج حاصل از روش دستی مقایسه شده است.

همان‌طور که جدول (۲) نشان می‌دهد استفاده از الگوریتم بهینه‌سازی ازدحام ذرات برای سایزبندی ترانزیستورها، موجب بهینه شدن مدار حاصل از لحاظ توان مصرفی و تاخیر می‌شود (ایجاد مصالحه بین توان مصرفی و تاخیر) و تفاوت چشم‌گیری بین نتایج حاصل از این روش و روش سایزبندی دستی وجود دارد.

نسبت بهترین عرض‌های به دست آمده به طول ترانزیستورها در فرکانس‌های مختلف با استفاده از روش جدید و روش دستی در جدول (۳) نشان داده شده است. اندیس‌های نسبت داده شده، شماره ترانزیستور مربوطه را نشان می‌دهد که شماره‌گذاری ترانزیستورها در شکل (۱) مشخص شده است.

۶-نتایج مقایسه‌ای

از دیرباز تلاش‌های زیاد با رویکردهای متفاوت دیگری با هدف بهبود عملکرد آشکارسازفاز- فرکانس انجام شده است. از این میان می‌توان به پژوهش‌های ارایه شده در مراجع [۱۰] و [۱۱] اشاره کرد. برای مثال در مرجع [۱۱] سعی شده که عملکرد آشکارساز فاز- فرکانس با فرکانس ۵۰۰ مگاهرتز در تکنولوژی ۱۳۰ نانومتر با استفاده از منطق CMOS پویا بهبود یابد.

در این بخش برای مقایسه روش پیشنهادی با سایر روش‌ها (مرجع[۱۱])، عملیات بهینه‌سازی مدار آشکارسازفاز-فرکانس در فرکانس ۵۰۰ مگاهرتز و تکنولوژی ۱۳۰نانومتر انجام شده و همچنین برای قابل مقایسه بودن نتایج به دست آمده با نتایج مرجع یاد شده، فقط توان مصرفی مدار بهینه شده است. در این حالت، دامنه تغییرات عرض ترانزیستور از ۱۳۰ نانومتر تا ۵۰۰ نانومتر در نظر گرفته شده است. جدول (۴) برای مقایسه نتایج حاصل از روش پیشنهادی با روش‌های یاد شده در مرجع [۱۱] ارایه شده است. نتایج نشان می‌دهد که با به‌کارگیری روش پیشنهادی این تحقیق، می‌توان به توان مصرفی کمتری دست یافت.

جدول (۲): مقایسه نتایج حاصل از سایزبندی عنصرهای آشکارساز فاز-فرکانس با استفاده از روش پیشنهادی و روش دستی

درصد بهبود تابع هدف	تابع هدف با روش جدید	تابع هدف با روش دستی	تاخیر با روش جدید	تاخیر با روش دستی	فرکانس (MHz)
۸۹/۵	$۱*۱۰^{-۷}$	$۹/۵۴۹*۱۰^{-۷}$	$۴/۱۹۷*۱۰^{-۸}$	$۳/۸۷۹*۱۰^{-۱۱}$	۵۰
۸۲/۹	$۲*۱۰^{-۷}$	$۱/۱۷۳*۱۰^{-۶}$	$۹/۳۷۹*۱۰^{-۸}$	$۳/۸۷۹*۱۰^{-۱۱}$	۱۰۰
۴۵/۴	$۱*۱۰^{-۶}$	$۱/۸۳۳*۱۰^{-۶}$	$۹/۶۸۵*۱۰^{-۶}$	$۳/۸۷۹*۱۰^{-۱۱}$	۲۵۰

www.SID.ir

Archive of SID

جدول(۳): بهترین عرض‌های به دست آمده در فرکانس‌های مختلف

روش دستی	۲۵۰	۱۰۰	۵۰	فرکانس(مگاهرتز)
۲	۲/۶۲	۳/۱۹	۲/۳۹	
۲	۱/۹۱	۲/۳۵	۳/۳	
۱	۲/۹۵	۲/۲۷	۲/۷۵	
۱	۲/۰۸	۲/۶۸	۱/۴۵	
۲	۱/۳۱	۱/۰۷	۲/۶۱	
۱	۳/۶	۳/۳	۱/۸	
۱	۱/۸۹	۲/۸۷	۲/۴۸	
۲	۲/۷۸	۲/۲۴	۳/۴۳	
۲	۲/۵۹	۲/۱۸	۲/۲۳	
۲	۲/۹۸	۳/۷۴	۲/۳۴	
۲	۲/۹۲	۲/۱۵	۳/۲۱	
۱	۲/۴۹	۱/۶۴	۲/۱۴	
۱	۲	۲/۶۲	۱/۹۱	
۱	۳/۱۵	۲/۹۷	۲/۲۵	

جدول (۴): نتایج مقایسه‌ای بین روش پیشنهادی و روش‌های مرجع [۱۱] در تکنولوژی ۱۳۰ نانومتر

توان مصرفی روش پیشنهادی	توان مصرفی روش دوم مرجع [8]	توان مصرفی روش اول مرجع [8]	فرکانس (MHz)
$۱۰*۱۰^{-۶}$	$۱۰/۵*۱۰^{-۶}$	$۱۵/۹*۱۰^{-۶}$	۵۰۰

۷-جمع‌بندی و نتیجه‌گیری

در این مقاله، روشی برای طراحی بهینه یک آشکارساز فاز- فرکانس با دو تابع هدف توان مصرفی و تاخیر ارایه شد. روش ارایه شده که مبتنی بر الگوریتم PSO است، با یافتن بهترین ابعاد برای ترانزیستورهای موجود در ساختار آشکارساز فاز- فرکانس، به بهینه‌سازی تابع هدف تجمیعی متشکل از میزان توان مصرفی و تاخیر با اوزان یکسان اقدام می‌نماید. نتایج به دست آمده بهبود چشم‌گیری در میزان تابع هدف (۴۵ تا ۸۹ درصد) نشان می‌دهد که خود گویای عملکرد موثر و در خور توجه روش پیشنهادی است. اگرچه روش ارایه شده برای طراحی بهینه آشکارسازهای فاز- فرکانس مجتمع گزارش شده است، اما الگوریتم پیشنهادی با کمی تغییر می‌تواند در طراحی سایر ماژول‌های مدارهای مجتمع به کار گرفته شود. استفاده از روش‌های بهینه‌سازی چندهدفه مانند MOPSO و محاسبه جبهه پَرتو و همچنین دخالت دادن سایر اهداف مطلوب در عملکرد یک مدار مجتمع از جمله موضوع‌های مربوط به پژوهش‌های آینده و مرتبط با این زمینه به شمار می‌رود.

مراجع

[1] Hu W., Chunglen L. and Wang X., "Fast frequency acquisition phase-frequency detector with zero blind zone in PLL", electronic letters, Vol.43, No.19, pp.1-2, 2007.

[2] Dehbashian M., Zahiri S.H., "A Novel Optimization Tool for Automated Design of Integrated Circuits based on MOSGA", Computational Intelligence in Electrical Engineering, Vol.2, No.3, pp.17-34, 2011.

[3] Pourtaheri Z., Saneei M. and Pourmahyabadi M., "Design of Phase Frequency Detector for Low Power and High Frequency Phase-

www.SID.ir

Archive of SID

Locked Loops", 17th Annual CSI Computer Conference, Sharif University of Technology, pp.317-321, 2012.

[4] Clerc M. and Kennedy J., "The particle swarm –explosion, stability and convergence in a multidimensional complex space", IEEE Transactions on Evolutionary Computation, pp. 58-73, 2002.

[5] Kashefi A., pourmousavi S.A. and Jahanbani A., "Training of Multi-Layer Neural Networks Using Particle Swarm Optimization Algorithm", First Joint Congress on Fuzzy and Intelligent Systems, Ferdowsi University of Mashhad, 2007.

[6] Sedighinav M., Soleimani A. and Khosravi H., "Feature Reduction Using Binary PSO towards Recognition of Farsi Handwritten Digits", Computational Intelligence in Electrical Engineering, Vol.5, No.1, pp.57-68, 2014.

[7] Ebadian M., Aboli R. and Farshad M., "Using a New Developed Version of Particle Swarm Optimization Algorithm for the Economic – Security Optimal Management of Reactive Power in Power Systems", Computational Intelligence in Electrical Engineering, Vol.2, No.2, pp.67-80, 2011.

[8] Amoozegar M. and Eftekhari M., "Automatic Model-Based Software Performance Optimization Based on MOPSO", Computational Intelligence in Electrical Engineering, Vol.2, No.2, pp.1-11, 2011.

[9] Rania C. and Deepa S.N., "PSO with Mutation for Fuzzy Classifier Design", Procedia Computer Science, pp.307-313, 2010.

[10] Lee G. B., Chan P. K. and Siek L., "A CMOS Phase Frequency Detector for Charge Pump Phase-Locked Loop", 42nd Midwest Symposium on Circuits and Systems, pp.601-604, 1999.

[11] Zhang, Cheng, and Marek Syrzycki. "Modifications of a Dynamic-Logic Phase Frequency Detector for extended detection range", 53rd International Midwest Symposium on Circuits and Systems (MWSCAS), 2010.

www.SID.ir