رگولاتور ولتاژ با افت کم CMOS بدون خازن بیرونی و با مسیر سریع جاسازی‌شده در تقویت‌کننده خطا

رسول فتحی‌پور و علیرضا صابرکاری

چکیده: در این مقاله یک رگولاتور ولتاژ با افت کم (LDO) بدون نیاز به خازن بیرونی ارائه شده که در آن به منظور صرفه‌جویی در مصرف توان، ایجاد مسیر سریع برای ارتقای عملکرد دینامیکی در برابر تغییرات گذرای بار و ایجاد فاصله بین قطب‌های مدار یک ضرب‌کننده خازنی بر پایه تقویت‌کننده جریان در داخل تقویت‌کننده خطا جاسازی شده است. رگولاتور LDO پیشنهادی در تکنولوژی CMOS ۰٫۳۵ µm برای ایجاد ولتاژ خروجی ۱٫۸ V به ازای افت ولتاژ ۲۰۰ mV طراحی شده و قابلیت جریان‌دهی به محدوده وسیعی از بار بین ۰ تا ۱۰۰ mA را به ازای جریان خاموشی ۲۲ µA دارد. برای انجام یک مقایسه منصفانه، تعدادی از LDOهای گزارش‌شده قبلی نیز توسط HSPICE و با به کارگیری مقادیر گزارش‌شده در خود مراجع شبیه‌سازی شده‌اند. نتایج شبیه‌سازی و مقایسه بر پایه عدد شایستگی (FOM) نشان‌دهنده بهبود مشخصات LDO پیشنهادی است.

کلید واژه: **تقویت‌کننده خطا، رگولاتور ولتاژ با افت کم، ضرب‌کننده خازنی، مسیر سریع.**

۱- مقدمه

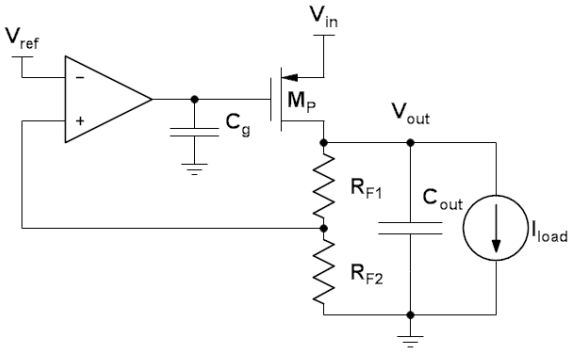
مدیریت توان در کاربردها و لوازم الکترونیک بر مبنای باتری از اهمیت زیادی برخوردار است. یک واحد مدیریت توان پیشرفته برای کاربردهای درون- تراشه‌ای نیازمند تعداد زیادی رگولاتور ولتاژ به منظور راه‌اندازی المان‌ها و بلوک‌های عملیاتی مختلف است [۱]. مصرف کم و مدیریت بهینه توان برای لوازم الکترونیک قابل حمل نظیر تلفن‌های همراه و PDAها به منظور کاهش جریان و توان حالت سکون و افزایش عمر باتری یک امر ضروری است. رگولاتورهای با افت کم (LDO) یک انتخاب مناسب به ویژه برای بلوک‌های حساس به نویز آنالوگ و RF هستند که می‌توانند هم به تنهایی به کار روند و هم به دلیل فراهم‌آوردن ولتاژ ثابت کم‌نویز به عنوان پسا- رگولاتور بعد از مبدل‌های سوئیچینگ مورد استفاده قرار گیرند [۲].

شکل ۱ ساختار متداول یک LDO را نشان می‌دهد که از یک تقویت‌کننده خطا به منظور تشخیص خطا بین ولتاژهای خروجی و مرجع، یک ترانزیستور عبوری (M_p) به منظور جریان‌دهی مناسب به بار که توسط تقویت‌کننده خطا کنترل می‌شود، شبکه فیدبک (R_{F1} و R_{F2}) و خازن خروجی تشکیل شده است. در مدارهای LDO کلاسیک اندازه خازن خروجی به منظور فراهم‌آوردن عملکردی پایدار در مدار حدود چند

این مقاله در تاریخ ۷ خرداد ماه ۱۳۹۱ دریافت و در تاریخ ۲۰ خرداد ماه ۱۳۹۲ بازنگری شد. این تحقیق توسط ستاد توسعه فناوری میکروالکترونیک، دانشگاه گیلان و صندوق حمایت از پژوهشگران و فناوران کشور پشتیبانی شده است.

رسول فتحی‌پور، آزمایشگاه میکروالکترونیک، گروه مهندسی برق، دانشکده فنی، دانشگاه گیلان، رشت (email: rasoulfathipour@yahoo.com).

علیرضا صابرکاری، آزمایشگاه میکروالکترونیک، گروه مهندسی برق، دانشکده فنی، دانشگاه گیلان، رشت (email: a_saberkari@guilan.ac.ir).



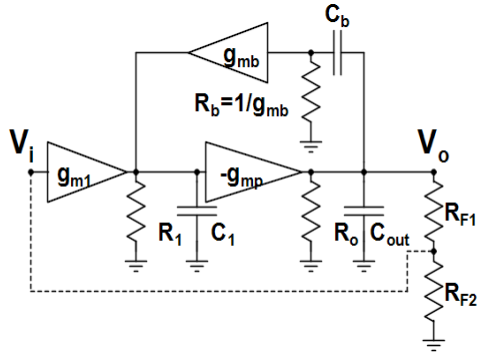
شکل ۱: ساختار متداول یک LDO.

میکروفاراد است [۲] تا [۷]. اگرچه به کارگیری خازنی با این مقدار می‌تواند مزایایی به همراه داشته باشد که در بخش ۲ به آن اشاره خواهد شد، ولی امکان مجتمع‌سازی کامل مدار را از بین می‌برد و برای کاربردهای درون-تراشه‌ای و سیستم روی تراشه (SoC) مناسب نیست. این امر سبب شده که برای کاربردهای درون- تراشه‌ای طراحی به سمت رگولاتورهای LDO بدون خازن خروجی (خازن خروجی به صورت درون- تراشه) سوق داده شود [۸] تا [۱۵]. ولی چالش‌هایی در برابر مجتمع‌سازی کامل و حذف خازن بیرونی وجود دارد که نیاز به وجود یک مسیر سریع را به منظور ارتقای عملکرد دینامیکی مدار در برابر تغییرات گذرای بار می‌طلبد.

در [۸] یک رگولاتور LDO با پاسخ زمانی بسیار سریع و با خازن درون- تراشه‌ای ۰٫۶ nF ارائه شده که جریان حالت سکون بسیار بالایی برابر ۶ mA دارد و در نتیجه برای کاربردهای توان پایین مناسب نیست. در [۹] از یک ضرب‌کننده خازنی به صورت یک طبقه مجزا و خارج از مسیر اصلی حلقه فیدبک بین خروجی رگولاتور و گیت ترانزیستور عبوری به منظور پیاده‌سازی یک مسیر سریع برای افزایش سرعت پاسخ مدار به تغییرات بار استفاده شده که بدون داشتن سودمندی برای حلقه اصلی فیدبک سبب مصرف توان اضافی می‌شود. مدار LDO ارائه‌شده در [۱۰] به روش میلر متداخل جبران‌سازی شده و در آن به منظور داشتن حاشیه فاز کافی و کنترل ضریب میرایی از خازن‌های جبران‌ساز با اندازه ۵۰ pF استفاده شده است. پیاده‌سازی خازن‌هایی با این اندازه، سطح زیادی از تراشه را اشغال می‌کند، ضمن آن که ولتاژ خروجی به ازای تغییر جریان بار دچار تغییرات شدیدی می‌شود. رگولاتورهای LDO بر پایه دنبال‌کننده ولتاژ Flipped شده (FVF) در [۱۱] تا [۱۳] ارائه شده‌اند. رگولاتورهای LDO در [۱۱] و [۱۲] به دلیل داشتن ساختار ساده می‌توانند به راحتی پایدار باشند ولی به دلیل پایین‌بودن بهره حلقه از تنظیم بار و خط ضعیف رنج می‌برند. در [۱۳] اگرچه بهره حلقه به منظور بهبود تنظیم بار و خط افزایش یافته است ولی به ازای خازن خروجی ۵۰ pF، LDO نیازمند حداقل جریان بار به میزان ۳ mA برای حفظ پایداری است و با افزایش بار خازنی خروجی این میزان افزایش می‌یابد. به طور مشابه، LDOهای

Archive of SID

www.SID.ir



شکل ۲: مدار معادل سیگنال کوچک LDO با بافر جریان.

پیشنهادی در [۱۴] و [۱۵] نیز نیازمند حداقل جریان بار برای حفظ پایداری هستند زیرا وقتی جریان بار کم است قطب‌های مختلط غیر غالب که دارای ضریب کیفیت بالایی هستند، باعث ایجاد پیک در اندازه بهره حلقه- باز سیستم در نزدیکی فرکانس بهره واحد می‌شوند.

هدف این مقاله طراحی یک رگولاتور ولتاژ با افت کم بدون نیاز به خازن بیرونی است که در آن از یک ضرب‌کننده خازنی بر پایه تقویت‌کننده جریان استفاده شده و به منظور صرفه‌جویی در مصرف توان، مسیر سریع ایجادشده توسط ضرب‌کننده خازنی در داخل تقویت‌کننده خطا جاسازی شده است. بخش ۲ به بررسی مزایای وجود خازن بیرونی در LDO می‌پردازد. در بخش ۳ نحوه ایجاد مسیر سریع و شبکه جداکننده قطب‌ها در LDO تمام مجتمع و بدون خازن بیرونی تشریح می‌شود. در بخش ۴ مدار LDO تمام مجتمع پیشنهادی معرفی می‌شود. نتایج شبیه‌سازی و نتیجه‌گیری به ترتیب در بخش‌های ۵ و ۶ ارائه خواهد شد.

۲- مزایای وجود خازن بیرونی در LDO

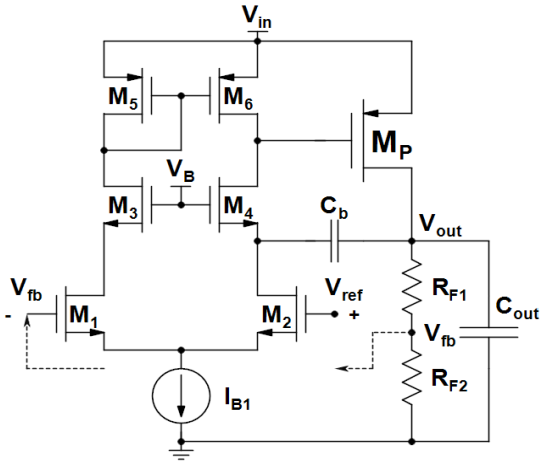
به کارگیری خازن خروجی به شکل بیرون تراشه‌ای و با اندازه بزرگ سبب کاهش ریپل ولتاژ خروجی به هنگام تغییرات آنی جریان بار یا تغییرات آنی ولتاژ خط می‌شود. برای بررسی دقیق‌تر فرض می‌شود جریان خروجی در شکل ۱ به صورت آنی و به طور قابل ملاحظه‌ای تغییر کند. در این حالت به علت محدودیت پهنای باند حلقه فیدبک، می‌توان جریان ترانزیستور M_P را تقریباً ثابت در نظر گرفت. بنابراین خازن خروجی با انتقال بار از تغییرات شدید ولتاژ خروجی جلوگیری می‌کند. اگر تغییرات آنی بار بین ۰ تا $I_{\max}$ و مقدار جریان خاموشی M_p تقریباً صفر فرض شود، اندازه تغییرات ولتاژ خروجی برابر است با [۹]

$$\Delta V_{out} \cong \frac{I_{\max}\Delta t}{C_{out}} \qquad (۱)$$

که در آن Δt مدت زمان لازم برای عکس‌العمل حلقه فیدبک و در نتیجه تغییر جریان M_p است. بدیهی است که اندازه تغییر ولتاژ خروجی با C_{out} رابطه عکس دارد. همچنین به سبب وجود مقاومت الکتریکی سری با خازن (ESR) استفاده از خازن‌های بزرگ سبب بروز یک صفر سمت چپ در تابع تبدیل حلقه- باز می‌شود. وجود این صفر تا حد زیادی می‌تواند به پایداری مدار کمک کند [۱۶]. در کنار تمام این مزایا امکان مجتمع‌سازی خازن‌های بزرگ وجود ندارد. بنابراین در مدارهای تمام مجتمع LDO باید تمهیداتی برای بهبود عکس‌العمل حلقه و افزایش پایداری صورت گیرد.

۳- مسیر سریع و شبکه جداکننده قطب‌ها

با توجه به آنچه که گفته شد، در مدارهای LDO تمام مجتمع لزوم



شکل ۳: جاسازی بافر جریان در تقویت‌کننده خطا.

ایجاد یک مسیر سریع به منظور کاهش زمان عکس‌العمل مدار احساس می‌شود. همچنین با کاهش اندازه خازن خروجی فاصله میان قطب‌های موجود در گره خروجی و گیت ترانزیستور عبوری M_p به ازای جریان‌های کم خروجی به شدت کاهش می‌یابد و این امر می‌تواند سبب ناپایداری مدار شود. بنابراین ایجاد فاصله مناسب بین این قطب‌ها باید مد نظر قرار گیرد. ساده‌ترین روش برای پیاده‌سازی مسیر سریع، قراردادن یک خازن بین گره خروجی و گیت ترانزیستور M_p است. اگر یک تغییر شدید و آنی در گره خروجی اتفاق بیفتد، این خازن به عنوان یک مشتق‌گیر عمل کرده و می‌تواند بسته به جهت تغییرات، جریان قابل توجهی را از خازن گیت کشیده و یا به آن تزریق کند [۹]. با توجه به اثر میلری، این خازن می‌تواند فاصله مناسبی بین قطب‌ها ایجاد کند اما وجود خازنی با اندازه قابل توجه بین این دو گره، سبب کاهش اندازه صفر سمت راست ناشی از این مسیر پیش‌خور به خروجی شده (به ویژه به ازای ترارسانایی کم M_p) و این امر سبب ناپایداری مدار می‌شود [۱۷].

برای اتصال خازن بین گره خروجی و گیت M_p می‌توان از یک بافر جریان استفاده کرد. در این حالت علاوه بر ایجاد فاصله کافی بین دو قطب، صفر سمت راست حذف و مسیر سریع نیز حفظ خواهد شد.

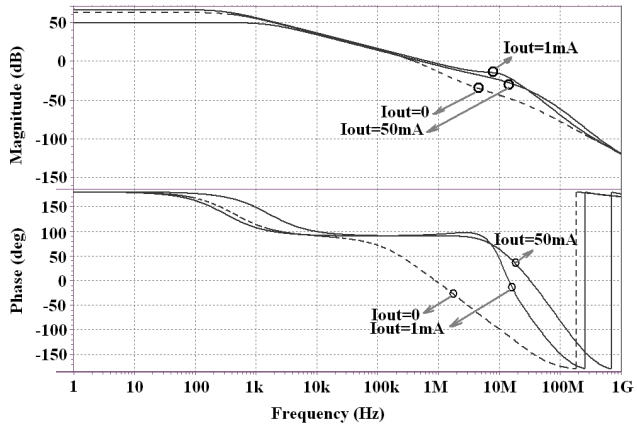
مدل سیگنال کوچک این مدار مطابق شکل ۲ است که در آن R_1، R_o و R_b به ترتیب مقاومت خروجی تقویت‌کننده خطا، مقاومت معادل گره خروجی و مقاومت ورودی بافر جریان، C_1 خازن انباشته‌شده در گره گیت M_P و C_b خازن جبران‌ساز است. پیاده‌سازی این بافر جریان و تقویت‌کننده خطا می‌تواند توسط یک تقویت‌کننده کسکود مطابق شکل ۳ صورت گیرد که در آن M_4 در آرایش گیت- مشترک قرار دارد و به عنوان یک بافر جریان عمل می‌کند. با انجام تحلیل سیگنال کوچک برای شکل ۲، تابع تبدیل حلقه- باز مدار برابر خواهد بود با [۱۸]

$$H(s)=\frac{-A_1(1+s\frac{C_b}{g_{mb}})}{(1+sC_bg_{mp}R_1R_o)(1+s\frac{C_1C_{out}}{C_bg_{mp}}+s^2\frac{C_1C_{out}}{g_{mp}g_{mb}})} \qquad (۲)$$

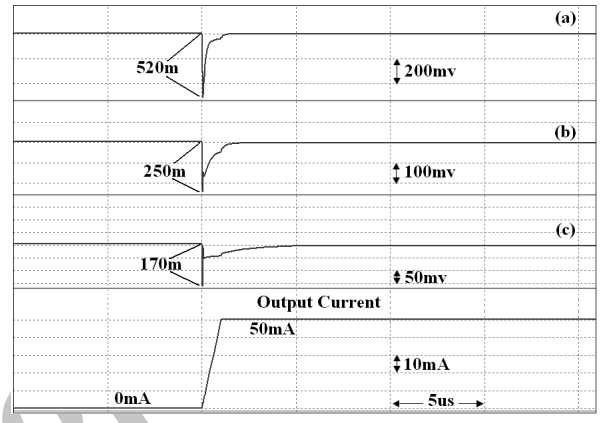
با توجه به (۲) علاوه بر حذف کامل صفر سمت راست یک صفر سمت چپ نیز تولید می‌شود. همچنین مخرج کسر یک قطب غالب و یک جفت قطب مزدوج را پیش‌بینی می‌کند. برای قطب مزدوج مقادیر فرکانس طبیعی و ضریب میرایی عبارتند از

$$\omega_n=\sqrt{\frac{g_{mp}g_{mb}}{C_1C_{out}}} \quad , \quad \zeta=\frac{1}{2C_b}\sqrt{\frac{C_1C_{out}g_{mb}}{g_{mp}}} \qquad (۳)$$

Archive of SID
www.SID.ir



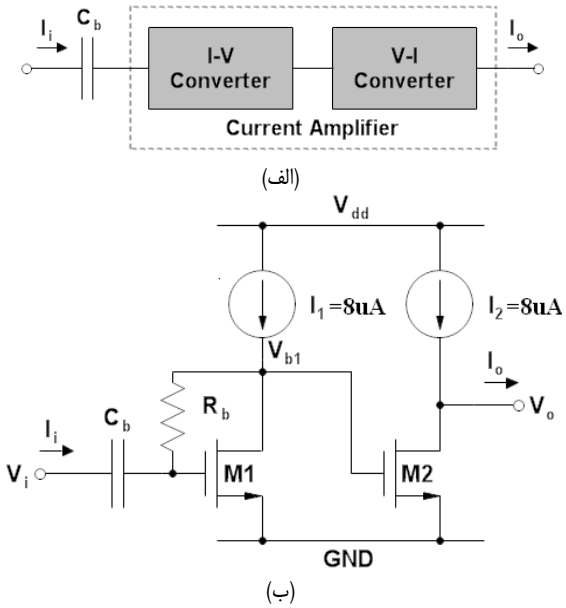
شکل ۴: پاسخ فرکانسی حلقه- باز LDO با بافر جریان جاسازی‌شده در تقویت‌کننده خطا.



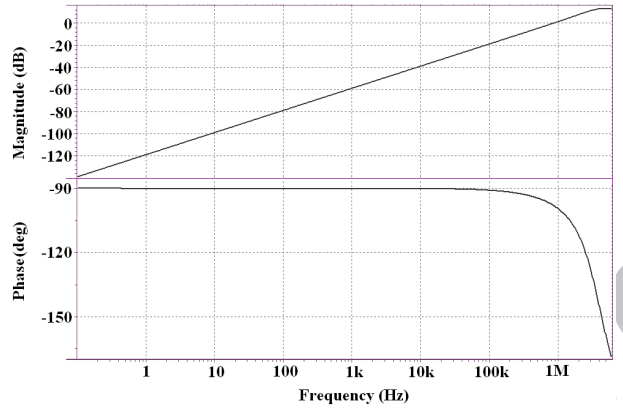
شکل ۵: پاسخ گذرای ولتاژ خروجی به ازای تغییر جریان خروجی که برای a، b و c به ترتیب C_b برابر ۱ pF، ۱۰ pF و ۱۰۰ pF است.

به ازای تغییر جریان بار از ۰ تا $I_{\max}$ مقدار g_{mp} افزایش می‌یابد که این امر سبب دورشدن قطب مزدوج و در نتیجه افزایش حاشیه فاز می‌گردد. شکل ۴ پاسخ فرکانسی حلقه- باز این مدار را به ازای مقادیر ترارسانایی تقویت‌کننده خطا، ترارسانایی ترانزیستور $M_۴$، خازن‌های جبران‌ساز و خروجی به ترتیب $g_{m۱}=۱۸۰\mu S$، $g_{m۴}=۲۵۰\mu S$، $C_b=۱۰pF$ و $C_{out}=۱۰۰pF$ نشان می‌دهد. همان گونه که مشاهده می‌شود، به ازای مقادیر مختلف جریان بار، جداسازی قطب‌ها به خوبی صورت گرفته است. شکل ۵ تغییرات ولتاژ خروجی این مدار را به ازای تغییر جریان خروجی بین ۰ تا ۵۰ mA با زمان صعود ۱ µs و مقادیر متفاوت C_b نشان می‌دهد. آشکار است که افزایش مقدار C_b سبب افزایش خازن مؤثر بین گره خروجی و گیت M_p شده و از افت شدید ولتاژ خروجی جلوگیری می‌کند ولی از طرف دیگر به منظور کاهش سطح مصرفی تراشه، باید مقدار C_b کاهش یابد. بنابراین لزوم به کارگیری یک ضرب‌کننده خازنی احساس می‌شود تا بدون نیاز به افزایش سطح مصرفی، خازن مؤثر بین گره‌های خروجی و گیت M_P افزایش یابد.

شکل ۶ پیاده‌سازی مداری یک ضرب‌کننده خازنی را بر مبنای تقویت‌کننده جریان نشان می‌دهد. فیدبک منفی موازی- موازی ایجادشده توسط مقاومت R_b منجر به کاهش امپدانس ورودی دیده‌شده توسط خازن C_b می‌شود. ابتدا جریان عبوری از خازن C_b به ولتاژ $V_{b۱}$ تبدیل شده و سپس این ولتاژ توسط طبقه رسانایی انتقالی $g_{mb۲}$ که توسط ترانزیستور $M_۲$ تحقق می‌یابد، به جریان بازگردانده می‌شود. با فرض یکسان‌بودن ترانزیستورهای $M_۱$ و $M_۲$، ضریب ضرب‌کنندگی خازنی در این مدار تقریباً برابر $g_{mb۱}R_b$ است که در آن $g_{mb۱}$ ترارسانایی ترانزیستور $M_۱$ است. برای بررسی رفتار فرکانسی این مدار تابع تبدیل از



شکل ۶: (الف) ساختار کلی ضرب‌کننده خازنی بر پایه تقویت‌کننده جریان و (ب) پیاده‌سازی مداری.



شکل ۷: پاسخ فرکانسی مدار ضرب‌کننده خازنی.

V_i به $V_{b۱}$ به صورت (۴) است که در آن $C_۱$ خازن انباشته‌شده در گره درین $M_۱$ است [۱۹]

$$\frac{V_{b۱}}{V_i}=\frac{-s(g_{mb۱}R_b-۱)C_b}{g_{mb۱}(۱+s\frac{C_b}{g_{mb۱}}+s^۲\frac{C_bR_bC_۱}{g_{mb۱}})} \qquad (۴)$$

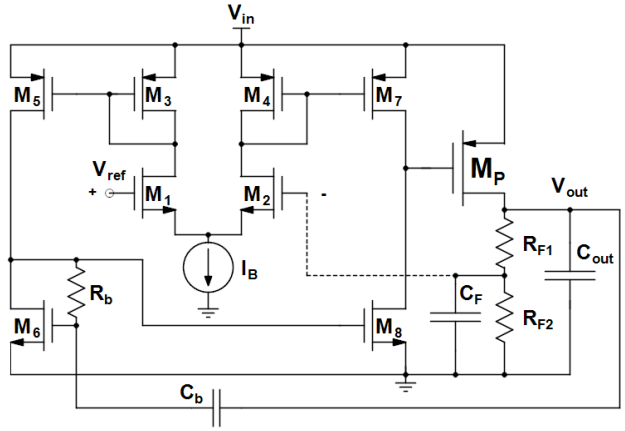
وجود قطب‌های پارازیتی در این مدار می‌تواند سبب تنزل قابلیت ضرب‌کنندگی در فرکانس‌های بالا شود اما چون معمولاً مدارهای LDO دارای پهنای باند کوچک‌تر از ۱ MHz هستند، با انجام یک طراحی خوب می‌توان این قطب‌ها را به فرکانس‌های بالاتر از فرکانس بهره واحد LDO فرستاد. بنابراین می‌توان (۴) را به صورت زیر ساده کرد

$$\frac{V_{b۱}}{V_i}=\frac{-s(g_{mb۱}R_b-۱)C_b}{g_{mb۱}} \qquad (۵)$$

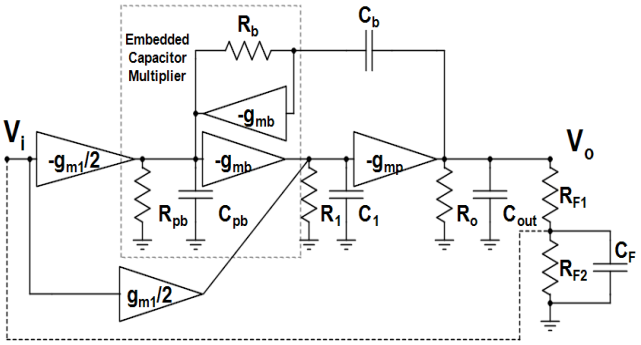
شکل ۷ نشان‌دهنده پاسخ فرکانسی مدار ضرب‌کننده خازنی به ازای $g_{m۱}=g_{m۲}=g_{mb۱}=۱۱۰\mu S$، $R_b=۱۰۰k\Omega$ و $C_b=۲pF$ است که با توجه به آن به ازای فرکانس‌های پایین‌تر از ۳/۴ MHz قابلیت ضرب‌کنندگی این مدار حفظ می‌شود.

از ضرب‌کننده خازنی می‌توان برای پیاده‌سازی مسیر سریع و شبکه جداکننده قطب‌ها در مدار LDO استفاده کرد. مدار ضرب‌کننده خازنی شکل ۶ می‌تواند به صورت یک طبقه مجزا و خارج از مسیر اصلی حلقه

Archive of SID
www.SID.ir



شکل ۸: مدار LDO پیشنهادی.



شکل ۹: مدار معادل سیگنال کوچک LDO پیشنهادی.

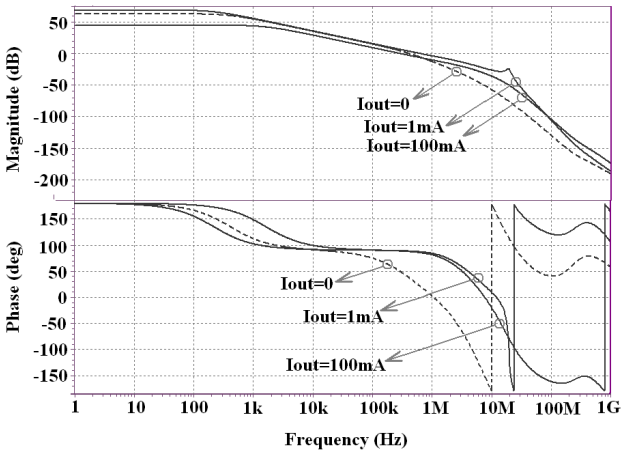
فیدبک بین خروجی LDO و خروجی تقویت‌کننده خطا قرار گیرد [۳] و [۹] اما قرارگرفتن به این شکل سبب مصرف توان اضافی بدون داشتن سودمندی برای حلقه اصلی فیدبک می‌شود. در صورتی که بتوان این ضرب‌کننده خازنی را در داخل تقویت‌کننده خطا جاسازی کرد، می‌توان از مصرف این توان اضافی جلوگیری نمود.

٤- مدار LDO پیشنهادی

شکل ۸ مدار LDO پیشنهادی را نشان می‌دهد که در آن ضرب‌کننده خازنی جاسازی شده در تقویت‌کننده خطا از خازن C_b، مقاومت R_b، ترانزیستورهای $M_۶$ و $M_۸$ و منابع جریان $M_۵$ و $M_۷$ تشکیل شده است، که در واقع تمامی این ترانزیستورها جزئی از تقویت‌کننده خطا نیز هستند. نتایج شبیه‌سازی نشان خواهد داد که ضرب‌کننده خازنی جاسازی شده ضمن مصرف توان کم، می‌تواند در ایجاد فاصله بین قطب‌ها و ایجاد مسیر سریع مؤثر باشد. شکل ۹ مدار معادل سیگنال کوچک LDO پیشنهادی را نشان می‌دهد که در آن g_{mp} و g_{mb} به ترتیب ترارسانایی ترانزیستورهای M_P و $M_۸/M_۶$، و R_o، $R_۱$ و R_{pb} به ترتیب مقاومت‌های معادل دیده‌شده از گره‌های خروجی، گیت M_P و گیت $M_۸$ هستند. خازن‌های $C_۱$ و C_{pb} نیز به ترتیب خازن‌های معادل در گیت M_P و گیت $M_۸$ هستند.

با انجام تحلیل سیگنال کوچک، تابع تبدیل حلقه- باز مدار مطابق (۶) به دست می‌آید که در آن $A_۰$ و $\omega_{p۱}$ به ترتیب اندازه بهره حلقه فرکانس پایین و فرکانس قطب غالب مدار هستند

$$H(s)=\frac{A_۰(۱+s\frac{(g_{mb}R_b+۱)C_b}{۲g_{mb}})(۱+s\frac{۱}{g_{mb}R_b+۱}(R_bC_{pb}+\frac{C_۱}{g_{mp}}))}{(۱+\frac{s}{\omega_{p۱}})(۱+s\frac{C_۱C_{out}}{g_{mp}(g_{mb}R_b-۱)C_b})(۱+s\frac{C_b}{g_{mb}}+s^۲\frac{C_bR_bC_{pb}}{g_{mb}})(۱+sR_{F۲}C_F)} \qquad (۶)$$



شکل ۱۰: پاسخ فرکانسی حلقه- باز LDO پیشنهادی.

$$A_۰=g_{m۱}R_۱g_{mp}R_o\frac{R_{F۲}}{R_{F۱}+R_{F۲}}$$
$$\omega_{p۱}=\frac{۱}{[R_۱g_{mp}R_o(g_{mb}R_b-۱)C_b]} \qquad (۷)$$
$$\omega_T\approx\frac{g_{m۱}R_{F۲}}{[(g_{mb}R_b-۱)C_b][R_{F۲}+R_{F۱}]}$$

همچنین فرکانس قطب غیر غالب و صفر سمت چپ ناشی از مسیر ایجادشده توسط C_b و R_b به خروجی عبارتند از

$$\omega_{p۲}\approx\frac{g_{mp}(g_{mb}R_b-۱)C_b}{C_۱C_{out}}$$
$$\omega_{Z۱}=\frac{۲g_{mb}}{[(g_{mb}R_b+۱)C_b]} \qquad (۸)$$

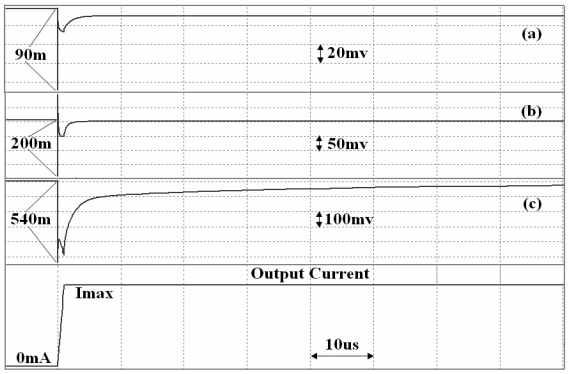
با افزایش جریان بار از ۰ تا I_{max} مقادیر قطب غالب و صفر سمت چپ تغییرات چندانی نمی‌کنند، اما به سبب افزایش g_{mp} قطب غیر غالب به فرکانس‌های بالاتری منتقل شده و در نتیجه حاشیه فاز بهبود می‌یابد.

با توجه به (۶)، یک صفر سمت چپ دیگر و یک جفت قطب مزدوج موهومی ناشی از المان‌های پارازیتی مدار ضرب‌کننده خازنی در فرکانس‌های بالاتر از ω_T ظاهر می‌شوند. به طور کلی وجود صفرهای سمت چپ در تابع تبدیل به خاطر افزایش فاز سیستم سبب پایداری بیشتر می‌شوند. اما از طرف دیگر، هنگامی که این صفرها در فرکانس‌های نزدیک ω_T قرار داشته باشند می‌توانند سبب کاهش حاشیه بهره شوند که این امر به دلیل کاهش بسیار سریع فاز و وقوع پیک در اندازه بهره به سبب وجود قطب‌های موهومی در فرکانس‌های بعد از ω_T است [۹]. برای کاهش اثر این صفرها در فرکانس‌های بالا از خازن C_F برای ایجاد یک قطب (در فرکانس‌های کمی بالاتر از ω_T) استفاده شده است.

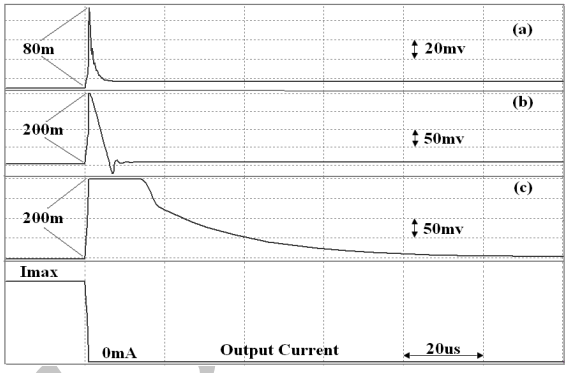
شکل ۱۰ شبیه‌سازی پاسخ فرکانسی حلقه- باز مدار LDO پیشنهادی را به ازای جریان‌های متفاوت خروجی، $I_B=۱\mu A$، $R_b=۱۰۰k\Omega$، $R_{F۱}=۱۶۰k\Omega$، $R_{F۲}=۲۰۰k\Omega$، $C_b=۲pF$، $C_F=۱pF$ و $C_{out}=۱۰۰pF$ نشان می‌دهد. مقدار حاشیه فاز برای این مدار به ازای جریان‌های بار ۰، ۱ mA و ۱۰۰ mA به ترتیب ۴۰، ۸۷ و ۸۹ درجه است.

Archive of SID

www.SID.ir

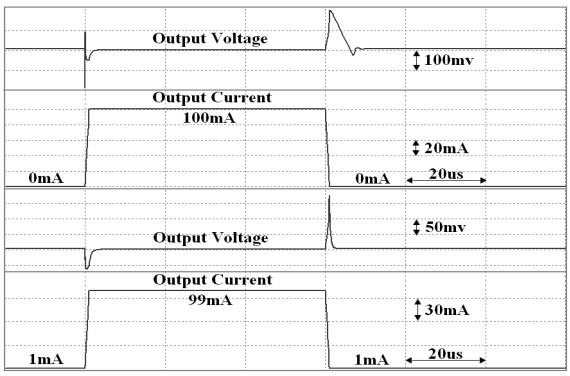


(الف)

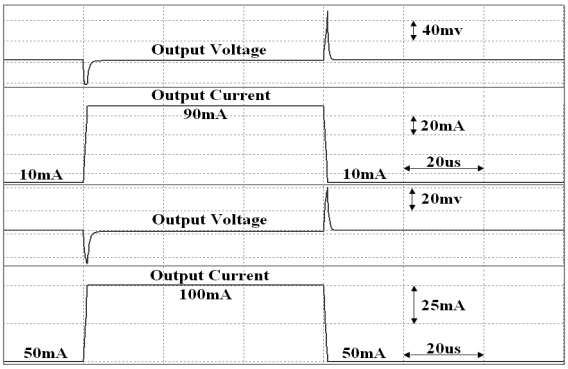


(ب)

شکل ۱۱: شکل موج‌های ولتاژ خروجی به ازای تغییرات جریان بار که a، b و c به ترتیب [۹]، مدار پیشنهادی و [۱۰] هستند، (الف) تغییر از صفر به I_{max} و (ب) تغییر از I_{max} به صفر.



(الف)



(ب)

شکل ۱۲: شکل موج ولتاژ خروجی به ازای تغییرات جریان بار در LDO پیشنهادی، (الف) از ۰ mA به ۱۰۰ mA و از ۱ mA به ۹۹ mA و (ب) از ۱۰ mA به ۹۰ mA و از ۵۰ mA به ۱۰۰ mA.

جدول ۱: ابعاد ترانزیستورهای LDO پیشنهادی.

Transistors	W (μm)	L (μm)
M_1، M_2	۴	۱
M_3، M_4	۱	۲٫۸
M_5، M_7	۱۰	۲٫۸
M_6، M_8	۹	۱٫۵
M_P	۱۷۰۰۰	۰٫۳۵

جدول ۲: مشخصات LDO پیشنهادی.

اندازه بهره حلقه	۴۵ dB – ۶۸ dB
رگولاسیون بار	۴۹ μV/mA
رگولاسیون خط برای I_{max}	۷ mV/V
رد منبع تغذیه (PSR)	۴۲ dB– در بار ۱ mA
	۳۳ dB– در بار ۱۰۰ mA
	در فرکانس ۱۰ kHz

۵- نتایج شبیه‌سازی

مدار LDO پیشنهادی در تکنولوژی CMOS ۰٫۳۵ μm برای ایجاد ولتاژ خروجی $V_{out}=1{,}8\,V$ به ازای $V_{in}=2\,V$ و $V_{ref}=1\,V$ طراحی شده و قابلیت جریان‌دهی به محدوده وسیعی از بار بین ۰ تا ۱۰۰ mA را دارد در حالی که جریان خاموشی برای این مدار فقط ۲۲ μA است. ابعاد ترانزیستور عبوری M_p برابر $W/L=17\,m/0{,}35\mu$ در نظر گرفته شده که به ازای آن ترانزیستور برای جریان‌های سنگین خروجی به تریود می‌رود. به منظور داشتن بهره حلقه کافی به ازای جریان‌های سنگین خروجی، طول کانال ترانزیستورهای M_5 تا M_8 چند برابر ۰٫۳۵ μm انتخاب شده و ابعاد ترانزیستورهای مدار LDO پیشنهادی در جدول ۱ آمده است.

مقدار رگولاسیون‌های بار و خط مدار LDO پیشنهادی به ترتیب برابر ۴۹ μV/mA و ۷ mV/V بوده و مقدار رد منبع تغذیه (PSR) در فرکانس‌های ۱ kHz، ۱۰ kHz و ۱۰۰ kHz به ازای جریان بار ۱ mA به ترتیب برابر ۴۳ dB–، ۴۲ dB– و ۳۲ dB–، و به ازای جریان بار ماکزیمم ۱۰۰ mA به ترتیب برابر ۳۸ dB–، ۳۳ dB– و ۱۵ dB– است. جدول ۲ مشخصات مدار LDO پیشنهادی را نشان می‌دهد.

به منظور نشان‌دادن سودمندی مسیر سریع در LDO پیشنهادی، مقایسه‌ای بین تحلیل زمانی این مدار و مدارهای ارائه‌شده در [۹] و [۱۰] انجام شده است. برای انجام یک مقایسه منصفانه، در این مقاله LDO های [۹] و [۱۰] نیز توسط HSPICE و با به کارگیری مقادیر گزارش‌شده در خود مراجع شبیه‌سازی شده‌اند. تنها مورد اختلافی با [۹] مربوط به خازن C_F می‌باشد که به منظور جلوگیری از نوسان مدار، ۳ pF در نظر گرفته شده است. همچنین در شبیه‌سازی مدار LDO [۱۰] به منظور مدل‌کردن خازن انباشته‌شده در گره خروجی و یکسان‌سازی مدارها، $C_{out}=100\,pF$ فرض شده است. کلیه شبیه‌سازی‌ها برای هر سه مدار در حالت افت کم ولتاژ خروجی نسبت به تغذیه انجام شده است.

شکل ۱۱ تغییرات ولتاژ خروجی را به ازای تغییر جریان بار خروجی بین ۰ و I_{max} با زمان صعود و نزول ۱ μs نشان می‌دهد. مقدار I_{max} برای LDO های [۹]، پیشنهادی و [۱۰] به ترتیب ۵۰ mA، ۱۰۰ mA و ۱۵۰ mA و برای هر سه مدار $C_{out}=100\,pF$ است.

به منظور بررسی دقیق‌تر LDO پیشنهادی، پاسخ زمانی این مدار به ازای تغییرات مختلف جریان بار در شکل ۱۲ نمایش داده شده است که برای همه حالات، مدار پایدار بوده و ΔV_{out} کوچک‌تر یا مساوی mV ۲۰۰ است.

Archive of SID
www.SID.ir

جدول ۳: مقایسه نتایج.

	Sim. [۹]	Exp. [۹]	Sim. [۱۰]	Exp. [۱۰]	LDO پیشنهادی
V_{in}(V)	۳	۳	۲	۳/۳	۲
V_{out}(V)	۲/۸	۲/۸	۱/۸	۱/۸	۱/۸
I_{out}(mA)	۰-۵۰	۰-۵۰	۰-۱۵۰	۰-۱۵۰	۰-۱۰۰
I_Q (µA)	۶۶	۶۵	۲۰	۲۰	۲۲
C_{out} (pF)	۱۰۰	۱۰۰	۱۰۰	-	۱۰۰
C_{Total} (pF)	۶	۶	۱۰۰	۱۰۰	۳
T_{settle}(µS)	۶	≈۱۵	>۹۰	≈۱۰	۸/۵
(*Error*%)	(۰/۱٪)	-	(۰/۱٪)	(۰/۵٪)	(۰/۱٪)
ΔV_{out} (mV)	۹۰	۹۰	۵۴۰	۷۶۰	۲۰۰
FOM_1(fS)	۲۳۷/۶	۲۳۴	۴۸	-	۴۴
FOM_2(nS)	۷/۹۲	۱۹/۵	>۱۲	۱/۳۳	۱/۸۷

با توجه به نتایج شبیه‌سازی، استفاده از ضرب‌کننده خازنی به منظور ایجاد یک مسیر سریع می‌تواند در کاهش مقدار ΔV_{out} و زمان نشست (T_{settle}) مؤثر باشد اما برای انجام یک مقایسه منصفانه باید مقدار جریان خاموشی (I_Q) و دامنه تغییرات جریان خروجی هم مد نظر قرار گیرد. از این رو عدد شایستگی (FOM) می‌تواند معیار مناسبی برای مقایسه باشد [۸]

$$FOM_1 = \frac{\Delta V_{out} C_{out} I_Q}{I_{\max}^2}$$
$$FOM_2 = \frac{T_{settle} I_Q}{I_{\max}} \quad (۹)$$

در جدول ۳ مقایسه‌ای بین نتایج حاصل از مدار LDO پیشنهادی و مدارهای ارائه‌شده در [۹] و [۱۰] ارائه شده است. برای LDO های ارائه‌شده در [۹] و [۱۰] هم نتایج عملی گزارش‌شده در خود مراجع و هم نتایج شبیه‌سازی که در این مقاله انجام شده آورده شده تا صحت نتایج شبیه‌سازی نیز ارزیابی شود.

همان طور که مشاهده می‌شود در مورد [۹] نتایج شبیه‌سازی و عملی همخوانی قابل قبولی با یکدیگر دارند. در مورد [۱۰] نکته‌ای که باید به آن اشاره کرد این است که نتایج عملی گزارش‌شده در این مرجع به ازای ولتاژ ورودی ۳/۳ V بوده در حالی که خروجی مدار ولتاژ ۱/۸ V را تولید می‌کند که این امر نشان‌دهنده میزان افت زیاد دو سر ترانزیستور عبوری LDO است. اگرچه همان طور که در این مرجع ذکر شد، مدار قابلیت کار با ولتاژ ورودی بین ۲ تا ۵ ولت را دارد. در ضمن در این مرجع تغییرات ولتاژ خروجی فقط به ازای تغییر جریان بار از ۰ تا $I_{\max}$ گزارش شده و زمان نشست گزارش‌شده در این مرجع نیز فقط بر اساس این تغییرات است و تغییرات ولتاژ خروجی به ازای تغییر بار از $I_{\max}$ تا ۰ گزارش نشده است ولی همان طور که در شکل ۱۱ نیز مشاهده می‌شود، زمان نشست برای این مدار به ازای تغییر بار از $I_{\max}$ تا ۰ بسیار بیشتر است. به همین دلیل در شبیه‌سازی به منظور ایجاد شرایط تست و مقایسه یکسان، ولتاژ ورودی در نظر گرفته شده برای این مدار برابر ۲ V بوده تا حالت افت کم ولتاژ خروجی نسبت به تغذیه برای این مدار نیز در نظر گرفته شود و زمان نشست لحاظ‌شده برابر ماکزیمم زمان‌های نشست به ازای تغییرات بار از ۰ تا $I_{\max}$ و $I_{\max}$ تا ۰ است.

همان طور که در جدول ۳ مشاهده می‌شود، مقادیر FOM برای LDO پیشنهادی به نسبت [۹] کاهش چشمگیری دارد که این امر نشان‌دهنده مؤثربودن جاسازی مسیر سریع در تقویت‌کننده خطاست که منجر به کاهش جریان خاموشی LDO شده است. همچنین در مقایسه با [۱۰]، LDO پیشنهادی از نظر تغییرات ولتاژ خروجی، FOM و همین طور سطح اشغال‌شده تراشه توسط خازن‌های جبران‌ساز (C_{Total}) بسیار مطلوب‌تر است.

۶- نتیجه‌گیری

در این مقاله یک رگولاتور ولتاژ LDO با امکان مجتمع‌سازی کامل به سبب حذف خازن بیرون تراشه‌ای ارائه شده که در آن از یک ضرب‌کننده خازنی بر پایه تقویت‌کننده جریان جاسازی شده در داخل تقویت‌کننده خطا به منظور صرفه‌جویی در مصرف توان، ایجاد مسیر سریع برای ارتقای عملکرد دینامیکی در برابر تغییرات گذرای بار و ایجاد فاصله بین قطب‌های مدار استفاده شده است. رگولاتور LDO پیشنهادی در تکنولوژی CMOS ۰/۳۵ µm برای ایجاد ولتاژ خروجی ۱/۸ V به ازای افت ولتاژ ۲۰۰ mV طراحی شده و قابلیت جریان‌دهی به محدوده وسیعی از بار بین ۰ تا ۱۰۰ mA را به ازای جریان خاموشی ۲۲ µA دارد. برای انجام یک مقایسه منصفانه، تعدادی از LDO های گزارش‌شده قبلی نیز توسط HSPICE و با به کارگیری مقادیر گزارش‌شده در خود مراجع شبیه‌سازی شده‌اند. نتایج شبیه‌سازی و مقایسه بر پایه عدد شایستگی (FOM) نشان‌دهنده بهبود مشخصات LDO پیشنهادی است.

۷- سپاس‌گزاری

این پروژه توسط ستاد توسعه فناوری میکروالکترونیک، دانشگاه گیلان و صندوق حمایت از پژوهشگران و فناوران کشور مورد حمایت قرار گرفته است.

مراجع

[1] D. D. Buss, "Technology in the internet age," in *Proc. IEEE Int. Solid-State Circuits Conf., ISSCC'02, Dig. Tech. Papers*, pp. 18-21, Feb. 2002.

[2] A. Saberkari, E. Alarcon, and S. B. Shokouhi, "Fast transient current-steering CMOS LDO regulator based on current feedback amplifier," *Integration, the VLSI J.*, vol. 46, no. 2, pp. 165-171, Mar. 2013.

[3] C. K. Chava and J. Silva-Martinez, "A frequency compensation scheme for LDO voltage regulators," *IEEE Trans. Circuits Syst. I*, vol. 51, no. 6, pp. 1041-1050, Jun. 2004.

[4] M. Al - Shyoukh, H. Lee, and R. Perez, "A transient - enhanced low - quiescent current low - dropout regulator with buffer impedance attenuation," *IEEE J. Solid - State Circuits*, vol. 42, no. 8, pp. 1732-1742, Aug. 2007.

Archive of SID

www.SID.ir

[5] Y. Hei and W. H. Ki, "A 0.9 V 0.35 µm adaptively biased CMOS LDO regulator with fast transient response," in *Proc. IEEE Int. Solid-State Circuits Conf., ISSCC'08, Dig. Tech. Papers*, pp. 442-443, Feb. 2008.
[6] K. N. Leung and Y. S. Ng, "A CMOS low - dropout regulator with a momentarily current - boosting voltage buffer," *IEEE Trans. Circuits Syst. I*, vol. 57, no. 9, pp. 2312-2319, Sep. 2010.
[7] M. Ho, K. N. Leung, and K. L. Mak, "A low-power fast-transient 90-nm low-dropout regulator with multiple small-gain stages," *IEEE J. Solid-State Circuits*, vol. 45, no. 11, pp. 2466-2476, Nov. 2010.
[8] P. Hazucha, T. Karnik, B. Bloechel, C. Parsons, D. Finan, and S. Borkar, "Area - efficient linear regulator with ultra-fast load regulation," *IEEE J. Solid - State Circuits*, vol. 40, no. 4, pp. 933-940, Apr. 2005.
[9] R. J. Milliken, J. Silva - Martinez, and E. Sanchez - Sinencio, "Full on - chip CMOS low - dropout voltage regulator," *IEEE Trans. Circuits Syst. I*, vol. 54, no. 9, pp. 1879-1890, Sep. 2007.
[10] W. J. Huang and S. I. Liu, "Capacitor-free low dropout regulators using nested miller compensation with active resistor and 1-bit programmable capacitor array," *IET Circuits Devices Syst.*, vol. 2, no. 3, pp. 306-316, 2008.
[11] T. Y. Man, K. L. Leung, C. Y. Leung, P. K. T. Mok, and M. Chan, "Development of single - transistor - control LDO based on flipped voltage follower for SoC," *IEEE Trans. Circuits Syst. I*, vol. 55, no. 5, pp. 1392-1401, Jun. 2008.
[12] P. Y. Or and K. N. Leung, "An output - capacitorless low - dropout regulator with direct voltage - spike detection," *IEEE J. Solid-State Circuits*, vol. 45, no. 2, pp. 458-466, Feb. 2010.
[13] J. Guo and K. N. Leung, "A 6-µW chip - area - efficient output-capacitorless LDO in 90-nm CMOS technology," *IEEE J. Solid-State Circuits*, vol. 45, no. 9, pp. 1896-1905, Sep. 2010.
[14] K. L. Leung and P. K. T. Mok, "A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation," *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1691-1702, Oct. 2003.
[15] S. K. Lau, P. K. T. Mok, and K. N. Leung, "A low - dropout regulator for SoC with Q - reduction," *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 658-664, Mar. 2007.
[16] J. Falin, *ESR, Stability, and the LDO Regulator*, Application Report, Texas Instruments Inc., Literature Number: SLVA115, May 2002.
[17] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 4th Ed. NY, Wiley, 2001.
[18] Z. Yan, "Two-stage large capacitive load amplifier with embedded capacitor-multiplier compensation," in *Proc. IEEE Int. Symp. Circuits Syst., ISCAS'09*, pp. 2481-2484, 24-27 May 2009.
[19] Z. Yan, L. Shen, Y. Zhao, and S. Yue, "A low-voltage CMOS low-dropout regulator with novel capacitor-multiplier frequency compensation," in *Proc. IEEE Int. Symp. Circuits Syst., ISCAS'08*, pp. 2685-2688, 18-21 May 2008.

رسول فتحی‌پور در سال ۱۳۸۹ مدرک کارشناسی مهندسی برق–الکترونیک خود را از دانشگاه ارومیه و در سال ۱۳۹۱ مدرک کارشناسی ارشد مهندسی برق–الکترونیک خود را از دانشگاه گیلان دریافت نمود. زمینه‌های علمی مورد علاقه ایشان، طراحی مدارهای مجتمع آنالوگ کم‌توان و ولتاژ پایین، سیستم‌های مدیریت توان، منابع تغذیه خطی و سیستم‌های پرتابل بدون باتری می‌باشد.

علیرضا صابرکاری در سال ۱۳۸۱ مدرک کارشناسی خود را در رشته مهندسی برق–الکترونیک از دانشگاه علم و صنعت ایران/ دانشگاه گیلان دریافت نمود و در سال‌های ۱۳۸۳ و ۱۳۸۸ به ترتیب مدارک کارشناسی ارشد و دکتری خود را در رشته مهندسی برق–الکترونیک با زیرگرایش میکروالکترونیک از دانشگاه علم و صنعت ایران اخذ نمود و از سال ۱۳۸۸ به عنوان عضو هیأت علمی دانشگاه گیلان مشغول به کار بوده است. ایشان در بازه سال‌های ۲۰۰۸ تا ۲۰۰۹ و برای گذراندن دوره فرصت مطالعاتی به گروه EPIC دانشکده مهندسی الکترونیک دانشگاه پلی‌تکنیک کاتالونیا در اسپانیا پیوست. زمینه‌های تحقیقاتی مورد علاقه ایشان در راستای میکروالکترونیک آنالوگ و RF و با تأکید بر مدارهای مجتمع برای مدیریت توان و کاربردهای Energy Harvesting، تنظیم‌کننده‌های خطی و با افت کم، مدارهای مد جریان، مدارهای مجتمع آنالوگ کم‌توان و ولتاژ پایین و تقویت‌کننده‌های توان RF است.

Archive of SID

www.SID.ir