تنظیم‌کننده ولتاژ با افت کم CMOS با کنترل تطبیقی ترانزیستور عبوری

فریما قراغان‌آبادی و علیرضا صابرکاری

چکیده: در این مقاله یک تنظیم‌کننده ولتاژ با افت کم (LDO) با قابلیت کار هم با خازن درون‌تراشه‌ای و هم برون‌تراشه‌ای و با جریان خاموشی پایین معرفی شده که در آن با توجه به میزان جریان بار، اندازه ترانزیستور عبوری به صورت تطبیقی کنترل می‌شود. ترانزیستور عبوری در ساختار مدار پیشنهادی به ازای جریان‌های بار پایین اندازه بسیار کوچک‌تری نسبت به جریان‌های بار زیاد داشته و تنظیم‌کننده بین دو ساختار دوطبقه در جریان بار کم، و سه‌طبقه در جریان بار زیاد تغییر وضعیت می‌دهد. تنظیم‌کننده ولتاژ LDO پیشنهادی در تکنولوژی ۰٫۳۵ µm CMOS برای ایجاد ولتاژ خروجی ۲٫۸ V به ازای ولتاژ ورودی ۳ V طراحی و شبیه‌سازی شده و قابلیت جریان‌دهی به بار در محدوده ۰ mA تا ۱۰۰ mA را به ازای خازن خروجی درون‌تراشه‌ای ۱۰۰ pF دارد، در حالی که جریان خاموشی آن در شرایط بی‌باری فقط ۷٫۵ µA است. بدون استفاده از تکنیک کنترل تطبیقی ترانزیستور عبوری، حداکثر میزان تغییرات ولتاژ خروجی به ازای تغییرات جریان بار از ۰ mA تا ۱۰۰ mA برابر ۵۴۰ mV و مدت زمان گذار آن ۱۱ µs بوده که با استفاده از تکنیک پیشنهادی این مقادیر به ۲۸۰ mV و ۶٫۵ µs کاهش می‌یابد. همچنین استفاده از ترانزیستور عبوری با اندازه کوچک در جریان‌های بار کم منجر به بهبود پایداری تنظیم‌کننده در مقایسه با ساختارهای متداول شده است.

کلید واژه: ترانزیستور عبوری، تنظیم‌کننده ولتاژ با افت کم (LDO)، جریان خاموشی، مدیریت توان.

۱- مقدمه

مصرف کم و مدیریت بهینه توان برای لوازم الکترونیک قابل حمل به منظور کاهش جریان و توان حالت سکون و افزایش عمر باتری امری ضروری است. یک واحد مدیریت توان پیشرفته برای کاربردهای درون‌تراشه‌ای نیازمند تعداد زیادی تنظیم‌کننده ولتاژ خطی یا سوئیچینگ برای راه‌اندازی المان‌ها و بلوک‌های عملیاتی مختلف است [۱]. در مقایسه با تنظیم‌کننده‌های خطی متداول، در تنظیم‌کننده‌های ولتاژ با افت کم (LDO) افت ولتاژ حالت ایستا در دو سر ترانزیستور عبوری ($V_{drop} = V_{in} - V_{out}$) کم بوده و معمولاً بین ۱۰۰ تا ۳۰۰ میلی‌ولت در نظر گرفته می‌شود و در نتیجه LDO ها دارای بازده بالاتری خواهند بود [۲]. این نوع تنظیم‌کننده‌ها اغلب برای ایجاد یک ولتاژ ثابت و کم نویز به منظور تغذیه مدارهای آنالوگ به کار می‌روند که این ولتاژ باید در مقابل تغییرات جریان بار و ولتاژ خط پایدار باشد [۳].

این مقاله در تاریخ ۳ خرداد ماه ۱۳۹۳ دریافت و در تاریخ ۲۷ آبان ماه ۱۳۹۳ بازنگری شد.

فریما قراغان‌آبادی، آزمایشگاه میکروالکترونیک، گروه مهندسی برق، دانشکده فنی، دانشگاه گیلان، رشت، (email: farima.qaraqanabadi@gmail.com).

علیرضا صابرکاری، آزمایشگاه میکروالکترونیک، گروه مهندسی برق، دانشکده فنی، دانشگاه گیلان، رشت، (email: a_saberkari@guilan.ac.ir).

در مدارهای LDO برای داشتن قابلیت جریان‌دهی بالا و افت ولتاژ کم، از یک ترانزیستور عبوری با ابعاد بسیار بزرگ استفاده می‌شود که به علت ایجاد خازن پارازیتی قابل توجه در گیت آن، عکس‌العمل حلقه فیدبک در برابر تغییرات بار کند می‌شود. در واقع شارژ و تخلیه این خازن بزرگ به مدت زمان زیادی نیاز دارد و این امر به دلیل کاهش نرخ چرخش گیت ترانزیستور عبوری پاسخ حلقه فیدبک مدار را خراب می‌کند. در ضمن، وضعیت پایداری و حاشیه فاز حلقه فیدبک نیز به ازای جریان‌های بار کم خراب خواهد شد. اندازه ترانزیستور عبوری به ازای حداکثر جریان بار محاسبه می‌شود، در حالی که همیشه نیاز به این مقدار جریان در خروجی نبوده و در بیشتر مواقع LDO در حالت آماده به کار قرار دارد. بنابراین استفاده از ترانزیستوری با اندازه بزرگ به ازای تمامی گذارهای بار لازم نیست.

از طرف دیگر، اغلب LDO های رایج برای حفظ پایداری به خازن خروجی نسبتاً بزرگی در حدود میکروفاراد نیاز دارند ولی استفاده از خازن‌هایی با این اندازه به دلیل عدم قابلیت مجتمع‌سازی آنها باعث می‌شود که امکان مجتمع‌سازی کامل مدار برای کاربردهای درون‌تراشه‌ای و سیستم روی تراشه (SoC)[1] از بین برود. به همین دلیل برای کاربردهای درون‌تراشه‌ای طراحی به سمت LDO بدون خازن خروجی (خازن خروجی به صورت درون‌تراشه) سوق داده شود [۴]. در کنار مدارهای LDO تمام مجتمع و LDO با خازن برون‌تراشه‌ای، LDO هایی هستند که می‌توانند هم با خازن برون‌تراشه‌ای و هم بدون آن عملکرد پویا و پایداری قابل قبولی داشته باشند [۲]، [۵] و [۶].

هدف این مقاله شکستن ترانزیستور عبوری LDO به ترانزیستورهای کوچک‌تر است تا در هر مرحله با توجه به میزان جریان بار در خروجی، ترانزیستوری با اندازه مناسب به کار رود. این کار می‌تواند به خاطر کوچک‌تر شدن خازن‌های پارازیتی سبب بهبود سرعت مدار (عکس‌العمل مدار به تغییرات بار) و مدیریت بهتر جریان خاموشی ترانزیستور شود. همچنین میزان حاشیه فاز به ازای جریان‌های بار کم به دلیل اندازه کوچک‌تر ترانزیستور عبوری بهبود خواهد یافت. در ادامه ابتدا ساختار کلی تنظیم‌کننده LDO پیشنهادی معرفی می‌شود و سپس پیاده‌سازی مداری این ساختار تشریح شده و از نظر پایداری و رفتار دینامیکی مورد بررسی قرار می‌گیرد. نتایج شبیه‌سازی و نتیجه‌گیری نیز در ادامه خواهد آمد.

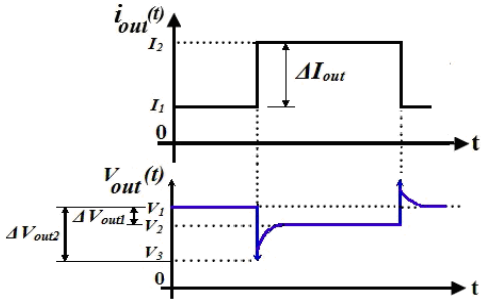
۲- ساختار تنظیم‌کننده ولتاژ با افت کم پیشنهادی

همان طور که ذکر شد، شکستن ترانزیستور عبوری به ترانزیستورهای کوچک‌تر متناسب با جریان بار مورد نیاز می‌تواند سبب بهبود عکس‌العمل مدار به تغییرات بار و مدیریت بهتر جریان خاموشی ترانزیستور شود. ولی از آنجا که اضافه‌کردن ترانزیستور عبوری نیازمند مدار کنترل جداگانه

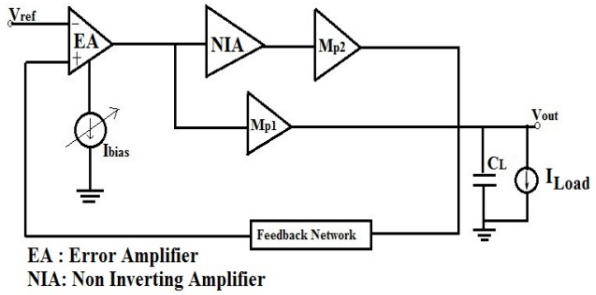
1. System-on-Chip

Archive of SID

www.SID.ir



شکل ۱: تفاوت بین BC و LR.



شکل ۳: ساختار کلی تنظیم‌کننده ولتاژ با افت کم پیشنهادی.

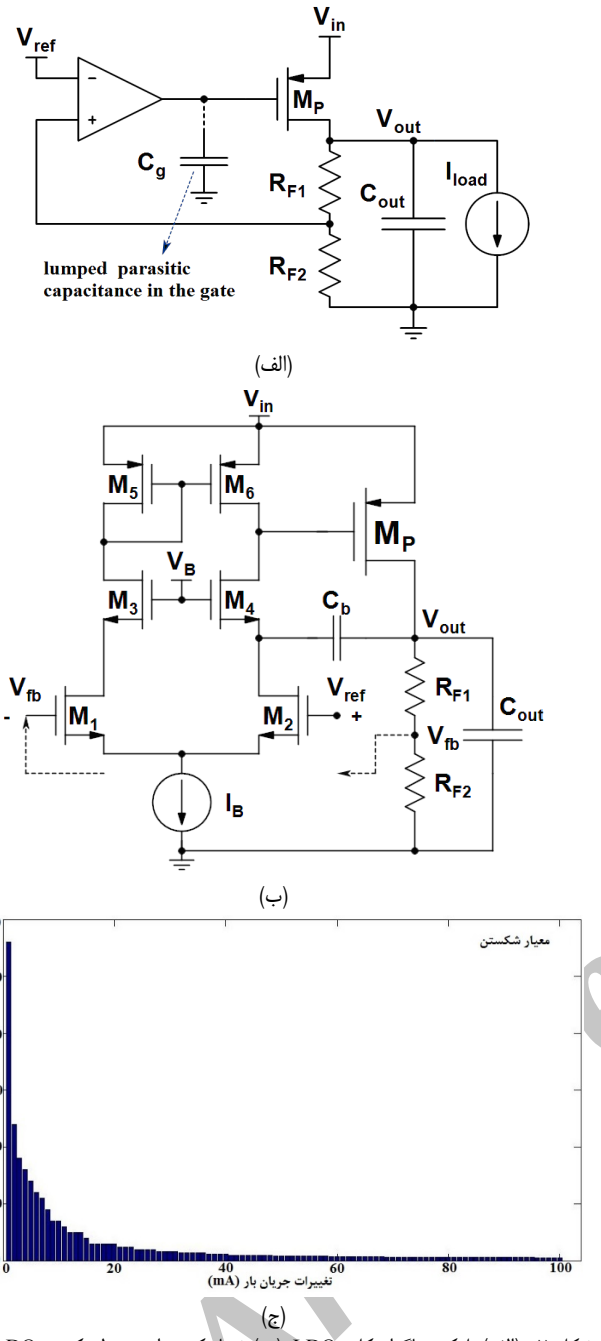
است، باید مصالحه‌ای بین پیچیدگی سیستم و میزان تغییرات ولتاژ خروجی در برابر تغییرات بار برقرار نمود. بدین منظور در اینجا معیاری به صورت نسبت حداکثر تغییرات ولتاژ خروجی (ماکسیمم بین فراجهش و فروجهش) به حداکثر تغییرات جریان بار تعریف شده که از آن به عنوان معیار تجزیه (BC)[1] یاد می‌شود. با در نظر گرفتن پاسخ گذرای بار، معیار تجزیه بر حسب mV/mA به صورت رابطه اول (۱) تعریف شده است. جایی که معیار تجزیه بیشترین مقدار را داشته باشد نقطه بحرانی خواهد بود. تفاوت بین BC و رگولاسیون بار[2] (LR) در شکل ۱ و (۱) نشان داده شده و چنان که آشکار است، هر دوی آنها به صورت نسبت تغییرات ولتاژ خروجی به تغییرات جریان بار تعریف می‌شوند، ولی LR پارامتری از نوع استاتیک یا حالت دائم است در حالی که BC یک پارامتر دینامیکی یا گذرا است

$$BC = \frac{\Delta V_{out2}}{\Delta I_{out}} = \frac{V_1 - V_3}{I_2 - I_1}$$
$$LR = \frac{\Delta V_{out1}}{\Delta I_{out}} = \frac{V_1 - V_2}{I_2 - I_1} \qquad (۱)$$

شکل ۲- الف بلوک دیاگرام کلی یک تنظیم‌کننده ولتاژ LDO را نشان می‌دهد. ساختار مداری ساده این تنظیم‌کننده در شکل ۲- ب نشان داده شده که شامل تقویت‌کننده خطای جبران‌سازی شده با استفاده از یک بافر جریان، یک ترانزیستور عبوری و یک شبکه فیدبک می‌باشد. شکل ۲- ج معیار BC را به ازای گام‌های مختلف جریان بار با فواصل گام یکسان برای مدار شکل ۲- ب نشان می‌دهد.

چنان که آشکار است، بیشترین میزان تغییرات ولتاژ خروجی به ازای جریان‌های بار کم (کمتر از ۱ mA) رخ می‌دهد و به همین دلیل این جریان به عنوان مرزی برای شکستن اندازه ترانزیستور عبوری انتخاب شده است. در نتیجه تنظیم‌کننده LDO طراحی‌شده دو ترانزیستور عبوری دارد که دومی فقط به ازای جریان‌های بار بزرگ‌تر از جریان مرزی روشن می‌شود.

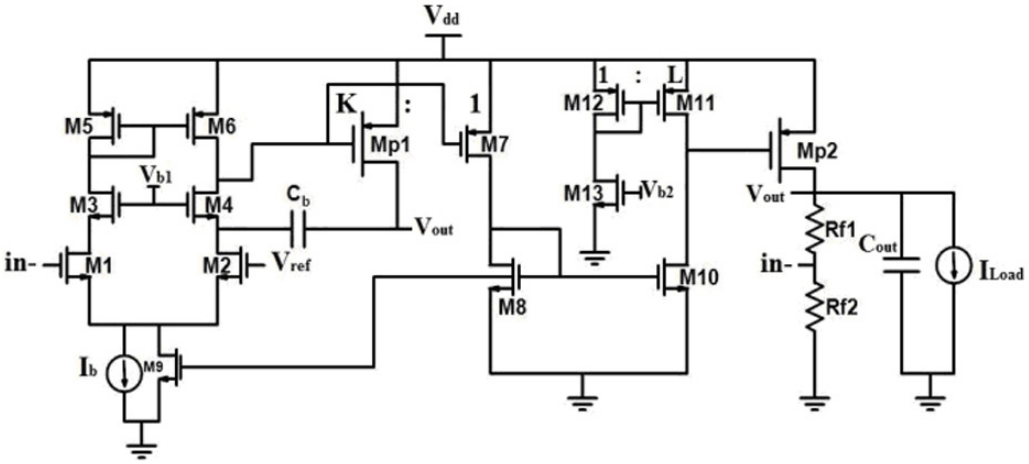
1. Breakdown Criterion
2. Load Regulation



شکل ۲: (الف) بلوک دیاگرام کلی LDO، (ب) شماتیک مداری تنظیم‌کننده LDO ساده و (ج) معیار تجزیه ترانزیستور عبوری شکل ۲- ب.

شکل ۳ ساختار کلی LDO پیشنهادی را نشان می‌دهد که شامل یک تقویت‌کننده خطا، یک تقویت‌کننده ناوارون‌ساز، شبکه فیدبک و دو ترانزیستور عبوری M_{p1} با اندازه کوچک برای جریان بار کم و M_{p2} با اندازه بزرگ‌تر برای جریان بار بیشتر از جریان مرزی انتخابی است. تقویت‌کننده خطا به صورت دینامیکی بایاس شده و جریان بایاس آن متناسب با جریان بار تغییر می‌کند که این امر منجر به کاهش جریان خاموشی مدار به ویژه در جریان‌های بار کم خواهد شد [۷] تا [۹]. در این ساختار ترانزیستور عبوری M_{p2} که ابعاد آن بزرگ‌تر از M_{p1} است، به صورت تطبیقی و با توجه به میزان جریان بار وارد مدار می‌شود. در شرایط بی‌باری و جریان بار کم (کمتر از ۸۰۰ µA) ترانزیستور M_{p2} خاموش است و LDO دارای ساختار دوطبقه بوده و با افزایش جریان بار و عبور از حد جریان مرزی در نظر گرفته شده در طراحی، M_{p2} وارد مدار شده و ساختار تنظیم‌کننده از دوطبقه به سه‌طبقه تبدیل می‌شود.

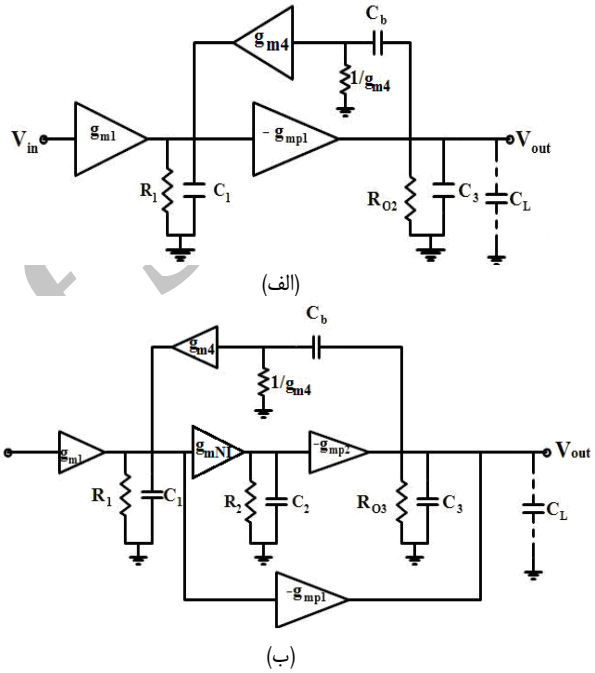
Archive of SID
www.SID.ir



شکل ۴: ساختار مداری LDO پیشنهادی.

جدول ۱: اندازه ترانزیستورهای مدار طراحی‌شده.

Transistors	W (μm)	L (μm)
M_1 تا M_4	۱/۱	۱
M_5 و M_6	۳	۰/۷
M_7	۱۹	۰/۳۵
M_8	۲۸	۰/۷
M_9	۱/۴	۰/۷
M_{10}	۳۸	۰/۷
M_{11}	۶۳	۰/۳۵
M_{12}	۰/۴	۰/۳۵
M_{13}	۰/۸	۱/۷
M_{p1}	۱۰۰۰	۰/۳۵
M_{p2}	۳۵۰۰	۰/۳۵
R_{f1} و R_{f2}	۳۱۲ KΩ و ۲۴۸ KΩ	



شکل ۵: مدل سیگنال کوچک مدار (الف) دوطبقه و (ب) سه‌طبقه.

۳- پیاده‌سازی مداری تنظیم‌کننده ولتاژ با افت کم پیشنهادی

شکل ۴ ساختار مداری تنظیم‌کننده ولتاژ با افت کم پیشنهادی را نشان می‌دهد. ترانزیستورهای M_1 تا M_4 تقویت‌کننده خطا را تشکیل می‌دهند که به صورت ساختار کسکود پیاده‌سازی شده‌اند. ترانزیستور M_9 وظیفه تأمین جریان بایاس دینامیک را در مدار بر عهده دارد که متناسب با افزایش جریان بار میزان جریان بایاس LDO را افزایش می‌دهد و به این ترتیب در حالت جریان بار کم و بی‌باری بازده جریان بهبود می‌یابد. ترانزیستورهای M_7، M_8، M_{10} و M_{11} طبقه ناوارون‌ساز را محقق می‌سازند و ترانزیستورهای M_{p1} و M_{p2} هم ترانزیستورهای عبوری LDO هستند. شبکه فیدبک هم شبکه‌ای مقاومتی است که از مقاومت‌های R_{f1} و R_{f2} تشکیل شده و خازن C_L مدل‌کننده خازن بار است. اندازه عناصر مدار طراحی‌شده در جدول ۱ آمده است.

از آنجا که ولتاژ گیت- سورس ترانزیستورهای M_7 و M_{p1} یکسان است و با توجه به نسبت پهنای کانال ۱ به K برای آنها، ترانزیستور M_7 با نسبت $1/K$ از جریان بار نمونه‌برداری می‌کند. بنابراین جریان ترانزیستور M_{10} برابر I_{Load}/K بوده و جریان ترانزیستور M_{11} برابر LI_{b2} است که در آن L نسبت پهنای کانال ترانزیستورهای M_{11} و M_{12} بوده و I_{b2} جریان بایاس ترانزیستور M_{13} است. هنگامی که جریان بار کم است، $I_{10} < LI_{b2}$ بوده و M_{11} در ناحیه تریود عمل می‌کند و در نتیجه ترانزیستور M_{p2} خاموش خواهد بود. وقتی که جریان بار افزایش می‌یابد، I_{10} نیز افزایش یافته و به LI_{b2} می‌رسد و در نتیجه M_{11} وارد ناحیه اشباع می‌شود. در این لحظه با روشن‌شدن M_{p2} ساختار تنظیم‌کننده از دوطبقه به سه‌طبقه تبدیل می‌شود. حداقل جریان بار برای روشن‌شدن ترانزیستور M_{p2} برابر KLI_{b2} است. مقادیر K، L و I_{b2} به ترتیب ۵۲، ۱۵۰ و ۰/۱ μA در نظر گرفته شده و در نتیجه حداقل جریان برای روشن‌شدن ترانزیستور M_{p2} تقریباً برابر ۸۰۰ μA است.

با توجه به آن که ساختار LDO پیشنهادی به ازای جریان‌های بار مختلف از دو به سه‌طبقه تغییر می‌کند، پایداری برای هر حالت به طور جداگانه بررسی می‌شود. مدل سیگنال کوچک هر یک از این حالات به ترتیب در شکل‌های ۵- الف و ۵- ب نشان داده شده که در آنها C_iها و R_iها به ترتیب خازن پارازیتی خروجی و مقاومت خروجی هر یک از طبقات هستند. در ضمن R_{o2} و R_{o3} به ترتیب مقاومت مؤثر در خروجی هر یک از ساختارهای دو و سه‌طبقه هستند. شبکه جبران‌سازی نیز شامل خازن C_b و بافر جریان g_{m4} بوده و مقاومت ورودی آن به صورت $1/g_{m4}$ مدل شده است. این بافر جریان توسط ترانزیستور M_4 تحقق می‌یابد که

Archive
www.SID.ir

در آرایش گیت- مشترک قرار دارد. در واقع در این حالت بافر جریان در داخل تقویت‌کننده خطا جاسازی شده است. استفاده از شکل جاسازی شده بافر جریان می‌تواند از اتلاف توان اضافی در مدار جلوگیری کند [۱۰]. با توجه به اندازه بزرگ ترانزیستورهای عبوری M_{p1} و M_{p2}، خازن C_1 در ساختار دوطبقه و خازن C_2 در ساختار سه‌طبقه را می‌توان به ترتیب به صورت اثر میلری خازن گیت- درین ترانزیستورهای M_{p1} و M_{p2} در نظر گرفت.

در حالتی که جریان بار کوچک بوده و ترانزیستور M_{p2} وارد مدار نشده است، ساختار تنظیم‌کننده به صورت دوطبقه خواهد بود و مدل سیگنال کوچک آن مطابق شکل ۵- الف است [۱۰]. مقاومت مؤثر در خروجی ترانزیستور M_{p1} برابر است با $R_{o2} = r_{o,M_{P1}} \left\| (R_{f1} + R_{f2}) \right\| R_{Load}$ که در آن $r_{o,M_{P1}}$ مقاومت خروجی ترانزیستور M_{p1} و R_{Load} مقاومت بار می‌باشد و به ازای جریان‌های بار کم مقدار بزرگی خواهد بود. با فرض کوچک‌بودن خازن‌های C_1 و C_3 در برابر خازن‌های C_b و C_L، تابع تبدیل برای ساختار پیشنهادی در حالت دوطبقه به صورت (۲) است

$$H(s) = \frac{-\beta A_0 (1 + s\frac{C_b}{g_{m4}})}{(1 + sC_b g_{mp1} R_1 R_{o2})(1 + s\frac{C_1 C_L}{C_b g_{mp1}} + s^2 \frac{C_1 C_L}{g_{mp1} g_{m4}})} \quad (۲)$$

که در آن A_0 بهره فرکانس پایین و β ضریب فیدبک مدار است و به صورت (۳) بیان می‌شوند

$$A_0 = g_{m1} g_{mp1} R_1 R_{o2}$$
$$\beta = \frac{R_{f2}}{R_{f1} + R_{f2}} \quad (۳)$$

قطب غالب و حاصل‌ضرب بهره- پهنای باند (GBW) مدار نیز به صورت (۴) است

$$GBW = \frac{g_{m1}}{C_b}$$
$$P_{-3dB} = -\frac{1}{g_{mp1} C_b R_1 R_{o2}} \quad (۴)$$

با توجه به تابع تبدیل مدار در این حالت، قطب‌های غیر غالب و صفر مدار به صورت روابط زیر هستند

$$P_2 \approx -\frac{C_b g_{mp1}}{C_1 C_L}$$
$$P_3 \approx -\frac{g_{m4}}{C_b} \quad (۵)$$

$$Z_1 = -\frac{g_{m4}}{C_b} \quad (۶)$$

همان گونه که مشاهده می‌شود P_2 و Z_1 می‌توانند یکدیگر را خنثی کنند و بنابراین پایداری در ساختار دوطبقه فقط به موقعیت قطب دوم ارتباط دارد. به علت جبران‌سازی کسکود که با استفاده از خازن C_b و بافر جریان M_4 تحقق یافته است، قطب P_2 در (۶) با ضریب C_b/C_1 از فرکانس g_{mp1}/C_L به فرکانس‌های بالاتر منتقل می‌شود که این امر پایداری مدار را تضمین می‌کند.

اگر جریان بار به بیشتر از ۸۰۰ µA برسد، ساختار مدار تنظیم‌کننده پیشنهادی از دوطبقه به سه‌طبقه تبدیل می‌شود. مدل سیگنال کوچک ساده‌شده در این حالت در شکل ۵- ب نشان داده شده است. در این حالت ترانزیستور عبوری M_{p2} (g_{mp2}) و تقویت‌کننده ناوارون‌ساز $(g_{mNI} = g_{m7} g_{m10} / g_{m8})$ نیز به مدار اضافه می‌شوند. مقاومت خروجی مؤثر در این حالت برابر است با

$$R_{o3} = r_{o,M_{P1}} \left\| r_{o,M_{P2}} \right\| (R_{f1} + R_{f2}) \left\| R_{Load} \right. \quad (۷)$$

که در آن $r_{o,M_{P2}}$ مقاومت خروجی ترانزیستور M_{p2} است. بر خلاف R_{o2} که مقدار بزرگی است، R_{o3} مقدار کوچکی خواهد داشت زیرا به دلیل افزایش جریان بار مقاومت بار کاهش می‌یابد. با فرض کوچک‌بودن خازن‌های C_1، C_2 و C_3 در برابر خازن‌های C_b و C_L، تابع تبدیل ساده‌شده در این حالت به صورت (۸) خواهد بود و بهره فرکانس پایین و قطب غالب در این حالت مطابق روابط زیر هستند

$$A_0 = g_{m1} g_{mNI} g_{mp2} R_1 R_2 R_{o3} \quad (۹)$$

$$P_{-3dB} = -\frac{1}{g_{mNI} g_{mp2} C_b R_1 R_2 R_{o3}} \quad (۱۰)$$

در این حالت نیز حاصل‌ضرب بهره- پهنای باند همانند ساختار دوطبقه است. با توجه به رابطه تابع تبدیل، در حالت سه‌طبقه یک جفت قطب غیر غالب مزدوج نیز وجود دارد که مقادیر فرکانس طبیعی و ضریب میرایی آنها عبارتند از

$$\omega_n = \sqrt{\frac{g_{mNI} g_{mp2} g_{m4} R_{o3}}{C_1 C_2}} \quad (۱۱)$$

$$\zeta = \frac{g_{mp1}}{2} \sqrt{\frac{C_2 g_{m4} R_{o3}}{C_1 g_{mNI} g_{mp2}}} \quad (۱۲)$$

اندازه این قطب‌های مزدوج با فرکانس طبیعی آنها برابر است. همان طور که مشاهده می‌شود، هر اندازه g_{m4} بزرگ‌تر باشد قطب‌های غیر غالب مزدوج به فرکانس‌های بالاتری منتقل می‌شوند. موقعیت قطب چهارم مدار نیز طبق (۱۳) به مقاومت خروجی و خازن بار بستگی دارد و با توجه به این که مقاومت خروجی طبقه سوم با جریان بار رابطه معکوس دارد، با افزایش جریان بار قطب p_4 به فرکانس‌های بالاتر انتقال می‌یابد

$$P_4 = -\frac{1}{R_{o3} C_L} \quad (۱۳)$$

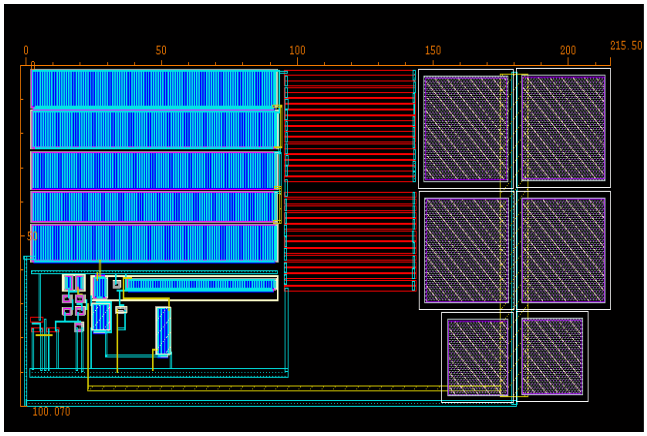
صفرهای تابع تبدیل نیز که بعد از فرکانس GBW قرار می‌گیرند، عبارت هستند از

$$Z_1 = -\frac{g_{m4}}{C_b}$$
$$Z_2 = -\frac{g_{mNI} g_{mp2}}{C_2 g_{mp1}} \quad (۱۴)$$

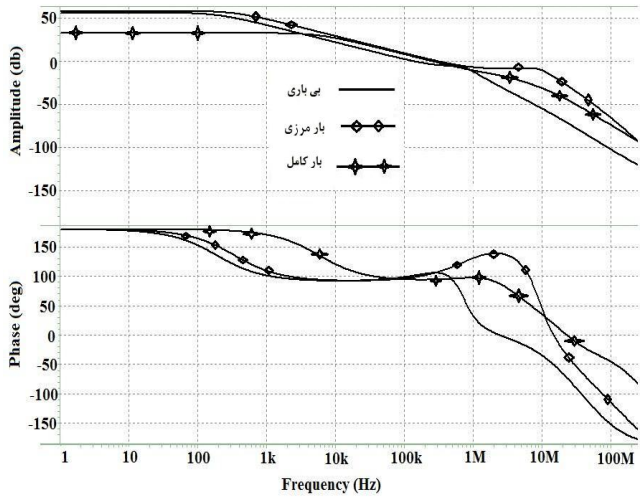
$$H(s) = \frac{-\beta A_0 (1 + s\frac{C_b}{g_{m4}})(1 + s\frac{C_2 g_{mp1}}{g_{mNI} g_{mp2}})}{(1 + sC_b g_{mNI} g_{mp2} R_1 R_2 R_{o3})(1 + s\frac{C_2 g_{mp1}}{g_{mNI} g_{mp2}} + s^2 \frac{C_1 C_2}{g_{mNI} g_{mp2} g_{m4} R_{o3}})(1 + sR_{o3} C_L)} \quad (۸)$$

Archive of SID

www.SID.ir



شکل ۶: طرح جانمایی LDO پیشنهادی.



شکل ۷: پاسخ فرکانسی حلقه- باز LDO پیشنهادی در شرایط بی‌باری، بار مرزی و بار کامل.

جدول ۲: مقادیر حاشیه فاز به ازای تغییرات فرایند.

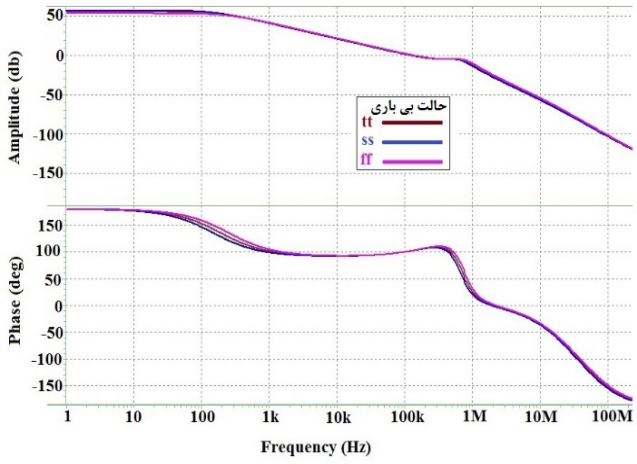
تکنولوژی / PM (°)	TT	FF	SS
بی‌باری	۱۰۰	۱۰۲	۱۰۲
بار کامل	۹۰	۹۵	۹۶

$$Z_1 = -\frac{g_{m4}}{C_b} \qquad (14)$$
$$Z_2 = -\frac{g_{mN1}g_{mp2}}{C_2 g_{mp1}}$$

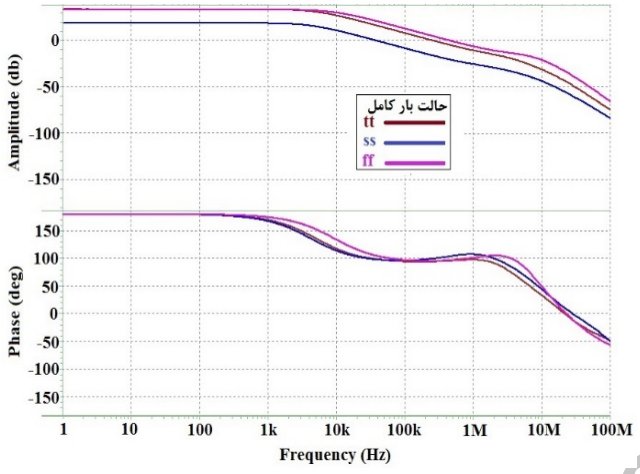
٤- نتایج شبیه‌سازی

تنظیم‌کننده ولتاژ با افت کم پیشنهادی در تکنولوژی ۰٫۳۵ µm CMOS برای ایجاد ولتاژ خروجی ۲٫۸ V به ازای ولتاژ ورودی ۳ V طراحی و شبیه‌سازی شده و قابلیت جریان‌دهی بین ۰ mA تا ۱۰۰ mA را دارد. جریان خاموشی تنظیم‌کننده پیشنهادی در شرایط بی‌باری فقط ۷٫۵ µA است و همچنین این ساختار تنها با به کارگیری خازن جبران‌ساز ۵ pF و خازن بار ۱۰۰ pF در تمام محدوده جریان بار پایدار است.

شکل ۶ طرح جانمایی تنظیم‌کننده پیشنهادی را نشان می‌دهد. در شکل ۷ پاسخ فرکانسی حلقه-باز تنظیم‌کننده LDO پیشنهادی در حالت بی‌باری، بار مرزی و بار کامل نشان داده شده است. در شرایط بی‌باری و



(الف)



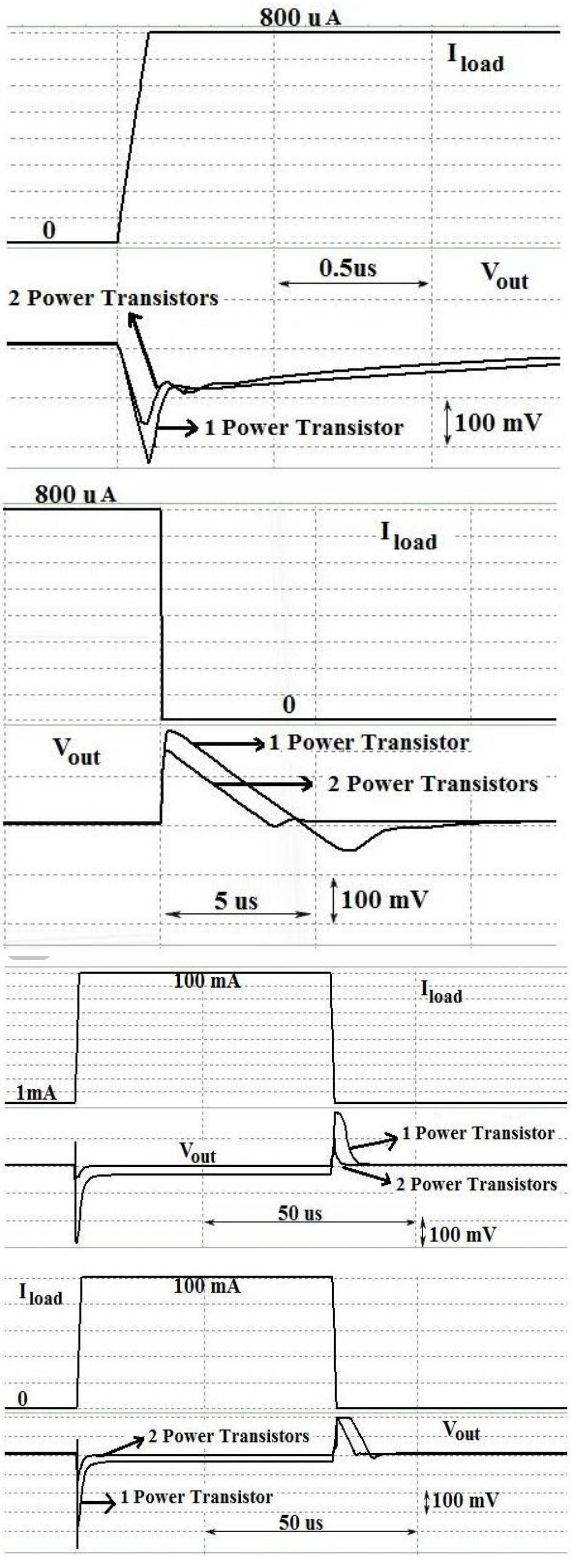
(ب)

شکل ۸: تأثیر تغییرات فرایند بر پایداری LDO در حالت (الف) بی‌باری و (ب) بار کامل.

بار کامل LDO پیشنهادی به ترتیب دارای حاشیه فاز ۱۰۰ و ۹۰ درجه و بهره حلقه فرکانس پایین ۵۶ dB و ۳۵ dB می‌باشد. ضمناً حاشیه فاز LDO پیشنهادی در جریان مرزی نیز حدود ۱۱۰ درجه است. علاوه بر این، اثر تغییرات فرایند برای سه حالت SS، TT و FF روی پاسخ فرکانسی در شکل ۸ نشان داده شده و مقادیر حاشیه فاز در جدول ۲ آمده است که نشان می‌دهد LDO طراحی‌شده دارای حساسیت کمی نسبت به تغییرات فرایند می‌باشد. نکته قابل توجه این است که LDO های معمول که دارای یک ترانزیستور عبوری با اندازه بزرگ می‌باشند، به علت اندازه بزرگ ترانزیستور عبوری در شرایط بی‌باری از پایداری نامناسب و حاشیه فاز کمتر رنج می‌برند، در حالی که LDO پیشنهادی به خاطر استفاده از ترانزیستورهای عبوری با اندازه متناسب با بار، با حفظ حاشیه فاز مناسب در بار کامل، به حاشیه فاز بهتری در حالت بی‌باری دست یافته است.

پاسخ گذرای مدار به تغییرات جریان بار در شکل ۹ نشان داده شده که در آن جریان بار بین سطوح مختلفی تغییر می‌کند. برای بررسی عملکرد کنترل تطبیقی ترانزیستور عبوری، نتایج پاسخ زمانی LDO پیشنهادی با دو ترانزیستور عبوری در مقایسه با شرایطی که از یک ترانزیستور عبوری و با حداکثر اندازه در مدار تنظیم‌کننده استفاده شده (ساختار متداول LDO) آورده شده است. همان گونه که مشاهده می‌شود، به ازای تمامی شرایط تغییرات بار، میزان تغییرات ولتاژ خروجی (ΔV_{out}) و زمان نشست (T_{settle}) LDO پیشنهادی در مقایسه با ساختار متداول کمتر است. همچنین پاسخ‌های گذرا نشان می‌دهند که تنظیم‌کننده پیشنهادی برای تمامی محدوده جریان بار ذکرشده پایدار است. به ازای تغییرات بار بین

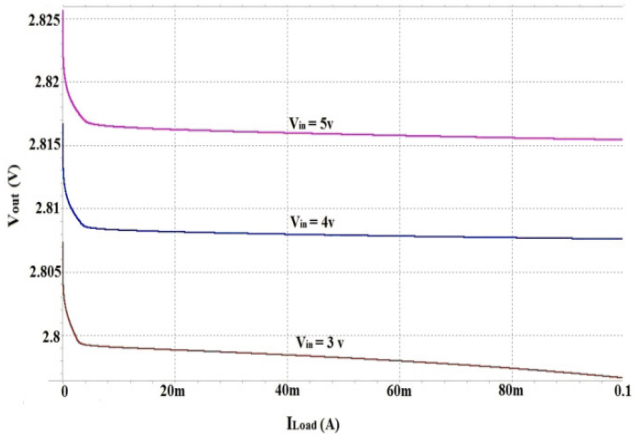
Archive
www.SID.ir



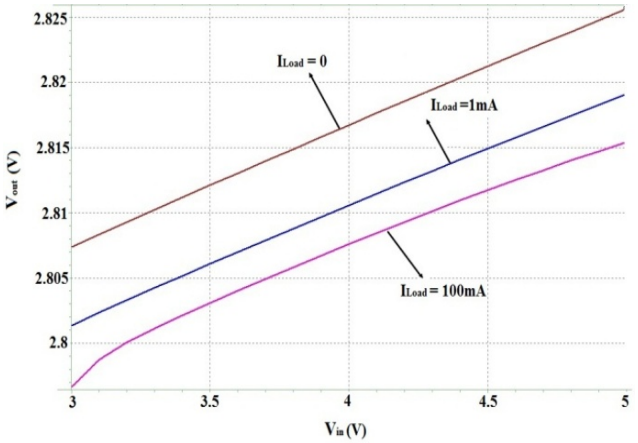
شکل ۹: پاسخ گذرای مدار LDO پیشنهادی در مقایسه با ساختار متداول با یک ترانزیستور عبوری به ازای مقادیر مختلف جریان بار.

۰ mA تا ۱۰۰ mA، حداکثر میزان فروجهش ۲۸۰ mV و حداکثر میزان فراجهش ۲۰۰ mV می‌باشد و این میزان تغییرات حداکثر در مدت ۶/۵ µs رخ می‌دهد، در حالی که در ساختار متداول به ازای یک ترانزیستور عبوری حداکثر میزان فروجهش ۵۴۰ mV و حداکثر میزان فراجهش ۲۰۰ mV بوده که در مدت ۱۱ µs رخ می‌دهد.

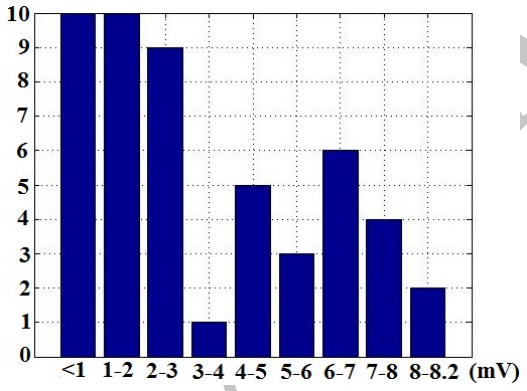
شکل ۱۰ رگولاسیون بار LDO پیشنهادی را نشان می‌دهد. نمودار رگولاسیون خط نیز در شکل ۱۱ آمده که در آن ولتاژ تغذیه بین ۳ تا



شکل ۱۰: رگولاسیون بار LDO پیشنهادی.



شکل ۱۱: رگولاسیون خط LDO پیشنهادی.



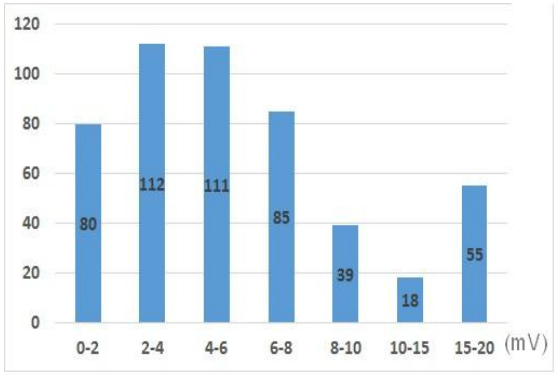
شکل ۱۲: نمودار سطح ولتاژ خروجی با تلورانس ٪۵± روی طول ترانزیستورهای M_1 و M_2. محورهای افقی و عمودی به ترتیب نشان‌دهنده میزان انحراف از مقدار ایده‌آل ولتاژ خروجی و تعداد دفعاتی که یک میزان انحراف معین رخ داده است هستند.

۵ ولت تغییر می‌کند. میزان رگولاسیون‌های بار و خط به ترتیب برابر با ۷۷ µV/mA و ۹ mV/V است.

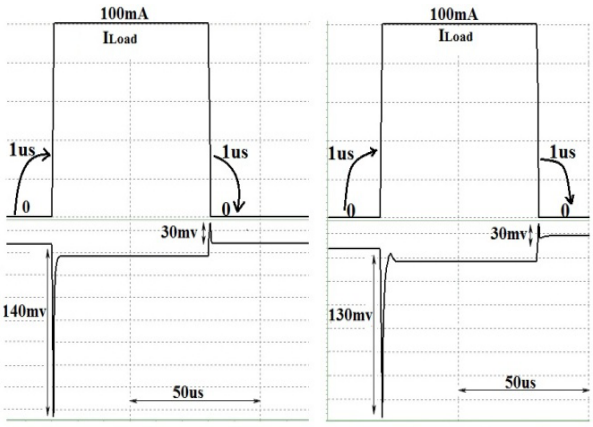
میزان رد منبع تغذیه (PSR) LDO پیشنهادی در فرکانس‌های ۱ kHz و ۱۰ kHz به ازای جریان بار ۱ mA به ترتیب برابر ۴۰ dB- و ۳۰ dB- و به ازای جریان بار ماکسیمم ۱۰۰ mA به ترتیب برابر ۳۰ dB- و ۲۷ dB- است.

برای بررسی اثر عدم تطابق طول کانال ترانزیستورهای ورودی تقویت‌کننده خطا روی ولتاژ خروجی، تحلیل مونت کارلو روی LDO پیشنهادی انجام شده است. شکل ۱۲ نمودار ولتاژ DC خروجی را به ازای تلورانس ٪۵± با توزیع یکنواخت و ۵۰ مرتبه تکرار روی ترانزیستورهای

www.SID.ir



شکل ۱۳: نمودار سطح ولتاژ خروجی با تلورانس ٪۱۰± روی طول تمام ترانزیستورها. محورهای افقی و عمودی به ترتیب نشان‌دهنده میزان انحراف از مقدار ایده‌آل ولتاژ خروجی و تعداد دفعاتی که یک میزان انحراف معین رخ داده است هستند.



(ب) (الف)

شکل ۱۴: پاسخ گذرای مدار LDO پیشنهادی به ازای جریان بار ۰ mA تا ۱۰۰ mA، (الف) با خازن خروجی ۱ μF و $R_{ESR}=1\,\Omega$ و (ب) با خازن خروجی ۲ μF و $R_{ESR}=1\,\Omega$.

جدول ۳: مقایسه نتایج.

پارامتر	شبیه‌سازی [۲]	شبیه‌سازی [۶]	ساخت [۶]	شبیه‌سازی [۱۰]	شبیه‌سازی [۱۱]	ساخت [۱۱]	شبیه‌سازی [۱۲]	LDO پیشنهادی	
								دوطبقه	سه‌طبقه
Tech (μm)	۰٫۳۵	۰٫۳۵	۰٫۳۵	۰٫۳۵	۰٫۳۵	۰٫۳۵	۰٫۳۵	۰٫۳۵	۰٫۳۵
Type	Analog	Analog	Analog	Analog	Analog	Analog	Digital	Analog	Analog
V_{in} (V)	۱٫۲	۱٫۲	۱٫۲	۲	۲	۳٫۳	۰٫۷ –۰٫۹	۳	۳
V_{out} (V)	۱	۱	۱	۱٫۸	۱٫۸	۱٫۸	۰٫۵ –۰٫۷	۲٫۸	۲٫۸
I_{out} (mA)	۵۰	۵۰	۵۰	۱۰۰	۱۵۰	۱۵۰	۵۰	۱۰۰	۱۰۰
I_Q (μA)	۳۱	۹۵	۹۵	۲۲	۲۰	۲۰	۴٫۷	۶٫۷	۷٫۵
C_{out} (pF)	۲۰	۲۰	>۲۰	۱۰۰	۱۰۰	–	۱۰۰	۱۰۰	۱۰۰
T_{settle} (μs)	۱٫۴	۱٫۴	۰٫۳	۸٫۵	>۹۰	≈۱۰	۱۷۷۰	۱۱	۶٫۵
ΔV_{out} (mV)	۲۰۰	۲۰۰	۱۸۰	۲۰۰	۵۴۰	۷۶۰	۷۰۰	۵۴۰	۲۸۰
CE (%)	۹۹٫۹۳	۹۹٫۸۱	۹۹٫۸۱	۹۹٫۹۷	۹۹٫۹۸	–	۹۹٫۹	۹۹٫۹۳ –۹۸٫۴	۹۹٫۹۲ –۹۸٫۶۱
FOM (fs)	۴۹٫۶	۱۵۲	۱۳۶	۴۴	۴۸	–	۱۳۱٫۶	۳۶٫۱۸	۲۱

ورودی تقویت‌کننده خطا (M_1 و M_2) نشان می‌دهد. محورهای افقی و عمودی به ترتیب میزان انحراف از خروجی ایده‌آل و تعداد موارد رخ‌دادن این میزان انحراف را نشان می‌دهند. همان گونه که آشکار است، تلورانس ٪۵± روی طول کانال ترانزیستورهای ورودی تقویت‌کننده خطا موجب شده که فقط ٪۴ از کل نمونه‌ها بیشترین میزان انحراف از سطح ولتاژ خروجی ایده‌آل را داشته باشند که این مقدار انحراف معادل با ٪۰٫۳ خطا در سطح ولتاژ خروجی می‌باشد. همچنین شکل ۱۳ نتیجه تحلیل مونت کارلو را به ازای تلورانس ٪۱۰± با توزیع یکنواخت و ۵۰۰ مرتبه تکرار روی طول کانال تمام ترانزیستورهای LDO پیشنهادی نشان می‌دهد. همان طور که مشاهده می‌شود ٪۱۱ از کل نمونه‌ها دارای بیشترین میزان انحراف از سطح ولتاژ خروجی ایده‌آل هستند که این میزان انحراف معادل ٪۰٫۵ تا ٪۰٫۷ خطا در سطح ولتاژ خروجی است.

تنظیم‌کننده ولتاژ LDO پیشنهادی امکان کار با خازن برون‌تراشه‌ای را نیز داشته و به ازای تمام محدوده جریان بار پایدار باقی می‌ماند و بنابراین این مدار هم با خازن برون‌تراشه‌ای و هم بدون آن (فقط با خازن درون‌تراشه‌ای) قابل استفاده است. هنگامی که از خازن برون‌تراشه‌ای استفاده می‌شود، قطبی که در خروجی LDO قرار دارد (P_2 در حالت دوطبقه و P_3 در حالت سه‌طبقه) قطب غالب مدار خواهد بود و قطب غیر غالب که در خروجی تقویت‌کننده خطا قرار می‌گیرد با صفر تولیدشده توسط مقاومت R_{ESR} سری با خازن خروجی حذف می‌شود. شکل ۱۴ نمونه‌ایی از پاسخ مدار به تغییرات گذرای جریان بار را به ازای مقادیر مختلف خازن برون‌تراشه‌ای نشان می‌دهد. همان طور که مشاهده می‌شود، حداکثر میزان تغییرات ولتاژ خروجی (ΔV_{out}) به ازای ماکسیمم تغییرات جریان بار برابر ۱۴۰ mV است.

خلاصه‌ای از عملکرد کلی LDO پیشنهادی در مقایسه با سایر کارهای ارائه‌شده [۲]، [۶] و [۱۰] تا [۱۲] در جدول ۳ آمده است. برای انجام یک مقایسه منصفانه، مدارهای LDO گزارش‌شده در سایر کارها نیز در اینجا شبیه‌سازی شده و نتایج شبیه‌سازی آنها (Sim) در کنار نتایج گزارش‌شده در خود مقالات (Exp) در جدول ۳ آورده شده است. همچنین برای بررسی عملکرد کنترل تطبیقی ترانزیستور عبوری، دو سری نتایج برای LDO پیشنهادی گزارش شده است. مقادیر گزارش‌شده در ستون دوطبقه در شرایطی است که از یک ترانزیستور عبوری و با حداکثر اندازه خود در مدار تنظیم‌کننده استفاده شده (ساختار متداول LDO) و مقادیر گزارش‌شده در ستون سه‌طبقه مربوط به کنترل تطبیقی ترانزیستور عبوری است (ترانزیستور عبوری به دو ترانزیستور با اندازه‌های کوچک‌تر تقسیم شده و با توجه به جریان بار خروجی کنترل می‌شود). همان گونه که مشاهده می‌شود، در حالت کنترل تطبیقی، هم میزان ΔV_{out} و هم زمان نشست (T_{settle}) کاهش می‌یابد. برای مقایسه نهایی عملکرد مدارهای LDO

Archive of SID
www.SID.ir

مختلف با در نظر گرفتن تمام پارامترهای مؤثر در رفتار LDO، از عدد شایستگی (FOM) مطابق (۱۵) استفاده می‌شود [۱۳]. مقدار FOM کوچک‌تر نشان‌دهنده عملکرد گذرای بهتر برای تنظیم‌کننده LDO است. مشاهده می‌شود که مقدار FOM تنظیم‌کننده پیشنهادی در شرایط کنترل تطبیقی به مراتب کمتر از سایر نتایج گزارش‌شده است

$$FOM = \frac{\Delta V_{out} C_{out} I_Q}{I_{\max}^{2}} \qquad (۱۵)$$

۵- نتیجه‌گیری

در این مقاله یک تنظیم‌کننده ولتاژ با افت کم با قابلیت کار هم با خازن درون‌تراشه‌ای و هم برون‌تراشه‌ای و با کنترل تطبیقی ترانزیستور عبوری متناسب با جریان بار در تکنولوژی CMOS ۰٫۳۵ µm ارائه شده است. ساختار پیشنهادی در کل محدوده جریان بار ۰ mA تا ۱۰۰ mA و بدون نیاز به حداقل جریان بارگذاری پایدار بوده و میزان جریان خاموشی آن در شرایط بی‌باری فقط ۷٫۵ µA است که این امر بازده را به ویژه در جریان‌های بار کم، بهبود می‌بخشد. استفاده از دو ترانزیستور عبوری و واردکردن آنها به مدار به صورت تطبیقی متناسب با بار خروجی منجر به بهبود پاسخ دینامیکی مدار به تغییرات بار و همچنین بهبود حاشیه فاز و پایداری مدار به ویژه در جریان‌های بار کم شده است. نتایج مقایسه بر مبنای FOM با دیگر کارها نشان‌دهنده برتری ساختار ارائه‌شده است.

مراجع

[1] D. D. Buss, "Technology in the interest age," in *Proc. IEEE Int. Solid-State Circuits Conf., ISSCC'02*, vol. 1, pp. 18-21, Feb. 2002.

[2] R. Fathipour and A. Saberkari, "FVF - based CMOS low - dropout regulator," *J. Electronics Industries*, vol. 3, no. 3, pp. 7-24, Aug. 2013

[3] A. Saberkari, E. Alarcon, and S. B. Shokouhi, "Fast transient current-steering CMOS LDO regulator based on current feedback amplifier," *Integration, the VLSI J.*, vol. 46, no. 2, pp. 165-171, Mar. 2013.

[4] R. J. Milliken, J. Silva - Martinez, and E. Sanchez - Sinencio, "Full on - chip CMOS low - dropout voltage regulator," *IEEE Trans. Circuits Syst. I: Regular Papers*, vol. 54, no. 9, pp. 1879-1890, Sep. 2007.

[5] K. L. Leung and P. K. T. Mok, "A capacitor - free CMOS low - dropout regulator with damping-factor-control frequency compensation," *IEEE J. Solid - State Circuits*, vol. 38, no. 10, pp. 1691-1702, Oct. 2003.

[6] T. Y. Man, K. L. Leung, C. Y. Leung, P. K. T. Mok, and M. Chan, "Development of single - transistor - control LDO based on flipped voltage follower for SOC," *IEEE Trans. Circuits Syst. I: Regular Papers*, vol. 55, no. 5, pp. 1392-1401, Jun. 2008.

[7] Y. H. Lam and W. H. Ki, "A 0.9 V 0.35 µm adaptively biased CMOS LDO regulator with fast transient response," in *Proc. IEEE Int. Solid - State Circuits Conf., ISSCC'08,* pp. 442-443, 3-7 Feb. 2008.

[8] M. Al - Shyoukh, H. Lee, and R. Perez, "A transient - enhanced low - quiescent current low - dropout regulator with buffer impedance attenuation," *IEEE J. Solid - State Circuits*, vol. 42, no. 8, pp. 1732-1742, Aug. 2007.

[9] Y. H. Lam, W. H. Ki, and C. Y. Tsui, "Adaptively - biased capacitor - less CMOS low dropout regulator with direct current feedback," in *Proc. IEEE Asia South Pacific Conf. Design Automation*, pp. 104-105, 24-27 Jan. 2006.

[10] R. Fathipour and A. Saberkari, "Capacitor - free CMOS low - dropout regulator with a fast path embedded into the error amplifier," *Iranian J. Electrical Computer Engineering*, vol. 11, no. 2(a), pp. 105-111, Dec. 2013.

[11] W. J. Huang and S. I. Liu, "Capacitor - free low dropout regulators using nested miller compensation with active resistor and 1 - bit programmable capacitor array," *IET Circuits Devices Syst.*, vol. 2, no. 3, pp. 306-316, Jun. 2008.

[12] Y. L. Lo and W. J. Chen, "A 0.7 V input output - capacitor - free digitally controlled low-dropout regulator with high current efficiency in 0.35 µm CMOS technology," *Microelectronics J.*, vol. 43, no. 62, pp. 756-765, Aug. 2012.

[13] P. Hazucha, T. Karnik, B. Bloechel, C. Parsons, D. Finan, and S. Borkar, "Area - efficient linear regulator with ultra - fast load regulation," *IEEE J. Solid - State Circuits*, vol. 40, no. 4, pp. 933-940, Apr. 2005.

فریما قراغان آبادی در سال‌های ۱۳۸۶ و ۱۳۹۲ به ترتیب مدارک کارشناسی و کارشناسی ارشد خود را در رشته مهندسی برق- الکترونیک از دانشگاه گیلان دریافت نمود. زمینه‌های علمی مورد علاقه ایشان، طراحی مدارهای مجتمع آنالوگ کم‌توان و ولتاژ پایین، سیستم‌های مدیریت توان، منابع تغذیه خطی و سیستم‌های مدیریت هوشمند می‌باشد.

علیرضا صابرکاری در سال ۱۳۸۱ مدرک کارشناسی خود را در رشته مهندسی برق- الکترونیک از دانشگاه علم و صنعت ایران/ دانشگاه گیلان دریافت نمود و در سال‌های ۱۳۸۳ و ۱۳۸۸ به ترتیب مدارک کارشناسی ارشد و دکتری خود را در رشته مهندسی برق- الکترونیک با زیرگرایش میکروالکترونیک از دانشگاه علم و صنعت ایران اخذ نمود و از سال ۱۳۸۸ به عنوان عضو هیأت علمی دانشگاه گیلان مشغول به کار بوده است. ایشان در بازه سال‌های ۲۰۰۸ تا ۲۰۰۹ و برای گذراندن دوره فرصت مطالعاتی به گروه EPIC دانشکده مهندسی الکترونیک دانشگاه پلی‌تکنیک کاتالونیا در اسپانیا پیوست. زمینه‌های تحقیقاتی مورد علاقه ایشان در راستای میکروالکترونیک آنالوگ و RF و با تأکید بر مدارهای مجتمع برای مدیریت توان و کاربردهای Energy Harvesting، تنظیم‌کننده‌های خطی و با افت کم، مدارهای مد جریان، مدارهای مجتمع آنالوگ کم‌توان و ولتاژ پایین و تقویت‌کننده‌های توان RF است.

Archive of SID

www.SID.ir