Archive of SID

آنالیز و گسترش مدل فشرده زمان تأخیر انتشار گیت‌های NAND فناوری CMOS نانومتری در مقابل تغییرات آماری فرایند ساخت

حامد جوی‌پا و داریوش دیدبان

چکیده: با کوچک‌شدن ابعاد ترانزیستور در مقیاس نانومتری، پارامترهای الکتریکی ترانزیستور دچار تغییرات آماری یا تصادفی می‌شوند و از طرفی تخمین دقیق تغییرات این پارامترها توسط شبیه‌سازهای اتمیستیک بسیار وقت‌گیر و هزینه‌بر است. در این مقاله برای اولین بار از مدل‌های تحلیلی جهت بررسی تأثیر تغییرات آماری فرایند ساخت بر پارامتر تأخیر انتشار یک گیت NAND در فناوری ۳۵ نانومتری CMOS استفاده شده است. به عبارت دیگر با انتخاب دسته مناسبی از پارامترهای مدل تحلیلی، اثر تغییرات آماری بر روی زمان تأخیر انتشار، مورد مدل‌سازی و گسترش قرار گرفته است. همچنین مدل تحلیلی مورد استفاده در برابر تغییرات آماری فرایند ساخت صحت‌سنجی شده و با شبیه‌سازی‌های دقیق اتمیستیک مقایسه گردیده است. اگرچه مقادیر میانگین تأخیر انتشار در اثر انتخاب دسته پارامترهای آماری مختلف، حداکثر خطای ۸/۷٪ را در مقایسه با شبیه‌سازی‌های دقیق اتمیستیک ایجاد می‌نماید اما با اعمال رهیافت پیشنهادی می‌توان تا دقت ۳/۴٪، انحراف معیار زمان تأخیر انتشار را در مقایسه با مدل اتمیستیک پیش‌بینی کرد. همچنین با بازتولید نرمال پارامترها، خطای انحراف معیار به ۹/۹٪ می‌رسد که در نهایت با پیشنهاد الگوریتم بازتولید نرمال پارامترها با لحاظ ضریب همبستگی، خطای انحراف معیار به ۱/۶٪ کاهش می‌یابد.

کلیدواژه: **تغییرات آماری، زمان تأخیر انتشار، ضریب همبستگی، گیت NAND، مدل اتمیستیک.**

۱- مقدمه

با کوچک‌شدن ابعاد ترانزیستورهای CMOS اثرات ثانویه ظاهر می‌شود [۱] تا [۳] و بنابراین تخمین دقیق پارامترهایی نظیر جریان درین (I_{ds}) توسط مدل‌های تحلیلی سخت‌تر خواهد شد. همچنین اثر تغییرات بر روی عملکرد سیستم نیز بیشتر می‌شود (تصادفی و سیستماتیک) [۴] تا [۷]. با افزایش پیچیدگی سامانه‌های VLSI، شبیه‌سازی پارامترهای ترانزیستورها نیز پیچیده‌تر و محاسباتی‌تر می‌شود [۳] و [۸] و در نتیجه شبیه‌سازی توسط SPICE بسیار وقت‌گیر و هزینه‌بر خواهد بود [۴] و [۹] زیرا معادلات دیفرانسیل حاکم بر ترانزیستور در شبیه‌سازی‌های SPICE بر اساس روش‌های عددی حل می‌شوند. بنابراین کاربرد این روش برای چند میلیون ترانزیستور غیر عملی خواهد بود. از این رو ارائه مدل‌های تحلیلی با دقتی نزدیک به SPICE، راهکاری به جای شبیه‌سازی‌های مرسوم است [۱] تا [۳]، [۸] و [۱۰] تا [۱۶].

در دهه اخیر تلاش‌های زیادی برای مدل‌سازی اینورتر CMOS صورت گرفته و معادلات تحلیلی مناسبی برای عملکرد آن استخراج شده است اما تحقیقات بر روی گیت‌های پیچیده‌تر نظیر NAND یا NOR کمتر بوده است [۱]، [۳] و [۱۷] تا [۱۹]. به طور کلی تحقیقات بر روی گیت NAND یا NOR در دو دسته کلی صورت پذیرفته است. در دسته اول از معادلات تحلیلی استخراج‌شده برای اینورتر استفاده شده و بر این فرضیه استوار است که هر گیت CMOS را می‌توان به یک اینورتر معادل با همان عملکرد گیت اصلی، متناظر کرد. از طرفی دقت این روش محدود است زیرا عموماً متناظرکردن ترانزیستورهای سری به یک ترانزیستور معادل، دقت کافی را نسبت به عملکرد واقعی ندارد. مؤلفان در [۱۰] روشی را برای جایگزینی گیت‌های NAND یا NOR با یک اینورتر معادل توسط فن ادغام ارائه کردند که به استخراج ترانزیستور معادل از زنجیره ترانزیستوری منجر شد. اما عرض مرسوم ترانزیستور معادل کاهش یافت (عرض ترانزیستور معادل برابر با $W_{eq}=W/n$ می‌باشد و n تعداد ترانزیستورها است) و در نهایت خطای زیادی ایجاد گردید. همچنین یک روش بهتر برای معادل‌کردن ترانزیستورهای زنجیره به ترانزیستور معادل در [۲۰] آورده شده است. دسته دوم تحقیقات، مبتنی بر آنالیز ریاضی عملکرد گیت است و بر این فرض استوار است که در یک زنجیره ترانزیستوری، تمامی ترانزیستورها به غیر از ترانزیستوری که به گره خروجی متصل شده‌اند همیشه در ناحیه خطی کار می‌کنند. بر این اساس در [۲۱] و [۲۲] با جایگذاری مقاومت‌های معادل به جای ترانزیستورهای غیر اشباع، معادلات دیفرانسیل در گره‌های یک زنجیره ترانزیستوری مورد استفاده قرار گرفته است. از طرفی مقاومت، رفتار دینامیکی ترانزیستور غیر اشباع را نمی‌تواند بازسازی کند. علاوه بر آن روش‌های فوق بر اساس قانون مربعی جریان درین- سورس ترانزیستورهای کانال بلند و ورودی‌های پله ایده‌آل توسعه یافته‌اند لذا نتایج به دست آمده در فناوری‌های نانومتری انحراف زیادی نسبت به مقادیر واقعی خواهند داشت.

با کوچک‌شدن ابعاد ترانزیستور در رژیم نانومتری و اشباع‌نشدن جریان به خاطر پدیده مدولاسیون طول کانال در فناوری‌های زیر ۵۰ نانومتر، معادله استاندارد جریان ماسفت که بر پایه مدل شاکلی و یا قانون توان آلفا [۱] می‌باشد کاربردی نخواهد بود [۴]، [۲۳] و [۲۴]. همچنین نوسانات ذاتی فرایند ساخت نقش بسیار مهمی در طراحی و پیش‌بینی عملکرد تراشه‌های امروزی ایفا می‌کنند [۲۵] تا [۳۰]. در رژیم نانومتری، استفاده از مدل‌های تحلیلی که بتوانند در عین ساده‌بودن، رفتار مدار را به خوبی و با دقت مناسب پیش‌بینی نماید محدود هستند. همچنین در فناوری‌های کمتر از ۴۵ نانومتر اثر تغییرات فرایند ساخت نیز بسیار چشم‌گیر خواهد بود [۴]، [۳۱] و [۳۲] و در نتیجه ارائه یک مدل تحلیلی با در نظر گرفتن پدیده تغییرات آماری، بسیار مطلوب است.

تحلیل‌ها و شبیه‌سازی تغییرات آماری به کمک SPICE با هدف چگونگی تأثیر تغییرات می‌تواند حلقه واسطی بین طراحان IC و سازندگان

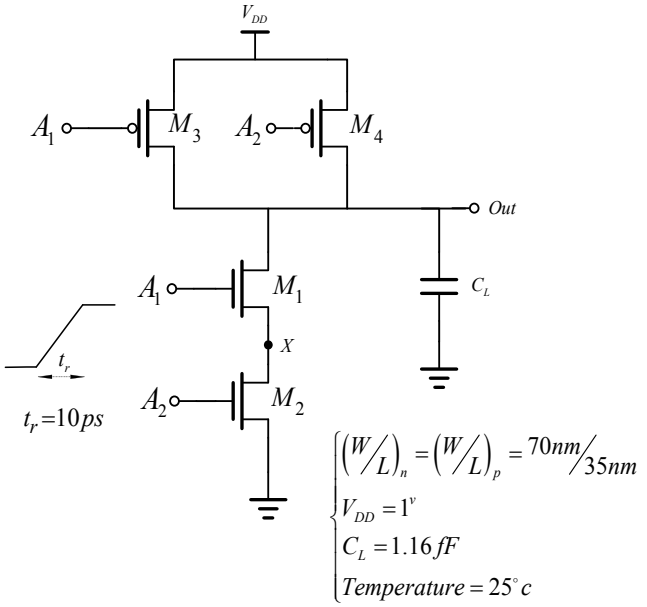
این مقاله در تاریخ ۲۶ فروردین ماه ۱۳۹۶ دریافت و در تاریخ ۹ مرداد ماه ۱۳۹۶ بازنگری شد. این تحقیق توسط معاونت پژوهشی دانشگاه کاشان بر اساس قرارداد شماره ۶۸۲۶۱۵ پشتیبانی شده است.

حامد جوی‌پا، دانشکده مهندسی برق و کامپیوتر، دانشگاه کاشان، کاشان، (email: hjooypa@grad.kashanu.ac.ir).

داریوش دیدبان، دانشکده مهندسی برق و الکترونیک، دانشگاه کاشان، کاشان، (email: dideban@kashanu.ac.ir).

www.SID.ir

Archive of SID



شکل ۱: شماتیک گیت NAND

آن باشد زیرا نسبت به شبیه‌سازی‌های فیزیکی که پیچیده و زمان‌بر هستند، بسیار مفیدتر می‌باشند [۹]، [۳۰] و [۳۳] تا [۳۹]. یکی از پارامترهای مورد توجه طراحان، زمان تأخیر انتشار است به نحوی که علاوه بر تأثیر مستقیم در سرعت سیستم، توان دینامیک را نیز تحت تأثیر قرار خواهد داد و از این رو تحلیل و بررسی آماری این پارامتر در بلوک‌های CMOS می‌تواند بسیار مفید باشد [۳۸].

هدف اصلی این مقاله گسترش و توسعه آماری یک مدل فشرده زمان تأخیر انتشار بر روی گیت NAND در فناوری CMOS نانومتری است. به عبارت دیگر در این مقاله (الف) با انتخاب یک مدل تحلیلی اولیه مناسب، پارامترهای مؤثر در مدل‌سازی تغییرات آماری زمان تأخیر انتشار مورد شناسایی قرار می‌گیرد، (ب) بر اساس دسته‌های آماری مختلف، حداقل تعداد پارامترهای مؤثر در مدل‌سازی تغییرات آماری ارزیابی می‌گردد، (ج) خطای ایجادشده در مقادیر میانگین و انحراف معیار زمان تأخیر انتشار با انتخاب دسته‌های مختلف آماری در مدل فشرده نسبت به شبیه‌سازی‌های دقیق مونت کارلو شبیه‌سازی و استخراج می‌گردد و (د) با پیشنهاد دو روش متفاوت بازتولید آماری پارامترها، میزان دقت مدل تحلیلی گسترش‌یافته فوق در تعقیب مقادیر میانگین و انحراف معیار زمان تأخیر انتشار واقعی مورد بررسی و ارزیابی قرار می‌گیرد.

در بخش ۲ از این مقاله، معادلات حاکم بر مدل تحلیلی منتخب مورد بررسی قرار می‌گیرد. واضح است که در این مدل، پارامترهایی از ترانزیستور به صورت مستقیم و یا غیر مستقیم تأثیر زیادی بر روی زمان تأخیر انتشار دارند. در بخش ۳ پس از شناسایی پارامترهای مؤثر در مدل‌سازی تغییرات آماری زمان تأخیر انتشار، خطای ایجادشده در مقادیر میانگین و انحراف معیار با انتخاب دسته‌های مختلف آماری در مدل فشرده نسبت به شبیه‌سازی‌های دقیق مونت کارلو شبیه‌سازی و استخراج می‌گردد. در بخش ۴ دو روش متفاوت بازتولید آماری پارامترهای منتخب مورد بررسی قرار گرفته و میزان خطای ایجادشده در هر روش در بازسازی مقادیر میانگین و انحراف معیار زمان تأخیر انتشار ارزیابی می‌گردد. در بخش ۵ نیز نتیجه‌گیری این مقاله ارائه شده است.

۲- بررسی مدل تحلیلی منتخب

با توجه به شکل ۱ که گیت NAND در فناوری CMOS را نشان می‌دهد می‌توان زمان تأخیر انتشار را با اعمال ورودی به فرم شیب در مدت زمان t_r یا گذار از سطح منطقی صفر به یک بر اساس مدل تحلیلی منتخب [۴] محاسبه کرد. در این حالت مشخصات دشارژ ولتاژ گره خروجی به ترانزیستورهای پشته ورودی تا خروجی بستگی دارد و ترانزیستورهای بین ورودی سوئیچینگ و تغذیه، تأثیری در خروجی و زمان تأخیر انتشار ندارند. بنابراین با اعمال ورودی به A_1، پاسخ خروجی فقط به ترانزیستور M_1 وابسته است. این در حالی است که با اعمال ورودی به A_2، پاسخ خروجی به M_1 و M_2 مرتبط می‌شود. با توجه به اعمال سیگنال ورودی به گیت NAND در شکل ۱ دو حالت وجود خواهد داشت که در ادامه مورد بررسی قرار می‌گیرد.

۲-۱ حالت ۱: ورودی شیب به A_2 اعمال شود

در این حالت ولتاژ ورودی $V_{in}(t)$ برابر است با

$$V_{in}(t) = V_{DD}\frac{t}{t_r} \qquad (۱)$$

که V_{DD} در فناوری ۳۵ نانومتر CMOS برابر با یک ولت و t_r مدت زمانی است که سیگنال ورودی از سطح صفر ولت به یک ولت تغییر وضعیت می‌دهد. در ابتدا ولتاژ ورودی و خروجی به ترتیب برابر با صفر و V_{DD} است. ولتاژ گره X برابر با $V_{DD}-V_{th(M_1)}$ می‌باشد که منظور از $V_{th(M_1)}$ ولتاژ آستانه ترانزیستور M_1 است.

طبق قانون المور، زمان تأخیر انتشار متناسب است با

$$pHL \propto R_2(C_L + C_X) + R_1 C_L \qquad (۲)$$

که در آن C_L خازن بار، C_X خازن در گره X و مقادیر R_1 و R_2 به ترتیب مقاومت معادل ترانزیستورهای M_1 و M_2 است. عبارت اول در (۲)، $t_{vx} = R_2(C_L + C_X)$ می‌باشد که برابر با زمان تخلیه خازن‌های C_L و C_X از طریق ترانزیستور M_2 است. عبارت دوم در (۲)، $t_{vout} = R_1 C_L$ می‌باشد که متناسب با تخلیه خازن C_L از طریق M_1 است و بنابراین زمان تأخیر انتشار گیت NAND وقتی ورودی سیگنال به ترانزیستور M_2 اعمال می‌شود برابر است با

$$tp_{HL} = t_{vx} + t_{vout} - \frac{t_r}{2} \qquad (۳)$$

در ادامه به نحوه محاسبه پارامترهای موجود در (۳) پرداخته می‌شود.

۲-۱-۱ محاسبه t_{vx}

با افزایش ولتاژ اعمال‌شده به ترانزیستور M_2، این ترانزیستور از ناحیه قطع به ناحیه اشباع و سپس به ناحیه خطی می‌رود. اگر ولتاژ گره X (V_X)، زمانی که V_{out} به نصف V_{DD} می‌رسد برابر با V_{xf} باشد، بنابراین زمان دشارژ $C_L + C_X$ از طریق M_2 می‌تواند به دو بخش تقسیم شود:

۱) مدت زمانی که طول می‌کشد تا V_x از $V_{DD}-V_{th(M_1)}$ به V_{DSAT} (ولتاژ اشباع درین- سورس) دشارژ شود که برابر با t_{sat} است. لازم به ذکر است که در این حالت ترانزیستور M_2 در ناحیه اشباع است.

۲) مدت زمانی که طول می‌کشد که V_x از V_{DSAT} به V_{xf} برسد. در این حالت ترانزیستور M_2 در ناحیه خطی است. با توجه به موارد گفته‌شده، t_{sat} از (۴) به دست می‌آید [۴]

$$t_{sat} = \frac{t_r}{V_{DD}}\sqrt{K_{\log}} + V_{th} \qquad (۴)$$

که V_{th} ولتاژ آستانه ترانزیستور است. مقادیر $K_{\log}$ و K_y برابر است با

www.SID.ir

Archive of SID

$$K_{\log} = \frac{1}{K_y}\ln[\frac{V_{DSAT} - \frac{1}{\lambda}}{V_{DD} - \frac{1}{\lambda}}] \quad (۵)$$

$$K_y = \frac{\beta_s t_r \lambda}{C_L(\alpha+1)V_{DD}} \quad (۶)$$

لازم به ذکر است که α اندیس اشباع سرعت بوده و از [۱] محاسبه می‌شود و همچنین λ ضریب تجربی برای مدولاسیون طول کانال است. β_s نیز از (۷) به دست می‌آید [۸]

$$\beta_s = \frac{I_{ds.}}{(1-\frac{V_{th}}{V_{DD}})^{\alpha}} \quad (۷)$$

که $I_{ds.}$ جریان اشباع درین در حالت $V_{GS} = V_{DS} = V_{DD}$ است. با توجه به مقدار t_r، مقادیر t_{sat} و t_{vx} می‌توانند کمتر یا بیشتر از t_r باشند و بر این اساس، سه حالت ممکن است رخ دهد [۴]:

۱) $t_{vx} \le t_r$: در این حالت ورودی همچنان در حال افزایش است ولی V_x به V_{xf} می‌رسد. بنابراین ترانزیستور M_2 در ناحیه خطی است و V_{out} در ناحیه خطی از (۸) محاسبه می‌شود

$$V_{out} = e^{[-K_x(\frac{V_{DD}t}{t_r} - V_{th})^{\alpha+1} - C]} \quad (۸)$$

که K_x برابر است با

$$K_x = \frac{\beta_s t_r[1+\lambda(V_{DSAT} - V_{DD})]}{V_{DD}C_L V_{DSAT}(\alpha+1)} \quad (۹)$$

همچنین ثابت C در (۸) بایستی در شرایط مرزی محاسبه می‌شود یعنی زمانی که V_{out} در $t = t_{sat}$ برابر با V_{DSAT} است. پس زمانی که V_{out} به V_{xf} می‌رسد برابر است با

$$t_{vx} = \frac{t_r}{V_{DD}}[\frac{\ln(V_{xf}) + C}{-K_x} + V_{th}] \quad (۱۰)$$

در نتیجه C برابر است با

$$C = -K_x(\frac{V_{DD}t_{sat}}{t_r} - V_{th})^{\alpha+1} - \ln V_{DSAT} \quad (۱۱)$$

۲) $t_{sat} < t_r, t_{vx} \ge t_r$: در گذر زمان t_{sat} به t_r، ترانزیستور M_2 با افزایش ورودی در ناحیه خطی است و ولتاژ V_x توسط (۸) محاسبه می‌شود. اگر فرض شود ولتاژ V_x در $t = t_r$ به مقدار V_x, t_r برسد بنابراین مدت زمان دشارژ V_x از V_x, t_r تا V_{xf} برابر با $R_2 C_X \ln(V_x, t_r / V_{xf})$ است که مقدار R_2 برابر است با

$$R_2 = \frac{V_{DS}}{I_{ds.}} = \frac{V_{DSAT}}{[\beta_s(1+\lambda(V_{DSAT} - V_{DD}))](V_{DD} - V_{th})} \quad (۱۲)$$

t_{vx} از (۱۳) قابل محاسبه است

$$t_{vx} = t_r + \ln(\frac{V_{xf}}{V_{x(t_r)}})R_2 C_x \quad (۱۳)$$

۳) $t_{sat} > t_r$: در این حالت، قبل از آن که V_x به V_{DSAT} برسد ولتاژ ورودی به مقدار V_{DD} رسیده است و بنابراین مدت زمان دشارژ از V_{DSAT} تا V_{xf} توسط $R_2 C_X \ln(V_{DSAT}/V_{xf})$ محاسبه می‌شود و مقدار t_{vx} برابر است با

$$t_{vx} = t_{sat} + \ln(\frac{V_{DSAT}}{V_{xf}})R_2 C_x \quad (۱۴)$$

و R_2 از (۱۲) قابل محاسبه است.

۲-۱-۲ محاسبات t_{vout}

در حین دشارژ گره خروجی و نیز گره X، ترانزیستور M_1 در ناحیه خطی است. در این حالت ترانزیستور M_1 به عنوان یک مقاومت ساده عمل می‌کند که مقدار این مقاومت برابر است با

$$R_1 = \frac{V_{DS}}{I_{ds.}} = \frac{V_{DSAT}}{[\beta_s(1+\lambda(V_{DSAT} - V_{DD}))](V_{DD} - V_t)} \quad (۱۵)$$

با توجه به شیب سیگنال ورودی که می‌تواند سریع یا کند باشد، V_t به عنوان ولتاژ آستانه M_1 یا M_2 در نظر گرفته می‌شود. وقتی که شیب ورودی سریع باشد $(t_r < t_{sat})$، جریان ترانزیستور M_2 زیاد است و در نتیجه جریان عبوری توسط ترانزیستور M_1 محدود می‌شود و بنابراین $V_t = V_{th(M_1)}$. اما اگر شیب ورودی کند باشد چون مقدار جریان ترانزیستور M_2 کوچک است، جریان عبوری از ترانزیستور M_1 به وسیله ترانزیستور M_2 محدود می‌شود و بنابراین $V_t = V_{th(M_2)}$. در نهایت مدت زمان دشارژ ولتاژ خازن C_L از V_{DD} تا $0.5V_{DD}$ توسط (۱۶) محاسبه می‌شود

$$t_{vout} = 0.69 R_1 C_L \quad (۱۶)$$

۲-۲ حالت ۲: ورودی شیب به A_1 اعمال شود

در این حالت V_x تخلیه شده و فقط V_{out} می‌بایستی از V_{DD} به $0.5V_{DD}$ دشارژ شود. این رفتار مشابه با یک اینورتر معادل با عرض تقریباً نصف هر دو ترانزیستور M_1 و M_2 است. همچنین در این حالت معادلات زمان تأخیر انتشار به شیب ورودی بستگی دارد و به عبارت دیگر برای ورودی‌های آرام و کند و یا بار خازنی کوچک، مقدار پارامتر tp_{HL} از (۱۷) محاسبه می‌شود [۴]

$$tp_{HL} = \frac{t_r}{V_{DD}}[\sqrt{K_{\log}} + V_{th}] - \frac{t_r}{2} \quad (۱۷)$$

که $K_{\log}$ در این حالت برابر است با

$$K_{\log} = \frac{1}{K_y}\ln[\frac{0.5V_{DD} - \frac{1}{\lambda}}{V_{DD} - \frac{1}{\lambda}}] \quad (۱۸)$$

و پارامتر K_y از (۶) محاسبه می‌شود.

برای ورودی‌های سریع و یا بار خازنی بزرگ، مقدار tp_{HL} از (۱۹) محاسبه می‌گردد [۴]

$$tp_{HL} = \frac{1}{K_z}\ln[\frac{0.5V_{DD} - K_2}{V_{DD} - \frac{1}{\lambda}}] - \frac{t_r}{2} \quad (۱۹)$$

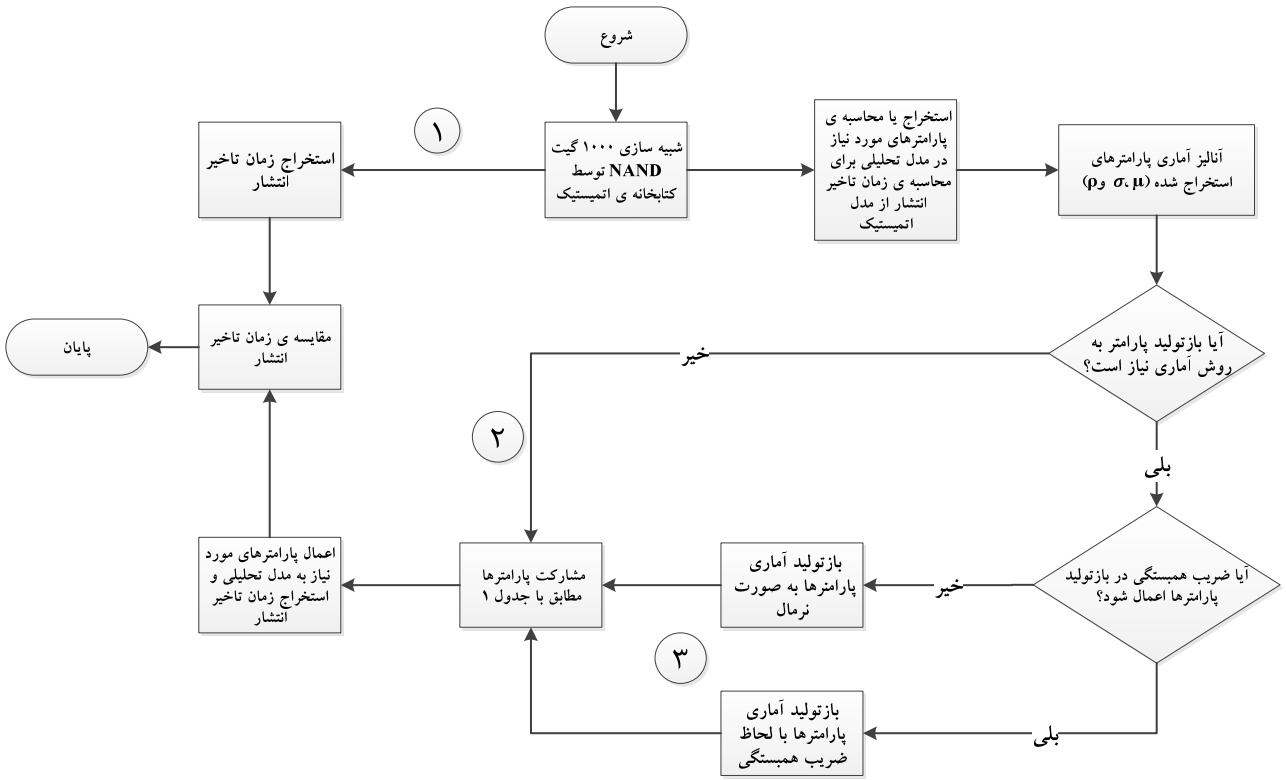
که K_z و K_2 به ترتیب از (۲۰) و (۲۱) محاسبه می‌شود

$$K_z = \frac{\beta_s \lambda (V_{DD} - V_{th})^{\alpha}}{C_L} \quad (۲۰)$$

$$K_2 = (V_{DD} - \frac{1}{\lambda})(e^{K_y(V_{DD} - V_{th})^{\alpha+1}} - e^{K_z t_r}) + \frac{1}{\lambda} \quad (۲۱)$$

www.SID.ir

Archive of SID



شکل ۲: روندنمای مدل‌سازی آماری زمان تأخیر انتشار مدل تحلیلی منتخب. اعداد داخل روندنما (۱ تا ۳) مربوط به روش‌های ذکرشده در استخراج زمان تأخیر انتشار می‌باشد.

۳- بحث و نتایج

یکی از مسایل مهم در طراحی تراشه‌های دیجیتال، تغییرات آماری است و برای مدل‌سازی اثر تغییرات آماری بر روی مشخصات الکتریکی FETهای نانومتری به شبیه‌سازهای فیزیکی نیاز است. شبیه‌ساز اتمیستیک با حل عددی دقیق معادلات پواسون، پیوستگی جریان و شرودینگر، رابطه $I_{DS}-V_{GS}$ را محاسبه می‌کند [۴۰]. در این مقاله از کتابخانه مدل فشرده آماری در فناوری CMOS با طول کانال ۳۵ نانومتر دانشگاه گلاسگو استفاده شده است که با خطای کمتر از ۳٪، منحنی‌های $I_{DS}-V_{GS}$ شبیه‌ساز فیزیکی اتمیستیک را بازسازی می‌کند [۴۱] تا [۴۴]. لازم به ذکر است که این مدل فشرده به عنوان مدل مرجع برای مقایسه نتایج مدل تحلیلی منتخب به کار گرفته شده است.

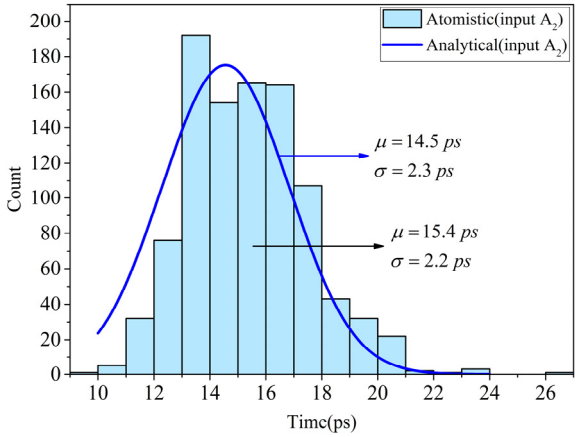
رهیافت پیشنهادی این مقاله برای بررسی آماری مدل تحلیلی، مطابق با روندنمای شکل ۲ است. به طور کلی این روندنما به استخراج زمان تأخیر انتشار به سه روش متفاوت اشاره دارد. در روش اول زمان تأخیر انتشار از شبیه‌سازی‌های دقیق مونت کارلو با استفاده از کتابخانه مدل اتمیستیک به صورت مستقیم استخراج می‌شود. در روش دوم پارامترهای مورد نیاز در مدل تحلیلی از شبیه‌سازی‌های روش اول استخراج شده و به مدل تحلیلی اعمال می‌گردد و در نهایت زمان تأخیر انتشار محاسبه می‌شود. در روش سوم با داشتن مقادیر میانگین و انحراف معیار هر پارامتر که از روش دوم به دست آمده است پارامترها به روش آماری بازتولید می‌شوند. لازم به ذکر است که در این مرحله بازتولید پارامترها به دو صورت انجام می‌شود و اختلاف این دو روش در اعمال ضریب همبستگی بین پارامترها در فرایند بازتولید می‌باشد. در نهایت پارامترهای بازتولیدشده مانند روش دوم به مدل تحلیلی اعمال شده و زمان تأخیر انتشار محاسبه می‌گردد. نتیجه نهایی این روندنما، مقایسه زمان تأخیر انتشار ناشی از تغییرات پارامترهای منتخب در مدل تحلیلی با نتایج شبیه‌سازی بر اساس کتابخانه مدل فشرده آماری دانشگاه گلاسگو است. بر این اساس دو نقش مهم و اساسی برای شبیه‌سازی‌های دقیق مونت کارلو با استفاده از کتابخانه اتمیستیک در نظر گرفته شده است: اولاً زمان تأخیر انتشار استخراج‌شده از مدل تحلیلی با شبیه‌سازی‌های اتمیستیک مقایسه و صحت‌سنجی شده و ثانیاً پارامترهای مورد نیاز در مدل تحلیلی و تغییرات پارامترها از شبیه‌سازی‌های اتمیستیک استخراج شده و به صورت مستقیم و یا غیر مستقیم (بازتولیدشده) به مدل تحلیلی اعمال شده‌اند تا مدل تحلیلی در برابر اثر تغییرات صحت‌سنجی شود. لازم به ذکر است که این بررسی بر روی ۱۰۰۰ گیت NAND صورت پذیرفته است.

پارامترهای ترانزیستورهای N و P مورد استفاده در هر گیت NAND با توجه به تغییرات فرایند ساخت، نسبت به یکدیگر متفاوت می‌باشند. بر این اساس با هدف دنبال‌کردن اثر تغییرات فرایند ساخت بر روی زمان تأخیر انتشار، پارامترهایی از مدل تحلیلی انتخاب شده‌اند تا رفتار اثر تغییرات فرایند ساخت را بر روی زمان تأخیر انتشار بازآفرینی کنند. از طرفی به جای آن که تمامی پارامترهای مورد نیاز در مدل تحلیلی به صورت متغیر اعمال شوند، می‌توان با هدف انتخاب پارامترهای مؤثر، با دقتی قابل قبول، میانگین و انحراف معیار زمان تأخیر انتشار را نسبت به مدل اتمیستیک محاسبه نمود. با توجه به (۱۷) و (۱۹)، ۴ پارامتر شامل جریان درین $(I_{ds.})$ در حالت $V_{GS}=V_{DS}=V_{DD}$، ولتاژ آستانه (V_{th})، آلفا (α) و لاندا یا ضریب مدولاسیون طول کانال (λ)، به عنوان پارامترهای منتخب در نظر گرفته شده‌اند.

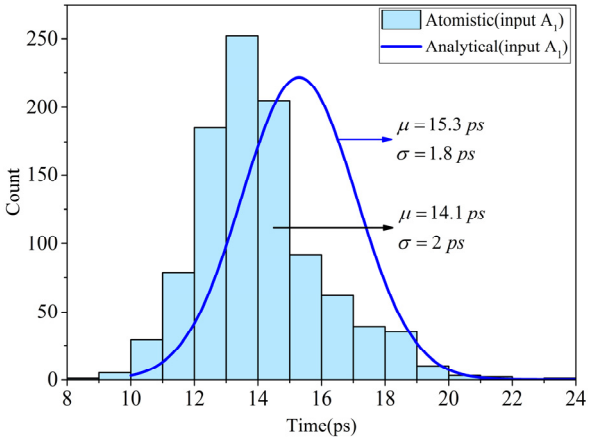
شکل‌های ۳ و ۴ نحوه توزیع آماری زمان تأخیر انتشار ۱۰۰۰ گیت NAND را برای دو حالت اعمال شیب به ورودی A_1 و A_2 نشان می‌دهد. در این دو شکل، نمودارهای هیستوگرام و گوسی به ترتیب مربوط به توزیع آماری زمان تأخیر انتشار در مدل اتمیستیک و مدل تحلیلی فشرده منتخب است. با توجه به شکل ۳ و ۴ در صورت اعمال ورودی به A_2، خطای میانگین و انحراف معیار مدل فشرده منتخب نسبت به مدل اتمیستیک به ترتیب برابر با ۵/۸٪ و ۴/۵٪ و در صورت اعمال ورودی به A_1، خطاهای مذکور به ترتیب برابر با ۸/۵٪ و ۱۰٪ می‌باشد.

www.SID.ir

Archive of SID



شکل ۳: مقایسه توزیع آماری تأخیر انتشار گیت NAND در حالت ۱ (اعمال شیب به ورودی A_2).

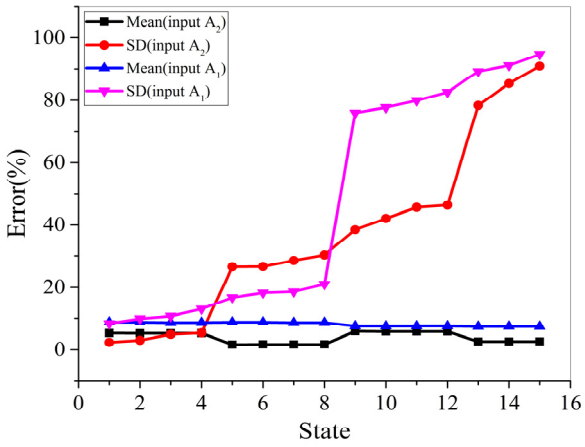


شکل ۴: مقایسه توزیع آماری تأخیر انتشار گیت NAND در حالت ۲ (اعمال شیب به ورودی A_1).

برای ارزیابی تعداد پارامترهای مورد نیاز در گسترش مدل آماری زمان تأخیر انتشار و همچنین مشاهده وزن هر پارامتر در ترکیبات مختلف، پارامترها را مطابق جدول ۱ بر اساس نحوه اعمال ورودی به دسته‌های تک یا دوتایی یا سه‌تایی و نهایتاً چهارتایی تقسیم‌بندی نموده‌ایم.

لازم به ذکر است که در هر حالت، فقط پارامترهای ذکرشده در جدول ۱ تغییر می‌کنند که مقدار آنها مستقیم و یا غیر مستقیم از نتایج شبیه‌سازی مونت کارلوی کتابخانه اتمیستیک به دست می‌آید و سایر پارامترها برای قرارگرفتن در مدل تحلیلی با مقادیر ثابت مستخرج از میانگین پارامترهای ناشی از شبیه‌سازی با استفاده از کتابخانه اتمیستیک جایگزین می‌گردند. مقادیر متوسط برای چهار پارامتر $I_{ds.}$، V_{th}، α و λ به ترتیب برابر با ۷۸٫۱۲ (μA)، ۰٫۲۵ (V)، ۱٫۴ و ۰٫۲۱ (V^{-1}) می‌باشد. برای هر دسته پارامتر از جدول ۱ می‌توان زمان تأخیر انتشار را از مدل تحلیلی منتخب محاسبه نمود. شکل ۵ خطای میانگین و انحراف معیار هر دسته پارامتر انتخابی جهت مدل‌سازی آماری زمان تأخیر انتشار نسبت به نتایج شبیه‌سازی دقیق مونت کارلو با استفاده از کتابخانه مدل اتمیستیک برای دو حالت اعمال ورودی به A_2 و A_1 را نشان می‌دهد.

در شکل ۵ مشاهده می‌شود که خطای انحراف معیار در دو حالت اعمال ورودی به A_2 و A_1 به ترتیب به حداقل مقدار ۲٫۴٪ و ۸٫۳٪ نسبت به مدل اتمیستیک می‌رسد. از طرفی میزان تغییرات در خطای میانگین زمان تأخیر انتشار نسبت به تغییرات در خطای انحراف معیار بسیار کمتر است به گونه‌ای که بیشترین خطای میانگین تأخیر انتشار در



شکل ۵: خطای میانگین و انحراف معیار زمان تأخیر انتشار دسته پارامترهای آماری مختلف نسبت به شبیه‌سازی دقیق مونت کارلو با استفاده از کتابخانه مدل اتمیستیک در دو حالت اعمال ورودی به A_2 و A_1.

جدول ۱: دسته پارامترهای مختلف به منظور ارزیابی توزیع زمان تأخیر انتشار مدل تحلیلی منتخب.

شماره دسته‌بندی	اعمال ورودی به A_2	اعمال ورودی به A_1
۱	$\alpha, V_{th}, I_{ds.}$	$\alpha, V_{th}, I_{ds.}, \lambda$
۲	$V_{th}, I_{ds.}$	$\lambda, V_{th}, I_{ds.}$
۳	$\lambda, V_{th}, I_{ds.}$	$\alpha, V_{th}, I_{ds.}$
۴	$\alpha, V_{th}, I_{ds.}, \lambda$	$V_{th}, I_{ds.}$
۵	$\lambda, I_{ds.}$	$\alpha, \lambda, I_{ds.}$
۶	$\alpha, \lambda, I_{ds.}$	$\lambda, I_{ds.}$
۷	$I_{ds.}$	$\alpha, I_{ds.}$
۸	$\alpha, I_{ds.}$	$I_{ds.}$
۹	α, λ, V_{th}	λ, V_{th}
۱۰	λ, V_{th}	α, λ, V_{th}
۱۱	α, V_{th}	λ
۱۲	V_{th}	α, λ
۱۳	α, λ	α, V_{th}
۱۴	λ	V_{th}
۱۵	α	α

حالت اعمال ورودی به A_2 و A_1 به ترتیب برابر با ۵٫۹٪ و ۸٫۷٪ و کمترین خطا در همین حالت برابر با ۱٫۷٪ و ۷٫۴٪ می‌باشد.

۴- بازتولید پارامترها

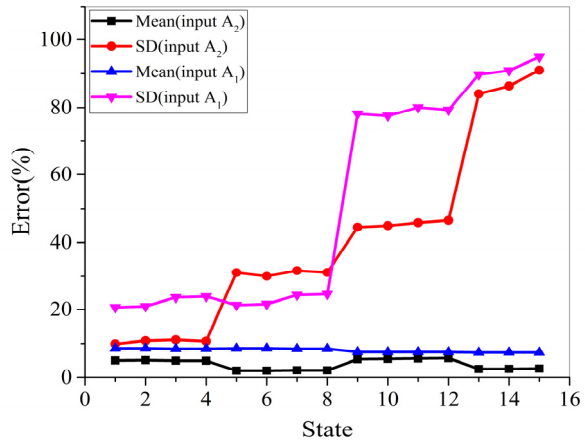
در این بخش، پارامترهای مورد بررسی همان پارامترهای بخش ۳ با همان دسته‌بندی جدول ۱ می‌باشند و از آنجا که هر کدام از این پارامترها از دسته‌های ۱۰۰۰تایی تشکیل شده‌اند، با داشتن مقادیر میانگین و انحراف معیار هر کدام از این دسته‌ها می‌توان به بازتولید آماری هر پارامتر پرداخت. دو هدف برای این بررسی وجود دارد. اولاً تأثیر بازتولید آماری این پارامترها بر روی زمان تأخیر انتشار چگونه خواهد بود، به عبارت دیگر تفاوت رفتار مدل تحلیلی با پارامترهای بازتولیدشده، نسبت به نتایج شبیه‌سازی دقیق مونت کارلو با استفاده از کتابخانه اتمیستیک چگونه خواهد بود و ثانیاً اگر خطای زمان تأخیر انتشار در این حالت افزایش یافت، رهیافتی لحاظ شود تا خطای مورد نظر کاهش یابد.

۴-۱ بازتولید آماری پارامترها به صورت نرمال

روند بررسی و به دست آوردن نتایج ناشی از بازتولید پارامترها به صورت

www.SID.ir

Archive of SID



شکل ۶: خطای میانگین و انحراف معیار زمان تأخیر انتشار دسته پارامترهای آماری مختلف بازتولیدشده نسبت به شبیه‌سازی دقیق مونت کارلو با استفاده از کتابخانه مدل اتمیستیک در دو حالت اعمال ورودی به A_1 و A_2.

نرمال (گوسی) و همچنین دسته‌بندی‌های مختلف، مشابه با بخش ۳ و جدول ۱ است اما در این حالت، پارامترهای جدید بازتولیدشده در مدل تحلیلی جایگزین می‌شوند. هدف از این بخش، بررسی خطای ناشی از بازتولید دسته‌بندی‌های آماری مطابق با جدول ۱ می‌باشد. لازم به ذکر است که پارامترهای بازتولیدشده به صورت نرمال و تصادفی بوده و فقط میانگین و انحراف معیار آنها برابر با مقادیر به کاربرده شده در بخش ۳ می‌باشد.

شکل ۶ خطای میانگین و انحراف معیار زمان تأخیر انتشار را با استفاده از پارامترهای بازتولیدشده برای دو حالت اعمال ورودی به A_1 و A_2 مطابق با دسته‌بندی پارامترهای جدول ۱ نشان می‌دهد. مشاهده می‌شود که خطای انحراف معیار در دو حالت اعمال ورودی به A_1 و A_2 به ترتیب به حداقل مقدار ۹/۹٪ و ۲۰/۶٪ می‌رسد. همچنین خطای میانگین برای دو حالت فوق نیز حداقل ۲٪ و ۷/۴٪ می‌باشد. با مقایسه شکل ۶ با ۵، دو نتیجه‌گیری به دست می‌آید. اولاً خطای مقادیر میانگین زمان تأخیر انتشار روش بازتولید گوسی پارامترها به ازای دسته‌بندی‌های آماری مختلف تغییر محسوسی نمی‌نماید و ثانیاً خطای انحراف معیار زمان تأخیر انتشار به طور محسوسی افزایش یافته است.

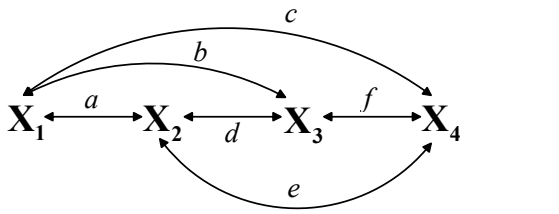
۴-۲ بازتولید آماری پارامترها با لحاظ ضریب همبستگی

در این روش پارامترهای دسته‌بندی‌های آماری جدول ۱ را به صورت نرمال (گوسی) اما با لحاظ ضریب همبستگی اولیه آنها بازتولید می‌نماییم. برای این کار به کمک تجزیه چالسکی [۴۵] و [۴۶] می‌توان از یک روش ابتکاری که در ادامه توضیح داده می‌شود استفاده کرد.

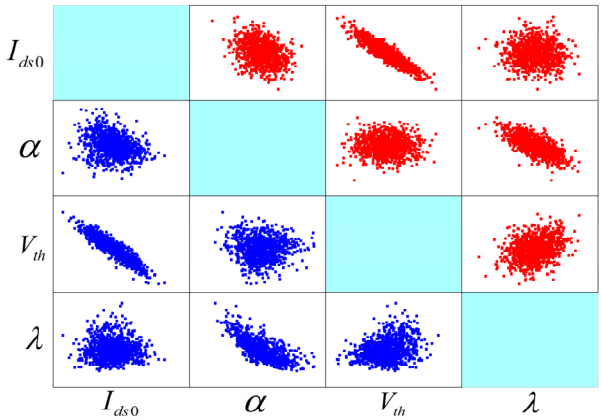
مطابق شکل ۷ اگر پارامترهای مورد نظر X_1 تا X_4 باشد و ضریب همبستگی ذاتی بین هر کدام از این پارامترها به طور جداگانه a تا f باشد ماتریس ρ که ماتریس ضرایب همبستگی بین پارامترها می‌باشد برابراست با

$$\rho = \begin{bmatrix} ۱ & a & b & c \\ a & ۱ & d & e \\ b & d & ۱ & f \\ c & e & f & ۱ \end{bmatrix} \qquad (۲۲)$$

در این بررسی چون هر پارامتر X_i، ۱۰۰۰ عضو دارد (تعداد شبیه‌سازی‌های مونت کارلو برابر ۱۰۰۰ است) ماتریس تک‌ستون G نیز تعریف می‌شود که تمامی اعضای آن ۱ می‌باشند



شکل ۷: ضرایب همبستگی a تا f برای چهار پارامتر X_1 تا X_4.



شکل ۸: نمودارهای پراکندگی پارامترهای مستخرج از شبیه‌سازی‌های دقیق مونت کارلو با استفاده از کتابخانه اتمیستیک در سمت پایین- چپ (آبی) و بازتولیدشده بین پارامترهای منتخب در سمت بالا- راست (قرمز).

$$G_{۱\times۱} = \begin{bmatrix} ۱ \\ ۱ \\ \vdots \\ ۱ \end{bmatrix} \qquad (۲۳)$$

ماتریس F نیز یک ماتریس تصادفی با هزار سطر و N ستون می‌باشد که N تعداد پارامترهای مورد نظر برای بازتولید است

$$F_{۱\times N} = \begin{pmatrix} a_{۱,۱} & \cdots & a_{۱,N} \\ \vdots & \ddots & \vdots \\ a_{۱,\ldots,۱} & \cdots & a_{۱,\ldots,N} \end{pmatrix} \qquad (۲۴)$$

به کمک تجزیه چالسکی ماتریس U با (۲۵) تعریف می‌گردد

$$U = \mathrm{chol}(\rho) \qquad (۲۵)$$

از خصوصیات ماتریس U می‌توان به $U'*U=\rho$ اشاره کرد. به کمک ماتریس U می‌توان ماتریس H را مطابق با (۲۶) تعریف کرد

$$H = F*U \qquad (۲۶)$$

با توجه به این که هر پارامتر X_i دارای مقدار میانگین μ_i و انحراف معیار σ_i است، پارامترهای مطلوب بازتولیدشده Z_i از (۲۷) محاسبه می‌گردند

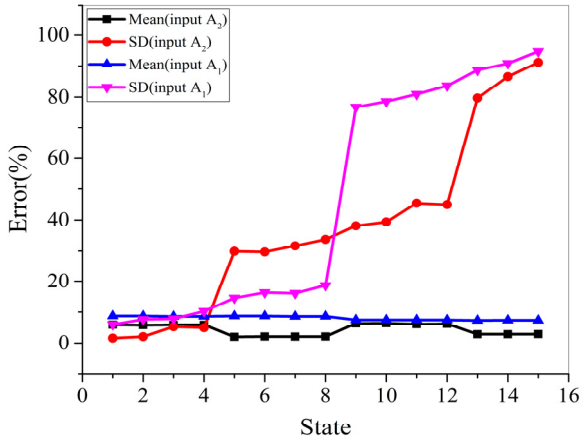
$$Z_i = \mu_i * G + \sigma_i * H_{j,i} \begin{cases} j = ۱,۲,\ldots,۱۰۰۰ \\ i = ۱,۲,\ldots,N \end{cases} \qquad (۲۷)$$

که در این مقاله با هدف بازتولید آماری ۴ پارامتر، N برابر ۴ خواهد بود.

در شکل ۸ نحوه پراکندگی پارامترهای مستخرج از شبیه‌سازی دقیق مونت کارلو با استفاده از کتابخانه اتمیستیک و پارامترهای بازتولیدشده گوسی با لحاظ ضریب همبستگی اولیه، نشان داده شده است. با بررسی نمودار پراکندگی، مشاهده می‌گردد که پارامترهای بازتولیدشده جدید، دارای رفتار و توزیع آماری مشابه با پارامترهای مستخرج از شبیه‌سازی دقیق مونت کارلو با استفاده از کتابخانه اتمیستیک می‌باشند.

www.SID.ir

Archive of SID



شکل ۹: خطای میانگین و انحراف معیار زمان تأخیر انتشار دسته پارامترهای آماری مختلف بازتولیدشده با لحاظ ضریب همبستگی نسبت به شبیه‌سازی دقیق مونت کارلو با استفاده از کتابخانه مدل اتمیستیک در دو حالت اعمال ورودی به A_2 و A_1.

در ادامه با استفاده از پارامترهای بازتولیدشده جدید، مشابه با بخش ۳ و با همان دسته‌بندی جدول ۱ می‌توان به محاسبه مقدار خطای انحراف معیار در زمان تأخیر انتشار نسبت به مدل اتمیستیک پرداخت. در شکل ۹ مشاهده می‌شود که خطای انحراف معیار در دو حالت اعمال ورودی به A_2 و A_1 به ترتیب به حداقل مقدار ۱٫۶٪ و ۶٪ می‌رسد. همچنین خطای میانگین برای دو حالت فوق نیز حداقل ۲٪ و ۷٫۳٪ است. همان گونه که مشاهده می‌گردد خطای انحراف معیار دارای کاهش قابل توجهی نسبت به روش قبل می‌باشد.

خطای انحراف معیار زیاد در حالات نهایی در شکل‌های ۵، ۶ و ۹ به اثر تغییرات پارامترهای منتخب مرتبط است. به عبارت دیگر با انجام آنالیز تغییرات در مدل تحلیلی منتخب، وزن و ارزش تأثیر تغییرات آماری هر پارامتر در دو حالت تنها و در ترکیب با سایر پارامترها مشخص می‌شود. همچنین نتیجه مهم دیگری نیز در خصوص اولویت‌بندی دسته‌های آماری پارامترهای مورد نظر جهت حصول کمترین میزان خطای انحراف معیار زمان تأخیر انتشار استخراج می‌گردد. لذا نتیجه‌گیری نهایی آن خواهد بود که انتخاب دسته‌های آماری متناظر با انحراف معیار بسیار بزرگ، غیر منطقی و انتخاب دسته‌های ترکیبی متناظر با انحراف معیار کوچک، مد نظر باشد. برای مثال با هدف کمترین تعداد پارامتر می‌توان با در نظر گرفتن دو پارامتر جریان درین- سورس ($I_{ds.}$) و ولتاژ آستانه (V_{th}) به بالاترین دقت، زمان تأخیر انتشار را نسبت به شبیه‌سازی‌های دقیق اتمیستیک پیش‌بینی کرد.

۵- نتیجه‌گیری

در این مقاله به گسترش آماری یک مدل تحلیلی منتخب جهت تخمین زمان تأخیر انتشار یک گیت NAND در فناوری CMOS نانومتری پرداخته شد. در این راستا، تغییرات ناشی از فرایند ساخت در ترانزیستورهای نانومتری با شناسایی دسته‌بندی‌های آماری پارامترهای مؤثر در مدل فشرده منتخب مدل‌سازی گردید. با اعمال مقدار واقعی پارامترهای استخراج‌شده از شبیه‌سازی‌های دقیق مونت کارلو با استفاده از کتابخانه مدل اتمیستیک به مدل تحلیلی منتخب، حداقل خطای ۲٫۴٪ و ۸٫۳٪ در انحراف معیار و ۱٫۷٪، ۷٫۴٪ در میانگین تأخیر انتشار، به ترتیب برای دو حالت اعمال ورودی به A_2 و A_1 حاصل گردید. همچنین بر اساس نتایج حاصل در حالت بازتولید آماری پارامترها بدون لحاظ ضریب همبستگی مشاهده گردید که کمترین خطای انحراف معیار برای دو حالت اعمال ورودی به A_2 و A_1 به ترتیب برابر با ۹٫۹٪ و ۲۰٫۶٪ و کمترین خطای میانگین زمان تأخیر انتشار به ترتیب برابر با ۲٪ و ۷٫۴٪ نسبت به مدل مرجع می‌باشد و این بدان معنی است که خطا در این حالت، افزایش یافته است. در ادامه برای بهبود خطای انحراف معیار و میانگین زمان تأخیر انتشار، ضریب همبستگی بین پارامترهای منتخب لحاظ گردید و نشان داده شد که حداقل خطای انحراف معیار زمان تأخیر انتشار برای مدل تحلیلی مذکور در دو حالت اعمال ورودی به A_2 و A_1 به ترتیب برابر با ۱٫۶٪ و ۶٪ و حداقل خطای میانگین به ترتیب برابر با ۲٪ و ۷٫۳٪ می‌باشد. با مقایسه خطاهای ناشی از بازتولید با فرض ضریب همبستگی و مقادیر استخراج‌شده از شبیه‌سازی دقیق مونت کارلو کتابخانه مدل اتمیستیک نتیجه می‌شود که کمترین خطا در انحراف معیار زمان تأخیر انتشار حاصل شده است.

مراجع

[1] T. Sakurai and A. R. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas," *IEEE J. of Solid-State Circuits*, vol. 25, no. 2, pp. 584-594, Apr. 1990.

[2] S. Dutta, S. M. Shetti, and S. L. Lusky, "A comprehensive delay model for CMOS inverters," *IEEE J. of Solid-State Circuits*, vol. 30, no. 8, pp. 864-871, Aug. 1995.

[3] L. Bisdounis, S. Nikolaidis, and O. Koufopavlou, "Analytical transient response and propagation delay evaluation of the CMOS inverter for short-channel devices," *IEEE J. of Solid-State Circuits*, vol. 33, no. 2, pp. 302-306, Feb. 1998.

[4] S. Gummalla, A. R. Subramaniam, Y. Cao, and C. Chakrabarti, "An analytical approach to efficient circuit variability analysis in scaled CMOS design," in *Proc. 13th Int. Symp. on Quality Electronic Design, ISQED'12*, pp. 641-647, 19-21 Mar. 2012.

[5] P. Liu, Y. B. Kim, and Y. J. Lee, "An accurate timing model for nano CMOS circuit considering statistical process variation," in *Proc. ISOCC Conf.*, pp. 269-272, 2007.

[6] Y. Ye, S. Gummalla, C. C. Wang, C. Chakrabarti, and Y. Cao, "Random variability modeling and its impact on scaled CMOS circuits," *J. of Computational Electronics*, vol. 9, no. 3-4, pp. 108-113, Dec. 2010.

[7] M. Alioto, G. Palumbo, and M. Pennisi, "Understanding the effect of process variations on the delay of static and domino logic," *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 18, no. 5, pp. 697-710, May 2010.

[8] P. Liu, Y. B. Kim, and Y. J. Lee, "An accurate analytical propagation delay model of nano CMOS circuits," in *Proc. ISOCC Conf.*, pp. 200-203, 2007.

[9] W. F. Lu and L. I. Sun, "Compact modeling of response time and random-dopant-fluctuation-induced variability in nanoscale CMOS inverter," *Microelectronics J.*, vol. 45, no. 6, pp. 678-682, Jun. 2014.

[10] A. Nabavi-Lishi and N. C. Rumin, "Inverter models of CMOS gates for supply current and delay evaluation," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 13, no. 10, pp. 1271-1279, Oct. 1994.

[11] M. Na, E. Nowak, W. Haensch, and J. Cai, "The effective drive current in CMOS inverters," in *Proc. Int. Electron Devices Meeting, IEDM'02*, pp. 121-124, 8-11 Dec. 2002.

[12] J. Chang and L. G. Johnson, "A novel delay model of CMOS VLSI circuits," in *Proc. 49th IEEE Int. Midwest Symp. on Circuits and Systems*, pp. 481-485, 6-9 Aug. 2006.

[13] J. L. Rossello and J. Segura, "An analytical charge-based compact delay model for submicrometer CMOS inverters," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 51, no. 7, pp. 1301-1311, Jul. 2004.

[14] K. O. Jeppson, "Modeling the influence of the transistor gain ratio and the input-to-output coupling capacitance on the CMOS inverter delay," *IEEE J. of Solid-State Circuits*, vol. 29, no. 6, pp. 646-654, Jun. 1994.

[15] Z. Huang, A. Kurokawa, M. Hashimoto, T. Sato, M. Jiang, and Y. Inoue, "Modeling the overshooting effect for CMOS inverter delay analysis in nanometer technologies," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 29, no. 2, pp. 250-260, Jan. 2010.

www.SID.ir

Archive of SID

technology," in *Proc. IEEE Int. Reliability Physics Symp., IRPS'13,* 5 pp., 14-18 Apr. 2013.
[35] L. Gerrer, *et al.*, "Accurate simulation of transistor-level variability for the purposes of TCAD-based device-technology cooptimization," *IEEE Trans. on Electron Devices*, vol. 62, no. 6, pp. 1739-1745, Apr. 2015.
[36] S. M. Amoroso, L. Gerrer, R. Hussin, F. Adamu-Lema, and A. Asenov, "Time-dependent 3-D statistical KMC simulation of reliability in nanoscale MOSFETs," *IEEE Trans. on Electron Devices*, vol. 61, no. 6, pp. 1956-1962, Apr. 2014.
[37] X. Wang, A. R. Brown, B. Cheng, and A. Asenov, "Statistical variability and reliability in nanoscale FinFETs," in *Proc. IEEE Int. Electron Devices Meeting, IEDM'11,* 4 pp., 5-7 Dec. 2011.
[38] E. Bazizi, , *et al.*, "Advanced TCAD simulation of local mismatch in 14 nm CMOS technology FinFETs," in *Proc. Int. Conf. on Simulation of Semiconductor Processes and Devices, SISPAD'15,* pp. 341-344, 9-11 Sept. 2015.
[39] Y. Wang and M. Zwolinski, "Analytical transient response and propagation delay model for nanoscale CMOS inverter," in *Proc. IEEE Int. Symp. on Circuits and Systems*, pp. 2998-3001, 24-27 May 2009.
[40] A. R. Brown, *et al.*, "Use of density gradient quantum corrections in the simulation of statistical variability in MOSFETs," *J. of Computational Electronics*, vol. 9, no. 3-4, pp. 187-196, Sept. 2010.
[41] B. Cheng, *et al.*, "Statistical-variability compact-modeling strategies for BSIM4 and PSP," *IEEE Design & Test of Computers*, vol. 27, no. 2, pp. 26-35, Mar. 2010.
[42] A. Asenov, B. Cheng, D. Dideban, U. Kovac, N. Moezi, C. Millar, *et al.*, "Modeling and simulation of transistor and circuit variability and reliability," in *Proc. IEEE Custom Integrated Circuits Conf., CICC'10*, 8 pp., 19-22 Sept. 2010.
[43] U. Kovac, D. Dideban, B. Cheng, N. Moezi, G. Roy, and A. Asenov, "A novel approach to the statistical generation of non-normal distributed PSP compact model parameters using a nonlinear power method," in *Proc. Int. Conf. on Simulation of Semiconductor Processes and Devices*, pp. 125-128, 6-8 Sept. 2010.
[44] N. Moezi, D. Dideban, B. Cheng, S. Roy, and A. Asenov, "Impact of statistical parameter set selection on the statistical compact model accuracy: BSIM4 and PSP case study," *Microelectronics J.*, vol. 44, no. 1, pp. 7-14, Jan. 2013.
[45] A. Krishnamoorthy and D. Menon, *Matrix Inversion Using Cholesky Decomposition*, arXiv preprint arXiv: 1111.4144, 2011.
[46] D. Dereniowski and M. Kubale, "Cholesky factorization of matrices in parallel and ranking of graphs," in *Proc. Int. Conf. on Parallel Processing and Applied Mathematics*, pp. 985-992, 2004.
[16] A. A. Hamoui and N. C. Rumin, "An analytical model for current, delay, and power analysis of submicron CMOS logic circuits," *IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 47, no. 10, pp. 999-1007, Oct. 2000.
[17] N. Hedenstierna and K. O. Jeppson, "CMOS circuit speed and buffer optimization," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 6, no. 2, pp. 270-281, Mar. 1987.
[18] L. Bisdounis, S. Nikolaidis, and O. Loufopavlou, "Propagation delay and short-circuit power dissipation modeling of the CMOS inverter," *IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications*, vol. 45, no. 3, pp. 259-270, Mar. 1998.
[19] A. Hirata, H. Onodera, and K. Tamaru, "Estimation of short-circuit power dissipation for static CMOS gates," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol. 79, no. 3, pp. 304-311, Mar. 1996.
[20] A. Chatzigeorgiou and S. Nikolaidis, "Collapsing the transistor chain to an effective single equivalent transistor," in *Proc. Design, Automation and Test in Europe*, pp. 2-6, 23-26 Feb. 1998.
[21] S. Kang and H. Chen, "A global delay model for domino CMOS circuits with application to transistor sizing," *International J. of Circuit Theory and Applications*, vol. 18, no. 3, pp. 289-306, May 1990.
[22] B. S. Cherkauer and E. G. Friedman, "Channel width tapering of serially connected MOSFET's with emphasis on power dissipation," *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 2, no. 1, pp. 100-114, Mar. 1994.
[23] J. Roldan, F. Gamiz, J. Lopez-Villanueva, P. Cartujo, and J. Carceller, "A model for the drain current of deep submicrometer MOSFETs including electron-velocity overshoot," *IEEE Trans. on Electron Devices*, vol. 45, no. 10, pp. 2249-2251, Oct. 1998.
[24] A. Benfdila and F. Balestra, "On the drain current saturation in short channel MOSFETs," *Microelectronics J.*, vol. 37, no. 7, pp. 635-641, Jul. 2006.
[25] Y. Cao and L. T. Clark, "Mapping statistical process variations toward circuit performance variability: an analytical modeling approach," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, no. 10, pp. 1866-1873, Oct. 2007.
[26] V. Wang, K. Agarwal, S. R. Nassif, K. J. Nowka, and D. Markovic, "A simplified design model for random process variability," *IEEE Trans. on Semiconductor Manufacturing*, vol. 22, no. 1, pp. 12-21, Feb. 2009.
[27] M. H. Han, Y. Li, and C. H. Hwang, "The impact of high-frequency characteristics induced by intrinsic parameter fluctuations in nano-MOSFET device and circuit," *Microelectronics Reliability*, vol. 50, no. 5, pp. 657-661, May 2010.
[28] E. Maricau and G. Gielen, "Computer-aided analog circuit design for reliability in nanometer CMOS," *IEEE J. on Emerging and Selected Topics in Circuits and Systems*, vol. 1, no. 1, pp. 50-58, Mar. 2011.
[29] X. Yuan, T. Shimizu, U. Mahalingam, J. S. Brown, K. Z. Habib, D. G. Tekleab, *et al.*, "Transistor mismatch properties in deep-submicrometer CMOS technologies," *IEEE Trans. on Electron Devices*, vol. 58, no. 2, pp. 335-342, Feb. 2011.
[30] X. Wang, F. Adamu-Lema, B. Cheng, and A. Asenov, "Geometry, temperature, and body bias dependence of statistical variability in 20-nm bulk CMOS technology: a comprehensive simulation analysis," *IEEE Trans. on Electron Devices*, vol. 60, no. 5, pp. 1547-1554, Apr. 2013.
[31] M. Saremi, B. Ebrahimi, A. A. Kusha, and M. Saremi, "Process variation study of ground plane SOI MOSFET," in *Proc. 2nd Asia Symp. on Quality Electronic Design, ASQED'10,* pp. 66-69, 3-4 Aug. 2010.
[32] M. Saremi, B. Ebrahimi, and A. Afzali-Kusha, "Ground plane SOI MOSFET based SRAM with consideration of process variation," in *Proc. IEEE Int. Conf. on Electron Devices and Solid-State Circuits, EDSSC'10*, 4 pp., 15-17 Dec. 2010.
[33] A. Asenov, *et al.*, "Unified approach for simulation of statistical reliability in nanoscale CMOS transistors from devices to circuits," in *Proc. IEEE Int. Symp. on Circuits and Systems, ISCAS'15,* pp. 2449-2452, 24-27 May 2015.
[34] L. Gerrer, *et al.*, "Interplay between statistical reliability and variability: a comprehensive transistor-to-circuit simulation

حامد جوی‌پا مدارک کارشناسی و کارشناسی ارشد خود را در مهندسی برق - الکترونیک از دانشگاه کاشان به ترتیب در سال‌های ۱۳۹۱ و ۱۳۹۵ دریافت نمود. وی هم‌اکنون مدرس موسسه علامه فیض کاشانی بوده و زمینه‌های علمی مورد علاقه ایشان مدل‌سازی فشرده تغییرات آماری در حوزه الکترونیک دیجیتال می‌باشد.

داریوش دیدبان تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد مهندسی برق-الکترونیک به‌ترتیب در سال‌های ۱۳۷۷ و ۱۳۷۹ در دانشگاه‌های صنعتی اصفهان و صنعتی شریف و مقطع دکتری مهندسی برق- الکترونیک را در سال ۱۳۹۱ در دانشگاه گلاسگو انگلستان به پایان رسانده است و هم‌اکنون استادیار دانشکده مهندسی برق و کامپیوتر دانشگاه کاشان و پژوهشکده علوم و فناوری نانو دانشگاه کاشان می‌باشد. راهنمایی ۱۴ تز کارشناسی ارشد و ۲ رساله دکترای پایان یافته، تالیف حدود ۲۰ مقاله در مجلات معتبر بین‌المللی و انجام ۵ طرح پژوهشی کاربردی و تالیف یک کتاب درسی از جمله فعالیت‌های علمی ایشان در حوزه‌های تخصصی می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: مدل‌سازی و شبیه‌سازی ادوات نانوالکترونیک، مدل‌سازی تاثیر تغییرات آماری در حوزه افزاره و مدار، مدارهای مجتمع دیجیتال و کاربرد مواد دوبعدی در الکترونیک.

www.SID.ir