تحلیل و مدل‌سازی آماری تغییرات تصادفی CMRR و PSRR در تقویت‌کننده هدایت انتقالی فناوری CMOS نانومتری

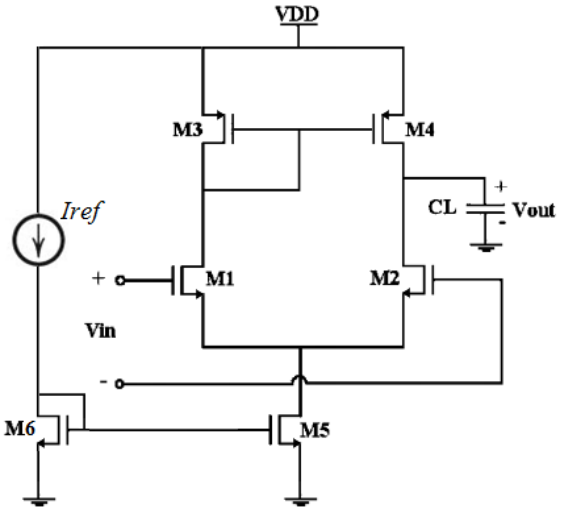
بهروز محبوبی و داریوش دیدبان

چکیده: با پیشرفت فناوری مدارهای مجتمع و ورود ترانزیستورها به مقیاس‌های نانومتری، تغییرات آماری مشخصات الکتریکی افزاره‌ها به علت ماهیت گسسته بار و ماده و تغییرات تصادفی ناشی از نوسانات پروسه ساخت به طور چشم‌گیری افزایش پیدا کرده است. این تغییرات به نوبه خود باعث تغییر در مشخصه‌های خروجی بلوک‌های مهم آنالوگ و علی‌الخصوص تقویت‌کننده‌ها می‌شود. در این مقاله به کمک شبیه‌سازی مونت‌کارلو یک مدار تقویت‌کننده هدایت انتقالی و استفاده از ۱۰۰۰ مدل فشرده متفاوت برای ترانزیستورهای MOSFET در فناوری ۳۵ نانومتر، تغییرات آماری پارامترهای مهم مدار از لحاظ نحوه توزیع آماری، بررسی و آنالیز گردیده و مدل وابستگی آماری بین پارامترهای مهم مدار نیز استخراج شده است. تحلیل تغییرات آماری پارامترهای خروجی مدار و وابستگی آنها، دارای نتایج مستقیم در کاهش هزینه و زمان طراحی مدار بوده و حایز اهمیت فراوانی است.

کلیدواژه: **تغییرات آماری تصادفی، تقویت‌کننده هدایت انتقالی، توزیع و وابستگی آماری، فناوری نانو CMOS.**

۱- مقدمه

امروزه عملکرد تمامی مدارها از جمله تقویت‌کننده‌های هدایت انتقالی به شدت مغلوب تغییرات آماری مشخصات افزاره‌ها می‌باشد [۱] تا [۴]. برای رسیدن به عملکرد دقیق و مطلوب، بررسی و فهم مشخصات آماری پارامترهای این تقویت‌کننده بسیار حایز اهمیت است [۵] و [۶]. به علت طبیعت آماری ذاتی این پارامترها و ارتباط غیر خطیشان با هم، عملکرد تقویت‌کننده‌ها در حالت تغییرات آماری هنوز به طور کامل فرموله نشده [۷] و در نتیجه باعث شده که طراحان هنوز طراحی‌های غیر بهینه و نادرستی به سازندگان ارائه کنند [۸]. تحلیل‌های مختلفی بر روی نسبت حذف حالت مشترک (CMRR)[1] تصادفی صورت گرفته است اما اکثر این تحلیل‌ها فقط بر روی افزایش CMRR تمرکز کرده‌اند [۹] تا [۱۳] نه بر مشخصات آماری این پارامترها که نقش اصلی را در عملکرد تقویت‌کننده‌های بهره محدود بازی می‌کنند. همچنین در سال ۲۰۰۹ اثبات شد که تغییرات آماری پارامتر CMRR از مدل پلگرام [۱۴] پیروی نمی‌کند [۱۵] و بنابراین یافتن مدلی برای این نوع پارامترها یک امر حیاتی به حساب می‌آید. همچنین بررسی تغییرات آماری پارامتر نسبت حذف منبع تغذیه (PSRR)[2] نیز به ندرت صورت گرفته است.



شکل ۱: مدار OTA (تقویت‌کننده هدایت انتقالی) مورد بررسی.

۲- معرفی مدار OTA مورد نظر

مدارهای تقویت‌کننده هدایت انتقالی (OTA)[3] یکی از مدارهای بنیادی در طراحی مدارهای مجتمع آنالوگ می‌باشند که با بیشتر فناوری‌های CMOS[4] سازگاری داشته و اکثراً در طبقات ورودی استفاده می‌شوند. شماتیک مدار مورد بررسی در شکل ۱ نشان داده شده است. در ورودی این مدار دو ترانزیستور کانال n، M۱ و M۲ قرار دارند که تشکیل یک زوج تفاضلی داده و ولتاژ تفاضلی ورودی را به جریان تفاضلی تبدیل می‌کند و یک آینه جریان توسط ترانزیستورهای پی‌ماس M۳ و M۴ شکل گرفته است که به عنوان یک بار فعال عمل می‌کند و سیگنال جریان را توسط هدایت خروجی شکل‌گرفته از M۲ و M۴ به ولتاژ تک‌پایانه خروجی تبدیل می‌کند. آینه جریان شکل‌گرفته از ترانزیستورهای M۵ و M۶ نقش منبع جریان بایاس مدار را ایفا می‌کند. کلیه ترانزیستورهای این تقویت‌کننده هدایت انتقالی دارای طول ۳۵ نانومتر بوده و با توجه به تغییرات آماری و عدم تطابق ترانزیستورها، ولتاژ آستانه آنها دارای توزیع آماری با میانگین ۲۰۰ میلی‌ولت و انحراف از معیار ۴۵ میلی‌ولت خواهد بود [۱۶]. همچنین علت استفاده از ترانزیستورهای با حداقل طول در این مدار آن است که بر اساس مدل پایه تغییرات آماری، میزان انحراف از معیار پارامترهای مهم نظیر ولتاژ آستانه با طول ترانزیستور نسبت معکوس دارد [۱۷] و لذا جهت لحاظنمودن بیشترین مقدار تغییرات و انحراف از معیار در پارامترهای تقویت‌کننده، کمترین طول

این مقاله در تاریخ ۱۷ آذر ماه ۱۳۹۴ دریافت و در تاریخ ۲۰ دی ماه ۱۳۹۶ بازنگری شد. این تحقیق توسط معاونت پژوهشی دانشگاه کاشان بر اساس قرارداد شماره ۴۶۳۹۳۲ پشتیبانی شده است.

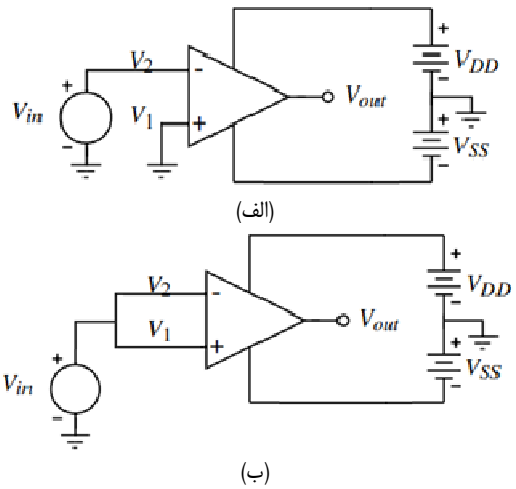
بهروز محبوبی، دانشکده مهندسی برق و کامپیوتر، دانشگاه کاشان، کاشان، ایران، (email: b.mahboobi@grad.kashanu.ac.ir).

داریوش دیدبان (نویسنده مسئول)، دانشکده مهندسی برق و کامپیوتر، دانشگاه کاشان، کاشان، ایران، (email: dideban@kashanu.ac.ir).

1. Common Mode Rejection Ratio
2. Power Supply Rejection Ratio
3. Operational Transconductance Amplifier
4. Complementary Metal-Oxide-Semiconductor

Archive of SID

www.SID.ir



شکل ۲: پیکربندی مدار برای به دست آوردن (الف) A_D و (ب) A_{cm}.

جدول ۱: پارامترهای طراحی تقویت‌کننده پیشنهادی.

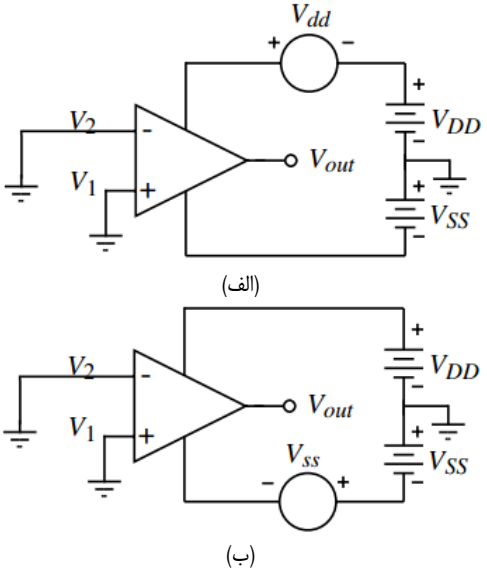
پارامتر	مقدار
V_{DD}, V_{SS}	۱ V
$Iref$	۲۰ µA
$(W/L)_{1,2}$	۳۵
$(W/L)_{3,4}$	۵
$(W/L)_{5,6}$	۲۰
Vcm	۰/۶ V

ترانزیستور در شبیه‌سازی آماری مدارهای مورد مطالعه لحاظ می‌گردد. طراحی اولیه این تقویت‌کننده بدین صورت انجام گرفته که علاوه بر مقادیر پارامترهای مناسب، مصالحه‌ای نیز با دامنه تغییرات صورت گرفت. بدین معنی که بتوان محدوده وسیعی از تغییرات را به تقویت‌کننده اعمال کرد و ترانزیستورهای تقویت‌کننده همچنان در اشباع باقی بماند. مقادیر پارامترهای مدار طراحی‌شده در جدول ۱ نشان داده شده است. ولتاژ DC اعمال‌شده به گیت ترانزیستورهای M۱ و M۲، ۰/۶ ولت می‌باشد و در خروجی یک خازن ۵ PF نیز قرار داده شده است.

همان طور که در جدول ۱ مشاهده می‌شود، مقدار منبع جریان ۲۰ میکروآمپر می‌باشد لذا تمرکز ما بر روی تحلیل آماری تقویت‌کننده در این بایاس می‌باشد و بایاس دیگری از تقویت‌کننده که در ادامه مطرح خواهد شد صرفاً برای بررسی اثرات آنها بر میزان تغییرات آماری در جریان‌ها و نسبت‌های W/L متفاوت خواهد بود. علاوه بر پارامترهای مهم یک تقویت‌کننده OTA از قبیل مقاومت ورودی، مقاومت خروجی، هدایت انتقالی، بهره تفاضلی و مشترک، دو پارامتر اصلی مورد مطالعه در این مقاله یعنی نسبت حذف حالت مشترک (CMRR) و نسبت حذف نویز منبع تغذیه (PSRR) پارامترهای مهمی هستند که در ادامه به معرفی آنها خواهیم پرداخت.

۲-۱ پارامتر CMRR

CMRR یا نسبت حذف حالت مشترک، میزان توانایی تقویت‌کننده در مقابل حذف سیگنال نویز مشترک اعمال‌شده به ورودی‌های تقویت‌کننده را بیان می‌نماید. در مدارهای کاربردی، داشتن یک CMRR زیاد بسیار مهم است مخصوصاً زمانی که مقداری نوسان بر روی سیگنال ورودی علاوه بر ولتاژ آفست وجود دارد. CMRR برابر است با نسبت بهره تفاضلی به بهره حالت مشترک که برای این تقویت‌کننده به صورت زیر بیان می‌گردد [۱۵]



شکل ۳: پیکربندی مدار برای محاسبه PSRR، (الف) محاسبه V_o/V_{dd} و (ب) محاسبه V_o/V_{ss}.

$$CMRR = \frac{A_D}{|A_{cm}|} \approx \frac{\frac{gm_1}{gm_3}}{|-gds_5/gm_3|} = gm_1.rds_5 \qquad (1)$$

که gm_1 نشان‌دهنده هدایت انتقالی ترانزیستور M۱ و rds_5 بیانگر مقاومت خروجی سیگنال کوچک ترانزیستور M۵ می‌باشد. در یک تقویت‌کننده ایده‌آل A_{cm} برابر صفر است و در نتیجه CMRR بی‌نهایت می‌شود اما در عمل، عدم تطابق ذاتی پارامترهای ترانزیستورهای تقویت‌کننده باعث می‌گردد مدار مقداری از سیگنال مشترک را تقویت نموده و CMRR غیر بی‌نهایت و محدود باشد. برای به دست آوردن CMRR نیاز به محاسبه بهره‌های تفاضلی و مشترک داریم. این بهره‌ها را می‌توان با پیکربندی مدار طبق شکل ۲ به دست آورد. با تقسیم بهره تفاضلی به دست آمده از شکل ۲- الف به بهره مشترک به دست آمده از ۲- ب می‌توان CMRR را به صورت مستقیم استخراج کرد.

۲-۲ پارامتر PSRR

پارامتر PSRR یا نسبت حذف منبع تغذیه بیانگر تمایل تقویت‌کننده به حذف نویز همراه منبع تغذیه می‌باشد یا به تعبیر دیگر این پارامتر توانایی تقویت‌کننده به حفظ ولتاژ خروجی در برابر تغییرات ولتاژ در منبع تغذیه را نشان می‌دهد.

طبق (۲) PSRR برابر است با نسبت تغییرات منبع تغذیه به تغییرات ولتاژ خروجی و بنابراین در یک تقویت‌کننده ایده‌آل به دلیل صفرشدن تغییرات ولتاژ خروجی، PSRR برابر بی‌نهایت می‌شود

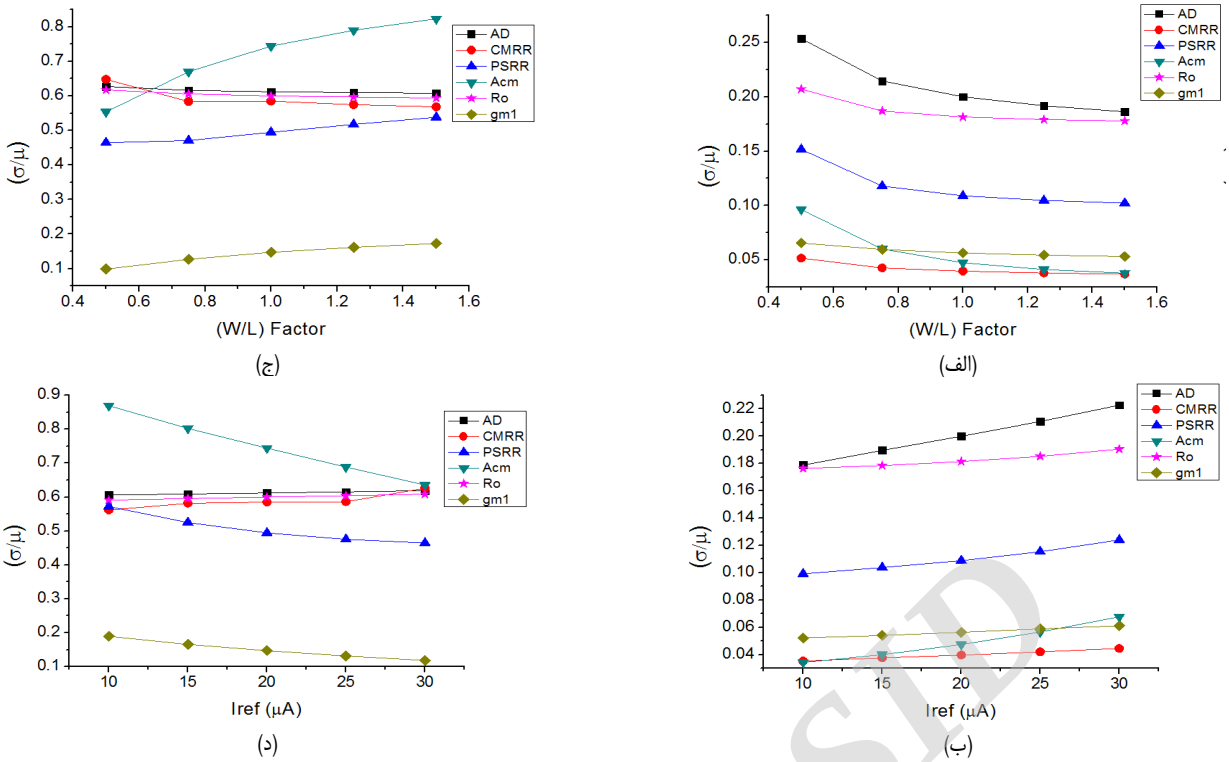
$$PSRR(dB) = 20\log_{10}\left(\frac{\Delta V_{supply}}{\Delta V_{out}}.A_v\right) \qquad (2)$$

برای به دست آوردن مستقیم PSRR می‌توان با پیکربندی مدار به صورت شکل ۳ و محاسبه V_o/V_{dd} یا V_o/V_{ss} به صورت جداگانه و تقسیم A_D به دست آمده از شکل ۲- الف بر آنها، PSRR برای تغییرات منبع تغذیه مثبت یا منفی را استخراج کرد. بر این اساس روابط محاسبه PSRR مثبت و منفی به صورت زیر داده می‌شود

$$PSRR^{+}(dB) = 20\log_{10}\left|\frac{A_D}{V_o/V_{dd}}\right| \qquad (3)$$

Archive of SID

www.SID.ir



شکل ۴: نمودارهای انحراف معیار نرمالیزه، (الف) و (ب) مربوط به بررسی اول و (ج) و (د) مربوط به بررسی دوم در ابعاد و جریان‌های مختلف.

جدول ۲: حالت‌های مختلف آنالیز مدار با منابع جریان و نسبت‌های W/L متفاوت.

(W/L) factor = ۱	factor = ۰٫۵	factor = ۰٫۷۵	factor = ۱	factor = ۱٫۲۵	factor = ۱٫۵
$Iref$ = ۲۰μA	$Iref$ = ۱۰μA	$Iref$ = ۱۵μA	$Iref$ = ۲۰μA	$Iref$ = ۲۵μA	$Iref$ = ۳۰μA

است. بنابراین در این مقاله، اولین مرحله از آنالیز تغییرات آماری صرفاً به این دو ترانزیستور اختصاص داده شده است.

برای ایجاد حالت‌های مختلف مدار در نسبت‌های W/L متفاوت، یک ضریب به W/L کل ترانزیستورها اختصاص داده می‌شود تا با تغییر آن ضریب، نسبت W/L یعنی ابعاد مدار تغییر کند. مقادیر مختلف این ضریب و جریان‌های منبع در جدول ۲ آورده شده‌اند. توضیح جدول بدین صورت است که در ابتدا منبع جریان را روی ۲۰ μA تنظیم خواهیم کرد و مدار را در ضرایب مختلف ۰٫۵، ۰٫۷۵، ۱، ۱٫۲۵ و ۱٫۵ شبیه‌سازی می‌کنیم و سپس ضریب را روی ۱ قرار داده و مدار را در مقادیر منبع جریان ۱۰، ۱۵، ۲۰، ۲۵ و ۳۰ میکروآمپر شبیه‌سازی می‌کنیم. در کل ۱۰ حالت مختلف به وجود می‌آید که حالت ضریب ۱ و منبع جریان ۲۰ μA در دو مورد مشترک است و در نتیجه ۹ حالت خواهیم داشت.

در ابتدا از منبع VSS و پارامتر $PSRR^-$ صرف نظر می‌کنیم و در مراحل بعدی علاوه بر در نظر گرفتن این دو، مقایسه‌ای نیز با مراحل قبل از آن خواهیم داشت.

با استفاده از کتابخانه مدل بسته BSIM۴ که شامل ۱۰۰۰ نمونه مدل کارت سطح ۵۴ ترانزیستور (BSIM۴) خروجی شبیه‌ساز اتمیستیک سه‌بعدی دانشگاه گلاسگو برای ترانزیستورهای فناوری ۳۵ نانومتر می‌باشد [۱۶] و [۱۸]، دو ترانزیستور ورودی به صورت هم‌زمان (در بررسی اول) و به صورت عدم تطابق (در بررسی دوم) با آنالیز مونت‌کارلو HSPICE در این مدار شبیه‌سازی گردید و به ازای حالت‌های بایاس مختلف جدول ۲، نتایج به صورت اعداد و گراف‌های آماری استخراج شد که در ادامه به توضیح آنها خواهیم پرداخت.

در شکل ۴ گراف‌های انحراف معیار نرمالیزه برای بررسی اول و بررسی

$$PSRR^-(dB) = ۲۰\log_{۱۰}\left|\frac{A_D}{V_o/V_{ss}}\right| \qquad (۴)$$

۳- روش بررسی اثرات تغییرات آماری

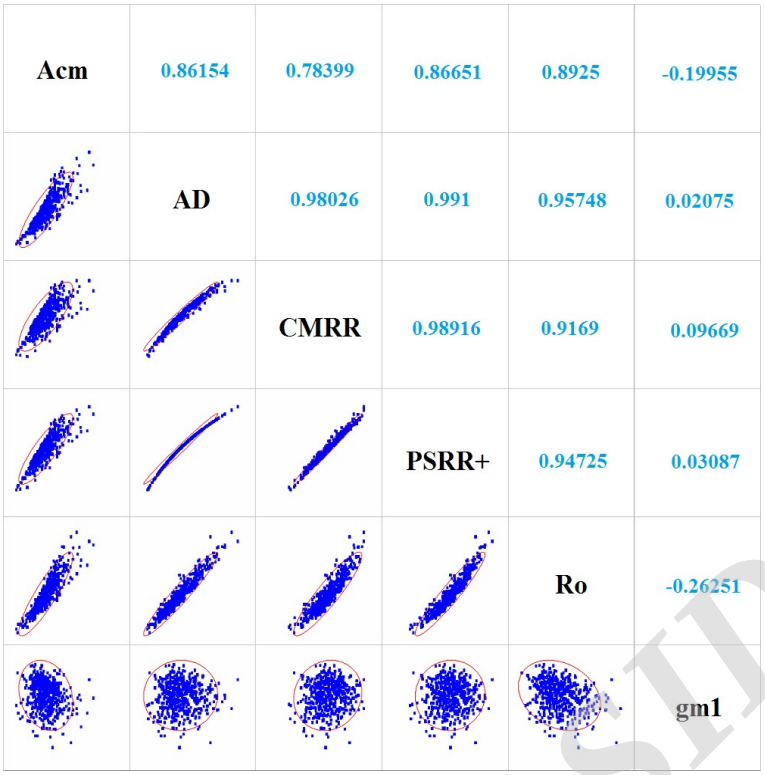
بررسی اثرات تغییرات آماری بر روی تقویت‌کننده پیشنهادی به این صورت خواهد بود که در بررسی اول تغییرات را بدون در نظر گرفتن عدم تطابق یعنی به صورت هم‌زمان به دو ترانزیستور ورودی اعمال خواهیم کرد. در بررسی دوم اعمال تغییرات به همراه عدم تطابق خواهد بود یعنی علاوه بر تغییر مدل ترانزیستورها در هر مدار، مدل دو ترانزیستور با یکدیگر متفاوت می‌باشد. در بررسی سوم اعمال تغییرات را همراه با عدم تطابق به ترانزیستورهای بار فعال گسترش خواهیم داد و برای آینه جریان صرفاً به اعمال تغییرات بدون عدم تطابق اکتفا می‌کنیم. در بررسی چهارم با اضافه‌کردن یک منبع VSS به مدار علاوه بر بررسی پارامتر جدید $PSRR^-$، اثرات تغییرات را در ولتاژهای مختلف بررسی خواهیم کرد. در بررسی اول و دوم اثرات تغییرات آماری را در ابعاد و جریان‌های مختلف بررسی کرده‌ایم.

۳-۱ بررسی اول و دوم

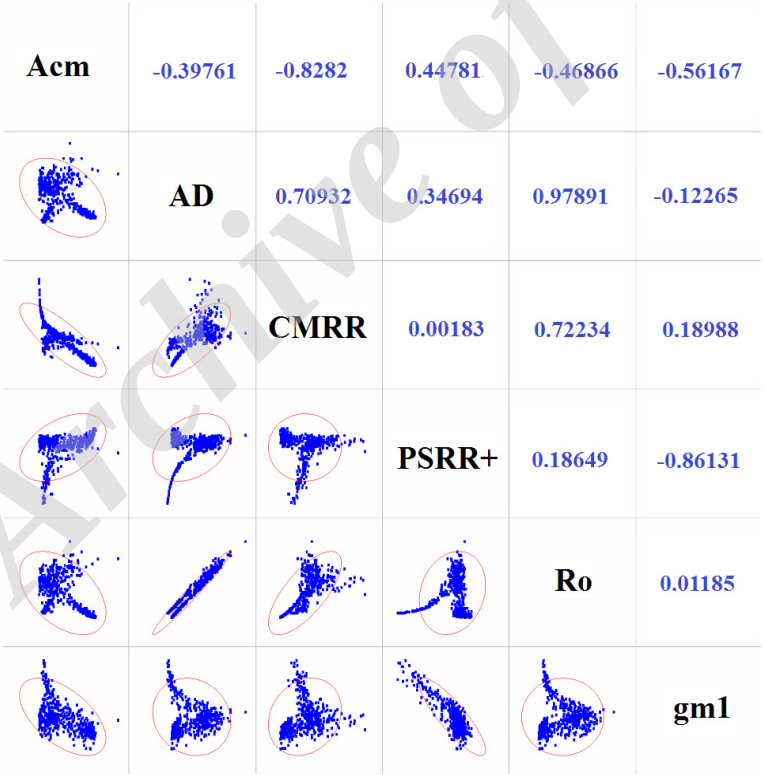
دو ترانزیستور ورودی در تقویت‌کننده‌های هدایت انتقالی نقش زوج تفاضلی را ایفا می‌کنند و اختلاف ولتاژ ورودی را به اختلاف جریان تبدیل می‌کنند. بنابراین می‌توان گفت مهم‌ترین نقش در این تقویت‌کننده بر عهده این دو ترانزیستور می‌باشد. در نتیجه، بررسی اثرات تغییرات به وجود آمده از این دو ترانزیستور بسیار حایز اهمیت است کما این که در اکثر مقالات منتشرشده فقط به بررسی اثرات این دو ترانزیستور اکتفا شده

Archive of SID

www.SID.ir



شکل ۵: نمودارهای همبستگی بین پارامترهای مهم تقویت‌کننده در بررسی اول.



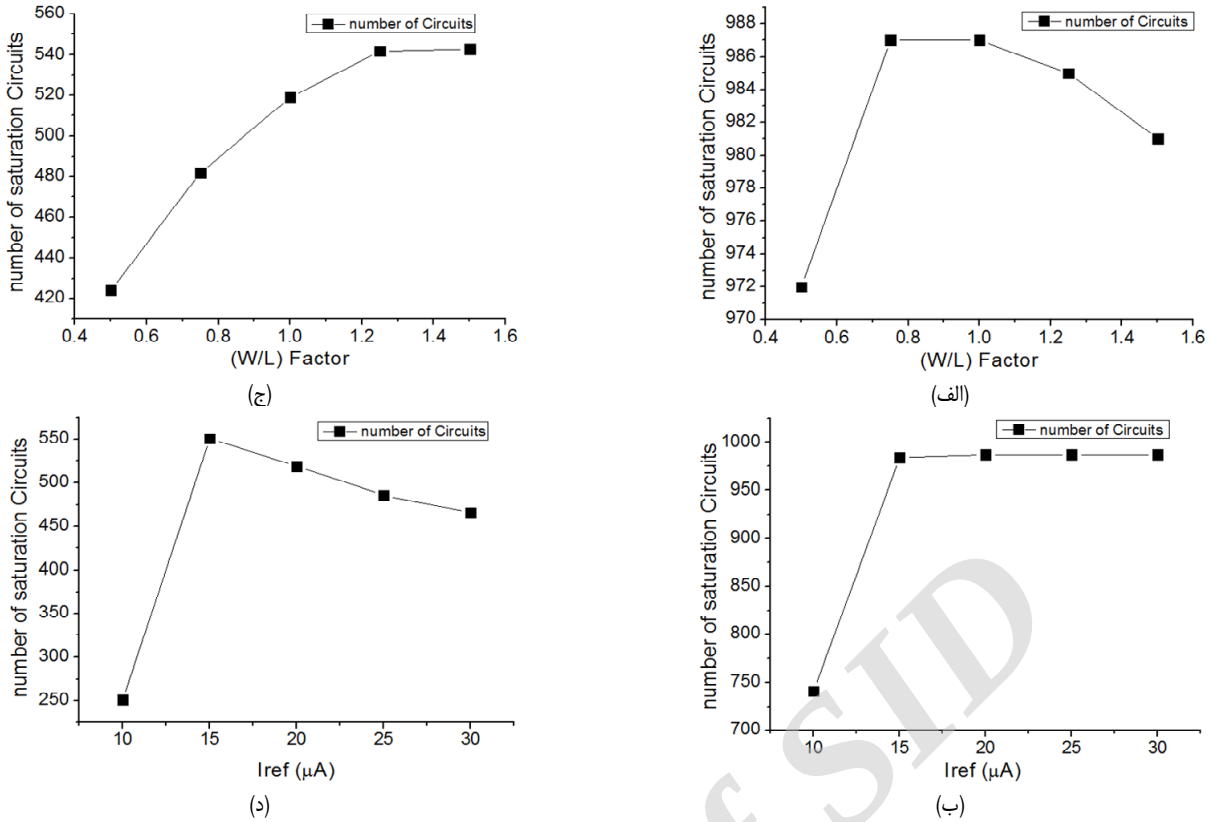
شکل ۶: همبستگی بین پارامترهای مهم تقویت‌کننده در بررسی دوم.

دوم در ابعاد و جریان‌های مختلف نشان داده شده است. در نگاه اول مشاهده می‌شود که در هر بررسی روند تغییرات در ابعاد مختلف معکوس روند تغییرات در جریان‌های مختلف می‌باشد. در شکل ۴- ج که مربوط به روند تغییرات پارامترهای مهم تقویت‌کننده در بررسی دوم می‌باشد در مقایسه با شکل ۴- الف که مربوط به بررسی اول است اولاً مشاهده می‌شود که روند تغییرات تا حدودی معکوس شده است یعنی با لحاظ‌کردن عدم تطابق روند تغییرات معکوس می‌شود و ثانیاً میزان تغییرات به شدت افزایش یافته است. به طوری که به عنوان مثال بهره مشترک از حداکثر ۱۰ درصد در بررسی اول به حداکثر ۸۰ درصد در بررسی دوم رسیده است.

در شکل ۵ و ۶ نمودارهای پراکندگی بین پارامترهای مهم تقویت‌کننده به همراه ضرایب همبستگی برای بررسی اول و دوم به ترتیب نشان داده شده است. در قسمت پایین- چپ نمودار، نمودارهای پراکندگی و در قسمت بالا- راست نمودار، ضرایب همبستگی نشان داده شده است. در نمودارهای پراکندگی دوایر قرمزرنگ ۹۵ درصد نمونه‌ها را شامل می‌شود.

Archive of SID

www.SID.ir



شکل ۷: نمودارهای مدارهایی که ترانزیستورهایشان در ناحیه اشباع می‌باشند در ابعاد و جریان‌های مختلف، (الف) و (ب) بررسی اول و (ج) و (د) بررسی دوم.

همچنین هرچه ضریب همبستگی به عدد ۱ و ۱- نزدیک‌تر باشد میزان همبستگی بین دو پارامتر بیشتر است و هرچه ضریب همبستگی به صفر نزدیک‌تر باشد همبستگی بین دو پارامتر ضعیف‌تر می‌شود.

همان طور که در شکل ۵ مشاهده می‌گردد بیشترین ضریب همبستگی در بررسی اول مربوط به دو پارامتر $PSRR^{+}$ و A_D می‌باشد که می‌توان آن را در نمودار پراکندگی آن نیز مشاهده کرد که تقریباً به صورت یک خط نازک مستقیم می‌باشد و بعد از آن بیشترین همبستگی بین دو پارامتر CMRR و $PSRR^{+}$ می‌باشد.

در شکل ۶ ضرایب و نمودارهای همبستگی بین پارامترها برای بررسی دوم نشان داده شده و در مقایسه با شکل ۵ که مربوط به بررسی اول بود مشاهده می‌شود که ضرایب همبستگی به شدت کاهش یافته و همچنین نظم نمودارهای پراکندگی نیز تا حدودی از بین رفته است. بیشترین ضریب همبستگی بین مقاومت خروجی و بهره تفاضلی می‌باشد که نمودار پراکندگی آن به مانند یک خط مستقیم ضخیم می‌باشد و بعد از آن مربوط به پارامتر CMRR و ACM با ضریب همبستگی ۰٫۸۲۸۲- می‌باشد که عدد منفی نشان‌دهنده معکوس‌بودن رابطه بین آن دو است که با افزایش CMRR بهره مشترک کاهش می‌یابد.

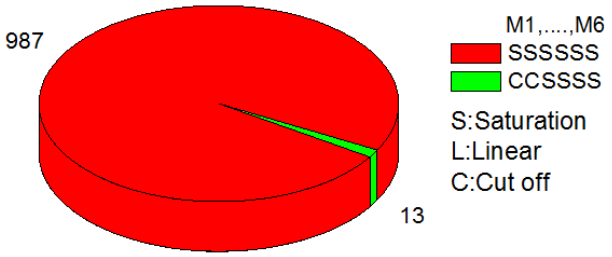
تقویت‌کننده‌ای که طراحی کرده‌ایم، تمامی ترانزیستورهایش باید در ناحیه اشباع باشند تا تقویت‌کننده به درستی عمل کند. زمانی که مدار طراحی‌شده در تقارن کامل قرار دارد یعنی مشخصات ترانزیستورهایشان یکسان است مدار به درستی عمل می‌کند اما با ورود اثرات تغییرات در مدار، ممکن است مدار از حالت عادی خارج شده و بعضی از ترانزیستورهای آن به نواحی قطع یا خطی بروند. دلیل این امر این است که در حالت تقارن کامل ولتاژ خروجی دقیقاً برابر ولتاژ درین M۱ می‌باشد اما اگر ولتاژ خروجی کمتر از ولتاژ درین M۱ شود به علت مدولاسیون طول کانال، M۱ جریان بیشتری نسبت به M۲ و M۴ جریان بیشتری نسبت به M۳ حمل می‌کند. به تعبیر دیگر جریان عبوری از M۱ از $I_{M_5}/2$ بیشتر بوده و در نتیجه جریان عبوری از M۳ نیز از $I_{M_5}/2$ بیشتر می‌شود و این فرض که M۴ جریان بیشتری نسبت به M۳ حمل می‌کند را نقض می‌کند. بنابراین در واقعیت به علت عدم تقارن در مدار انحراف زیادی در ولتاژ خروجی به وجود می‌آید و در نتیجه M۲ یا M۴ را به ناحیه خطی می‌کشاند.

در شکل ۷ تعداد مدارهایی که تمامی ترانزیستورهایشان در ناحیه اشباع می‌باشند در ابعاد و جریان‌های مختلف نشان داده شده است. در شکل ۷- الف و ۷- ب که مربوط به بررسی اول می‌باشد اعمال تغییرات بدون لحاظ‌کردن عدم تطابق صورت گرفته است و بنابراین مشاهده می‌شود که تعداد مدارهای سالم تقریباً نزدیک به ۹۹۰ مورد می‌باشد. اما در بررسی دوم مشاهده می‌شود که تعداد زیادی از مدارها از ناحیه اشباع خارج شده‌اند به طوری که مدارهای سالم از ۹۹۰ مورد به حدود ۵۵۰ مورد رسیده‌اند و این افت به دلیل اعمال عدم تطابق به مدار می‌باشد که باعث ایجاد عدم تقارن در مدار و در نهایت خروج ترانزیستورها از ناحیه اشباع و ورود به ناحیه خطی می‌شود. مدارهایی که در جریان ۱۰ μA بایاس شده‌اند، بسیار به مرز ناحیه قطع نزدیک شده‌اند لذا با اندک تغییراتی در آنها (به خصوص در ولتاژ آستانه) ترانزیستورهای ورودی به ناحیه قطع وارد می‌شوند و به همین دلیل همان طور که در شکل ۷- ب مشاهده می‌کنید نزدیک به ۲۵۰ مدار در حالت جریان ۱۰ μA (فقط ترانزیستورهای ورودیشان) از ناحیه اشباع خارج شده و به ناحیه قطع وارد شده‌اند که در شکل ۷- د نیز عیناً اتفاق افتاده است. اما در شکل ۷- الف در حالت ضریب ۰٫۵ به دلیل کاهش ابعاد مدار، ترانزیستورها به ناحیه خطی نزدیک می‌شوند، لذا در این حالت علاوه بر احتمال ورود ترانزیستورها به ناحیه قطع، بعضی ترانزیستورها به ناحیه خطی نیز وارد می‌شوند و علت اختلافی که این حالت با سایر حالات در شکل ۷- الف دارد همین امر است.

جزئیات بیشتر نواحی ترانزیستورهای تقویت‌کننده در حالت اصلی برای بررسی اول در نمودار دایره‌ای شکل ۸ نشان داده شده است.

Archive of SID

www.SID.ir



شکل ۸: نواحی ترانزیستورهای تقویت‌کننده در حالت اصلی.

حروف S بیانگر ناحیه اشباع، L ناحیه خطی و C ناحیه قطع می‌باشد و به ترتیب از چپ به راست مربوط به ترانزیستورهای M۱ تا M۶ هستند. تعداد ۹۸۷ مدار تمامی ترانزیستورهایشان در ناحیه اشباع باقی مانده‌اند و فقط ۱۳ مدار از حالت عادی خارج شده و فقط ترانزیستورهای ورودیشان به ناحیه قطع رفته است.

همچنین جزئیات نواحی ترانزیستورها برای بررسی دوم در شکل ۹ نشان داده شده است. مشاهده می‌شود که اولاً تعداد وضعیت‌های مختلف افزایش یافته است طوری که از دو وضعیت در بررسی اول به ۹ وضعیت در بررسی دوم رسیده است. ثانیاً تعداد مدارهای سالم از ۹۸۷ مورد به ۵۱۹ مورد کاهش یافته است. دلیل این امر توضیح داده شد که به علت عدم تقارن در مدار ممکن است تعدادی از مدارها، ترانزیستورهای M۲ یا M۴شان به ناحیه خطی بروند که مشاهده می‌شود ۳۷۶ مورد فقط ترانزیستورهای M۲ یا M۴شان به ناحیه خطی وارد شده است (نواحی سبز و آبی‌رنگ).

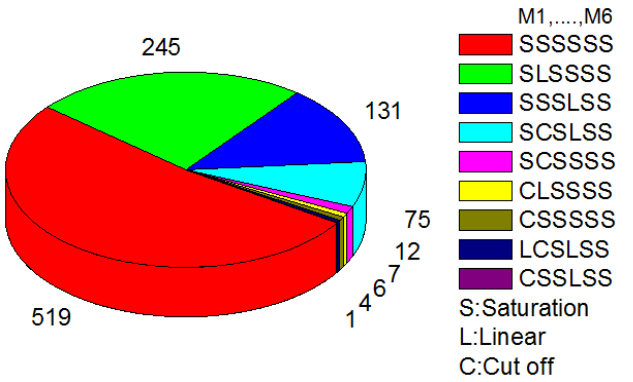
۳-۲ بررسی سوم

در بررسی سوم، اعمال تغییرات را به همراه عدم تطابق به همه ترانزیستورهای مدار گسترش می‌دهیم. در این بررسی به علت افزایش دامنه تغییرات به تمامی ترانزیستورهای تقویت‌کننده، فقط بر روی حالت اصلی مدار (یعنی جریان ۲۰ میکروآمپر و ضریب ۱) تمرکز می‌کنیم. برای حالت اصلی مدار گراف‌های هیستوگرام پارامترهای CMRR و PSRR در مقایسه با دو بررسی قبل را در شکل ۱۰ مشاهده می‌کنید.

شکل ۱۰- الف و ۱۰- ب مربوط به بررسی اول، ۱۰- ج و ۱۰- د مربوط به بررسی دوم و ۱۰- ه و ۱۰- و مربوط به بررسی سوم می‌باشد. مشاهده می‌شود که در بررسی اول گراف‌های هیستوگرام کاملاً متقارن بوده و فاقد دُم می‌باشد، همچنین مقادیر میانگین پارامترها، زیاد و مقادیر انحراف معیار کم است. اما در بررسی دوم علاوه بر این که در نمودارهای هیستوگرام دُم پدید می‌آید، مقادیر میانگین کاهش و مقادیر انحراف معیار افزایش می‌یابد و در نهایت در بررسی سوم وضعیت پارامتر CMRR تقریباً ثابت و $PSRR^{+}$ وخیم‌تر می‌شود.

در شکل ۱۱ نمودار همبستگی پارامترها در بررسی سوم به همراه ضرایب همبستگیشان نشان داده شده است. همان طور که در شکل ۱۱ مشاهده می‌کنید بیشترین همبستگی بین پارامتر CMRR و A_{cm} با ضریب همبستگی حدود ۰٫۸- و سپس بین CMRR و A_D با ضریب ۰٫۶۷۶ می‌باشد و بین پارامترهای CMRR و $PSRR^{+}$ نیز همبستگی‌ای مشاهده نمی‌شود. همچنین مشخص است که همبستگی بین پارامترها نسبت به بررسی‌های قبل کاهش چشم‌گیری داشته است.

در شکل ۱۲ وضعیت ترانزیستورهای تقویت‌کننده نشان داده شده است. مشاهده می‌شود که نسبت به بررسی قبل اولاً تعداد وضعیت‌ها به ۱۴ حالت افزایش پیدا کرده است، ثانیاً تعداد مدارهای سالم به ۴۶۰ مورد کاهش یافته و ثالثاً ۳۸۸ مدار فقط ترانزیستورهای M۲ و M۴شان به



شکل ۹: وضعیت نواحی ترانزیستورها در حالت اصلی در بررسی دوم.

ناحیه خطی وارد شده که فقط به علت عدم تطابق در مدار این حالت ایجاد می‌شود.

۳-۳ بررسی اثرات تغییرات در منابع تغذیه متفاوت

در این قسمت با اضافه‌کردن یک منبع VSS به بررسی اثرات تغییرات در منابع تغذیه متفاوت می‌پردازیم. در این حالت علاوه بر بررسی پارامترهای قبلی پارامتر جدید $PSRR^{-}$ نیز مورد بررسی قرار می‌گیرد. روش کار بدین صورت است که ابتدا مقادیر منابع ولتاژ را بر روی ۱ ولت تنظیم کرده و سپس آن را با گام‌های ۰٫۱ ولت به ۰٫۵ ولت کاهش می‌دهیم. یعنی مدار را ابتدا با منبع $VDD=1\,V$ و $VSS=-1\,V$ به روش مونت‌کارلو شبیه‌سازی می‌کنیم و سپس این منابع را با گام ۰٫۱ ولت به $VDD=0.5\,V$ و $VSS=-0.5\,V$ کاهش می‌دهیم و به بررسی اثرات تغییرات در این محدوده‌ها می‌پردازیم.

در شکل ۱۳ مقادیر انحراف معیار نرمالیزه برای تمامی پارامترها نشان داده شده است. همان طور که مشاهده می‌کنید انحراف معیار نرمالیزه تمامی پارامترها غیر از بهره مشترک با افزایش منابع تغذیه کاهش می‌یابد. گراف انحراف معیار نرمالیزه بهره مشترک که در شکل ۱۳- ب آمده است به مانند یک سهمی است و تغییرات آن حول ۱۰۰٪ می‌باشد. همچنین در شکل ۱۳- الف دامنه تغییرات برای پارامتر $PSRR^{+}$ بین ۶۰ تا ۶۵٪، برای CMRR بین ۳۵ تا ۵۰٪ و برای $PSRR^{-}$ بین ۲۵ تا ۳۲٪ است.

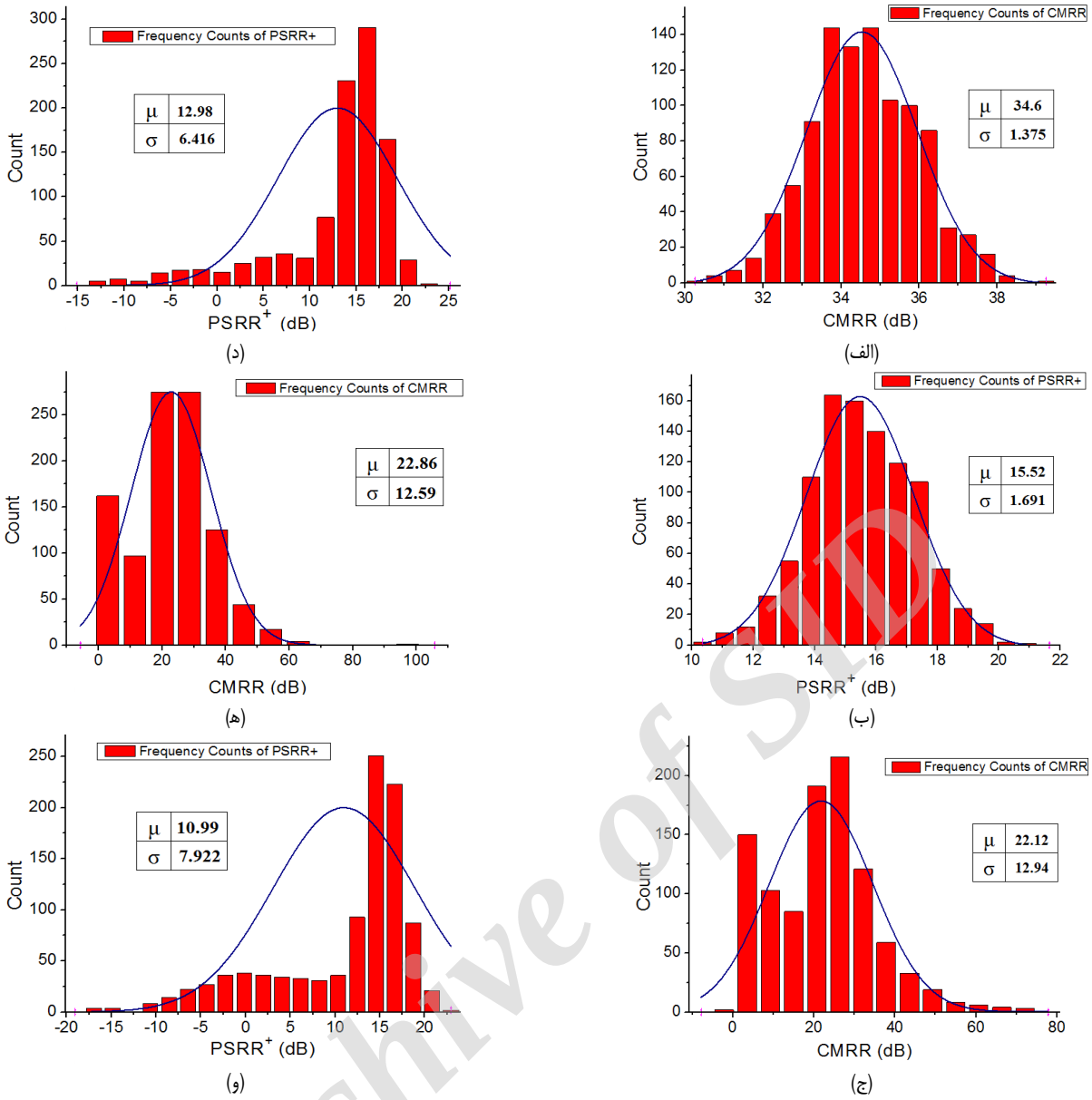
در شکل ۱۴ گراف تعداد مدارهای سالم را برای ولتاژهای مختلف مشاهده می‌کنید. مشخص است که با افزایش ولتاژ تعداد مدارهای سالم نیز افزایش می‌یابد و همچنین وضعیت ترانزیستورها برای ولتاژ $\pm 1V$ در شکل ۱۵ نشان داده شده‌اند.

با مقایسه بین شکل ۱۲ و ۱۵ مشاهده می‌شود که علاوه بر افزایش تعداد مدارهای سالم در بررسی با منبع VSS نسبت به بدون VSS از ۴۶۰ به ۶۶۸ مورد، تعداد وضعیت‌های ترانزیستورها از ۱۴ وضعیت به ۹ وضعیت رسیده است یعنی تنها با قراردادن منبع VSS تعداد مدارهای سالم ۴۵٪ افزایش می‌یابد. همچنین تعداد مدارهایی که ترانزیستورهای M۲ و M۴ آنها فقط در ناحیه خطی قرار دارد از ۳۸۸ مورد به ۲۳۳ مورد رسیده است.

در شکل ۱۶ نمودارهای هیستوگرام پارامترهای CMRR، $PSRR^{+}$ و $PSRR^{-}$ نشان داده شده است. مشاهده می‌شود که نمودار هیستوگرام CMRR به صورت گوسی منظم بوده و دُم نمودار به سمت راست کشیده شده است. همچنین نمودارهای هیستوگرام دو پارامتر $PSRR^{+}$ و $PSRR^{-}$ هیچ گونه شباهتی به یکدیگر ندارد و از نمودار همبستگی (شکل ۱۷) نیز می‌توان دریافت که همبستگی این دو به یکدیگر ضعیف بوده و نتیجه گرفت که مدل آماری این دو پارامتر تقریباً مستقل از یکدیگر بوده و نمی‌توان از مدل آماری یکی از آنها برای دیگری استفاده

Archive of SID

www.SID.ir



شکل ۱۰: هیستوگرام‌های پارامترهای CMRR و PSRR مربوط به سه بررسی اول.

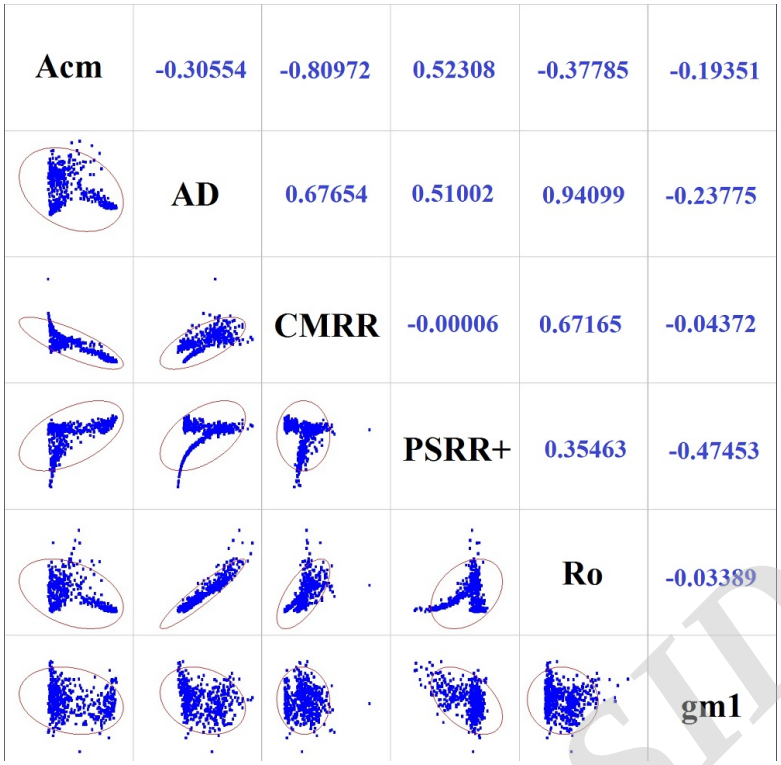
نمود. در شکل ۱۷ نمودارهای پراکندگی و ضرایب همبستگی بین تمامی پارامترهای مورد بررسی نشان داده شده است. همان طور که مشاهده می‌کنید بیشترین همبستگی بین دو پارامتر مقاومت خروجی و بهره مشترک می‌باشد که دارای ضریب همبستگی ۰٫۹ است و بعد از آن بیشترین همبستگی بین دو پارامتر بهره تفاضلی و $PSRR^+$ با ضریب همبستگی ۰٫۷۵ برقرار است. همچنین پارامتر $PSRR^-$ بیشترین همبستگی را با پارامتر مقاومت خروجی با ضریب همبستگی ۰٫۶ دارد. ضریب همبستگی بین سه پارامتر CMRR، $PSRR^+$ و $PSRR^-$ کمتر از ۰٫۳۵ می‌باشد که می‌توان گفت این سه پارامتر از لحاظ آماری همبستگی بینشان برقرار نیست.

٤- نتیجه‌گیری

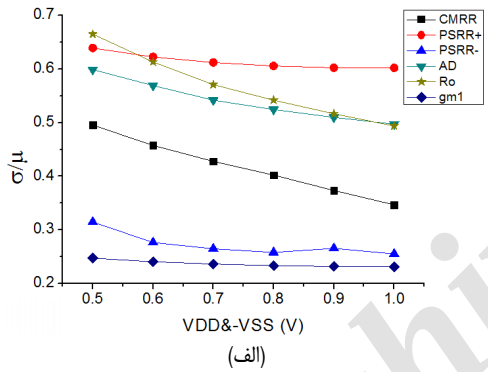
مدل‌سازی و مقایسه عدم تطابق و تغییرات آماری پارامترهای CMRR و PSRR برای تقویت‌کننده هدایت انتقالی در فناوری نانو CMOS در این مقاله به صورت کامل مورد بررسی و تحلیل قرار گرفت. در بررسی اول به بررسی تغییرات هم‌زمان دو ترانزیستور ورودی در ابعاد و جریان‌های مختلف پرداخته شد. مشاهده شد که دامنه تغییرات در این بررسی به علت در نظر نگرفتن عدم تطابق کم بوده و عملکرد مدار به خصوص تعداد مدارهای سالم کمتر تحت تأثیر تغییرات قرار گرفته است. همچنین نمودارهای همبستگی، نمودارهای هیستوگرام و گراف آماری تعداد ترانزیستورهای اشباع و وضعیت ترانزیستورها نمایش داده شد. در بررسی دوم، اعمال تغییرات به دو ترانزیستور ورودی به همراه عدم تطابق صورت گرفت و نتایج نشان داد که تغییرات پارامترهای مورد نظر در این قسمت به شدت افزایش و تعداد مدارهای اشباع کاهش پیدا کرده است. همچنین در بررسی سوم شاهد افزایش تغییرات و کاهش مدارهای اشباع بوده‌ایم. در ادامه به بررسی اثرات تغییرات در حضور منبع ولتاژ VSS و برای مقادیر مختلف VDD و VSS پرداخته شد. نتایج نشان می‌داد که اولاً با قراردادن منبع VSS و ثانیاً با افزایش مقدار ولتاژ منابع، تعداد مدارهای اشباع افزایش می‌یابد. همچنین انحراف معیار نرمالیزه تمامی پارامترها غیر از بهره مشترک با افزایش ولتاژ کاهش می‌یابد. در نهایت با بررسی مشخصات دو پارامتر $PSRR^+$ و $PSRR^-$ مشاهده شد که مدل آماری این دو پارامتر مستقل بوده و لذا نمی‌توان از مدل یکی از آنها برای دیگری استفاده کرد.

Archive of SID

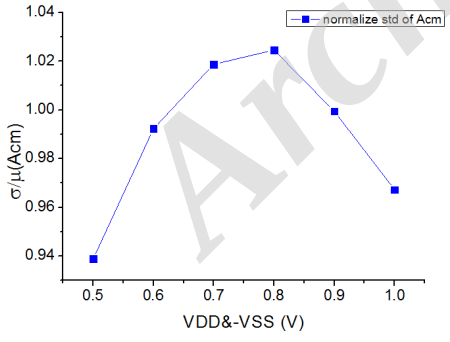
www.SID.ir



شکل ۱۱: نمودار همبستگی پارامترها در بررسی سوم به همراه ضرایب همبستگیشان.

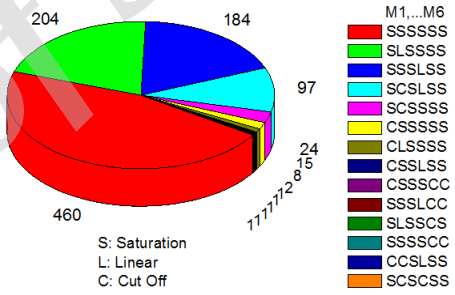


(الف)

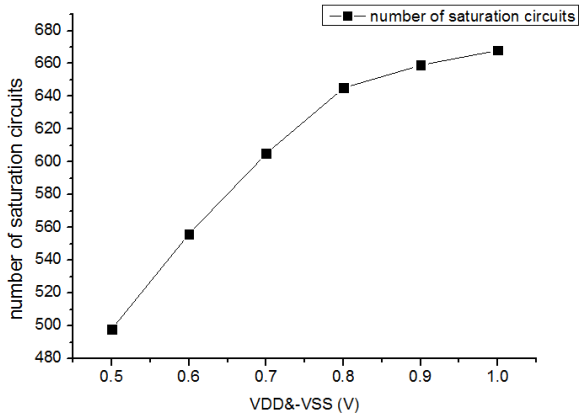


(ب)

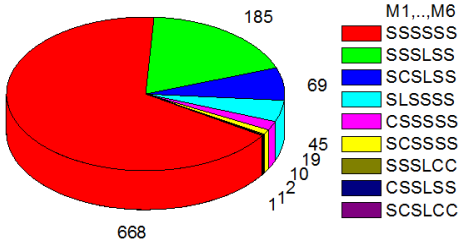
شکل ۱۳: مقادیر انحراف معیار نرمالیزه پارامترهای مورد بررسی در ولتاژهای مختلف.



شکل ۱۲: وضعیت ترانزیستورهای تقویت‌کننده در بررسی سوم.



شکل ۱۴: گراف تعداد مدارهای سالم در ولتاژهای مختلف.



شکل ۱۵: وضعیت ترانزیستورها برای مدارهای با ولتاژ ۱V±.

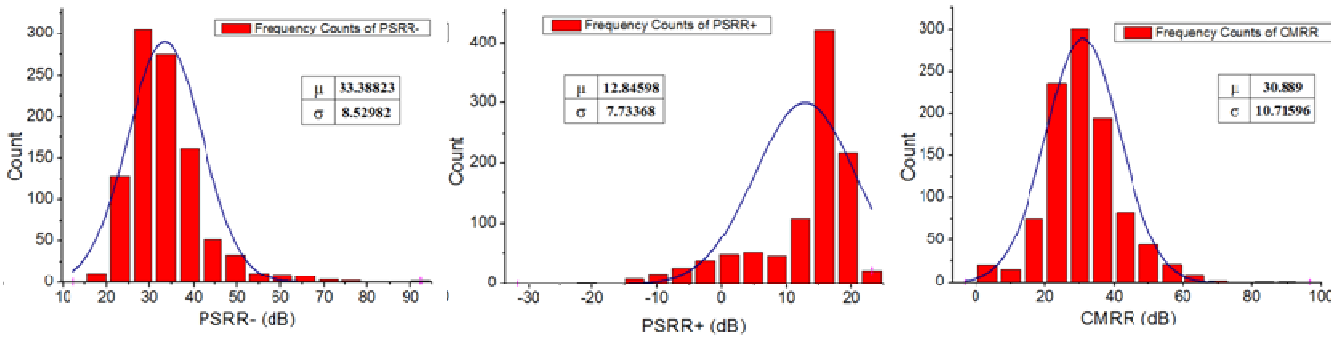
مراجع

[1] E. Bazizi, *et al.*, "Impact of backplane configuration on the statistical variability in 22 nm FDSOI CMOS," in *Proc. Int. Conf. on Simulation of Semiconductor Processes and Devices, SISPAD'15,* pp. 345-348, Washington, DC, USA, 9-11 Sept. 2015.

[2] S. S. Sylvia, *et al.*, "Effect of random, discrete source dopant distributions on nanowire tunnel FETs," *IEEE Trans. on Electron Devices,* vol. 61, no. 6, pp. 2208-2214, Jun. 2014.

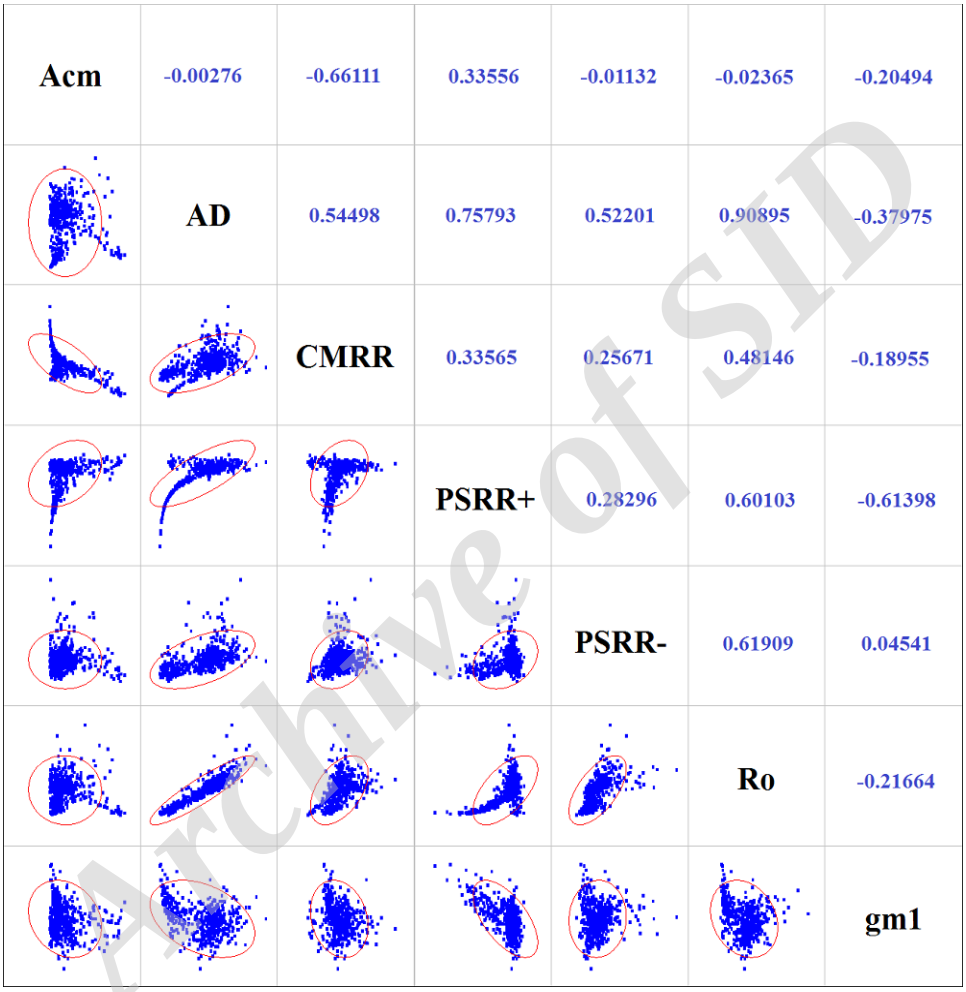
Archive of SID

www.SID.ir



(ج) (ب) (الف)

شکل ۱۶: نمودارهای هیستوگرام، (الف) CMRR، (ب) $PSRR^{+}$ و (ج) $PSRR^{-}$.



Archive of SID

شکل ۱۷: نمودارهای پراکندگی و ضرایب همبستگی بین پارامترها در ولتاژ ۱V±.

[3] K. Nayak, *et al.*, "Metal-gate granularity-induced threshold voltage variability and mismatch in Si gate-all-around nanowire n-MOSFETs," *IEEE Trans. on Electron Devices,* vol. 61, no. 11, pp. 3892-3895, Nov. 2014.

[4] X. Wang, *et al.*, "Interplay between process-induced and statistical variability in 14 nm CMOS technology double-gate SOI FinFETs," *IEEE Trans. on Electron Devices,* vol. 60, no. 8, pp. 2485-2492, Aug. 2013.

[5] L. L. Lewyn, T. Ytterdal, C. Wulff, and K. Martin, "Analog circuit design in nanoscale CMOS technologies," *Proceedings of the IEEE*, vol. 97, no. 10, pp. 1687-1714, Oct. 2009.

[6] X. Li, B. Taylor, Y. Chien, and L. T. Pileggi, "Adaptive post-silicon tuning for analog circuits: concept, analysis and optimization," in *Proc. IEEE/ACM Int. Conf. on Computer-Aided Design, ICCAD'07*, pp. 450-457, San Jose, CA, USA, 4-8 Nov. 2007.

[7] C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," *Proceedings of the IEEE*, vol. 84, no. 11, pp. 1584-1614, Nov. 1996.

[8] C. G. Yu and R. L. Geiger, "Nonideality consideration for high-precision amplifiers-analysis of random common-mode rejection ratio," *IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications,* vol. 40, no. 1, pp. 1-12, Jan. 1993.

[9] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, John Wiley & Sons, Inc., 2001.

[10] R. Gregorian and G. C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, New York, Wiley-Interscience, p. 614, vol. 1, 1986.

[11] J. Brown, "Differential amplifiers that reject common-mode currents," *IEEE J. Solid-State Circuits,* vol. 6, no. 6, pp. 385-391, Dec. 1971.

[12] P. VanPeteghem and J. Duque-Carrillo, "A general description of common-mode feedback in fully-differential amplifiers," in *Proc. IEEE Int. Symp. on Circuits and Systems,* vol. 4, pp. 312-320, New Orleans, LA, USA, 1-3 May 1990.

[13] G. Meyer-Brotz and A. Kley, "The common-mode rejection of transistor differential amplifiers," *IEEE Trans. on Circuit Theory,* vol. 13, no. 2, pp. 171-175, Jun. 1966.

www.SID.ir

[14] M. J. Pelgrom, A. C. Duinmaijer, and A. P. Welbers, "Matching properties of MOS transistors," *IEEE J. of Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1439, Oct. 1989.
[15] J. P. M. Brito and S. Bampi, "A DC offset and CMRR analysis in a CMOS 0.35 μm operational transconductance amplifier using Pelgrom's area/accuracy tradeoff," *Microelectronics J.*, vol. 40, no. 9, pp. 1281-1292, Sept. 2009.
[16] B. Cheng, *et al.* "Statistical variability compact modelling strategy for BSIM4 and PSP," *IEEE Design and Test of Computers*, vol. 27, no. 2, pp. 26-35, Mar./Apr. 2010.
[17] S. K. Saha, "Modelling process variability in scaled CMOS technology," *IEEE Design and Test of Computers*, vol. 27, no. 2, pp. 8-16, Mar./Apr. 2010.
[18] A. Asenov, *et al.*, "Simulation of statistical variability in nano-CMOS transistors using drift-diffusion, Monte Carlo and non-equilibrium Green's function technique," *J. of Comp. Electronics*, vol. 8, no. 3-4, pp. 349-373, Oct. 2009.

بهروز محبوبی مدرک کارشناسی ارشد خود را در مهندسی برق-الکترونیک از دانشگاه کاشان در سال ۱۳۹۴ دریافت نمود. زمینه تحقیقاتی مورد علاقه ایشان مدل‌سازی تغییرات آماری ناشی از اثرات نوسان تصادفی ناخالصی‌ها در مدارهای با افزاره‌های نانومتری می‌باشد.

داریوش دیدبان تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد مهندسی برق- الکترونیک به‌ترتیب در سال‌های ۱۳۷۷ و ۱۳۷۹ در دانشگاه‌های صنعتی اصفهان و صنعتی شریف انجام داد و از سال ۱۳۸۰ به‌عنوان عضو هیأت علمی دانشگاه کاشان مشغول تدریس گردید. وی مقطع دکتری برق-الکترونیک را در سال ۱۳۹۱ در دانشگاه گلاسگو انگلستان به پایان رسانده است و هم‌اکنون دارای رتبه علمی دانشیاری می‌باشد. استاد راهنمای ۱۸ تز کارشناسی ارشد و ۲ رساله دکترای پایان‌یافته، تألیف حدود ۳۰ مقاله در مجلات معتبر بین‌المللی و انجام ۵ طرح پژوهشی کاربردی و تألیف یک کتاب درسی از جمله فعالیت‌های علمی ایشان در حوزه‌های تخصصی می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: مدل‌سازی و شبیه‌سازی ادوات نانوالکترونیک، مدل‌سازی تاثیر تغییرات آماری در حوزه افزاره و مدار، مدارهای مجتمع دیجیتال و کاربرد مواد دوبعدی در الکترونیک.

Archive of SID

www.SID.ir