طراحی مدار ضرب‌کننده موازی علامت‌دار برگشت‌پذیر با قابلیت حفظ توازن

مجید حق‌پرست و علی بوالحسنی

چکیده: یکی از چالش‌ها و محدودیت‌های مهم در طراحی مدارهای پرتراکم، اتلاف توان ناشی از ترانزیستورهای این مدارها است. منطق برگشت‌پذیر یکی از رویکردهای نوین در کاهش اتلاف توان مدارهای دیجیتال در حوزه محاسبات کوانتومی است. در این مقاله طرحی بهبودیافته از یک مدار موازی ضرب‌کننده علامت‌دار ۵بیتی با ویژگی حفظ توازن ارائه می‌شود. مدارهای برگشت‌پذیر با قابلیت حفظ توازن یک ویژگی مهم برای پیاده‌سازی سیستم‌های تحمل‌پذیر اشکال در حوزه فناوری نانو است. برای طراحی ضرب‌کننده پیشنهادی، یک بلوک ۵×۵ برگشت‌پذیر به نام HBF برای طراحی یک جمع‌کننده کامل برگشت‌پذیر با هزینه کوانتومی مناسب و یک دروازه ٤×٤ برگشت‌پذیر به نام HBL ارائه شده‌اند. ساختار مدار ضرب‌کننده از دو بخش تولید حاصل‌ضرب‌های جزئی (PPG) و عملوندهای چندگانه افزوده (MOA) تشکیل شده است. این ساختار مبتنی بر الگوریتم‌های Baugh-Wooley و درخت والاس بوده که منجر به بهبود سرعت عملیات در ضرب‌کننده ۵بیتی باینری برای اعداد علامت‌دار می‌شود. مدارهای پیشنهادی بر مبنای معیارهای ارزیابی مهمی همچون هزینه کوانتومی، خروجی‌های بی‌اهمیت و ورودی‌های ثابت، بهینه‌سازی شده و با مدارهای موجود مقایسه می‌شوند. هدف اصلی، کاهش هزینه کوانتومی، تعداد ورودی‌های ثابت و خروجی‌های بی‌اهمیت در طراحی مدار ضرب‌کننده پیشنهادی است. نتایج ارزیابی و مقایسه نهایی نشان می‌دهد که ضرب‌کننده ۵×۵ پیشنهادی در این پژوهش، ۲٦٪ در هزینه کوانتومی، ۹٪ در خروجی‌های بی‌اهمیت و ۹٪ در ورودی‌های ثابت نسبت به بهترین طرح‌های موجود، بهبود یافته است.

کلیدواژه: **محاسبات کوانتومی، مدار برگشت‌پذیر، ضرب‌کننده علامت‌دار، حفظ توازن، فناوری نانو.**

۱- مقدمه

اتلاف توان یکی از مشکلات مهم در توسعه مدارهای پرتراکم دیجیتال به شمار می‌رود. در سال‌های اخیر پیشرفت‌های مطلوبی در فرایندهای ساخت، تکنیک‌های طراحی و روش‌های محاسباتی در جهت کاهش اتلاف توان مدارها صورت گرفته است. اما با توجه به دو برابر شدن تعداد ترانزیستورها در هر هجده ماه بر اساس قانون Moore، در ادامه این روند با چالش‌ها و محدودیت‌های فیزیکی به ویژه در مقیاس نانو مواجه خواهیم شد [۱]. از سوی دیگر نتایج تحقیقات Landauer در دهه ۶۰ میلادی نشان داد که در مدارهای کلاسیک صرف‌نظر از تکنولوژی ساخت و پیاده‌سازی آنها، اطلاعات به شکل گرما از بین می‌روند [۲]. ثابت شده که هر بیت از این اطلاعات هدررفته در طول یک فرایند برگشت‌ناپذیر به اندازه $KT\ln 2$ ژول انرژی است. K ثابت بولتزمن و T دمای مطلق در یک محیط عملیاتی است. اما در یک مدار برگشت‌پذیر، اطلاعات از بین نرفته و اتلاف توان داخلی به لحاظ نظری نزدیک به صفر است. بنابراین در سال ۱۹۷۳، Bennet نشان داد که برای کاهش اتلاف توان لازم است که مدارها را با استفاده از دروازه‌های منطقی برگشت‌پذیر پیاده‌سازی کنیم [۳].

در دروازه‌های (مدارهای) برگشت‌پذیر، اطلاعات به شکل حرارت از بین نرفته و اتلاف توان از نظر تئوری نزدیک به صفر است. مدارهای برگشت‌پذیر، دارای تعداد ورودی‌ها و خروجی‌های برابر بوده به طوری که در آنها امکان بازتولید و بازیابی ورودی‌ها در خروجی‌ها وجود دارد. اگرچه این ماهیت در مدارهای برگشت‌پذیر سبب تولید خروجی‌های اضافه شده و پیاده‌سازی و سنتز آنها را نسبت به مدارهای کلاسیک دشوارتر می‌سازد [۴] تا [۷]. منطق برگشت‌پذیر به عنوان یکی از حوزه‌های مهم مطالعاتی در محاسبات کوانتومی، رویکردی مؤثر در کاهش اتلاف توان مدارات بسیار پرتراکم دیجیتال در مقیاس‌های بسیار کوچک محسوب می‌شود [۸] تا [۱۰]. منطق برگشت‌پذیر دارای کابردهای متنوعی در حوزه‌های مختلفی از جمله محاسبات نوری، نانوتکنولوژی، محاسبات کوانتومی و محاسبات مبتنی بر DNA، رمزنگاری و امنیت اطلاعات است [۸] تا [۱۰].

مدارهای کوانتومی ذاتاً برگشت‌پذیر بوده و متشکل از دروازه‌های کوانتومی برگشت‌پذیر هستند. سنتز و پیاده‌سازی این مدارها نسبت به مدارهای مبتنی بر منطق کلاسیک، دارای محدودیت‌ها و پیچیدگی‌های بیشتری است. از جمله این محدودیت‌ها می‌توان به دو فاکتور fan-out و feedback اشاره کرد که در طراحی مدارهای برگشت‌پذیر مجاز نیستند [۱۱] تا [۱۴]. به طور دقیق‌تر، مدارهای برگشت‌پذیر در دو حالت برگشت‌پذیر کلاسیک (دوبعدی) و برگشت‌پذیر کوانتومی (چندبعدی) تحقق می‌یابند. عملیات جمع و ضرب از محاسبات پایه در سیستم‌های کامپیوتری هستند. بهبود طراحی برگشت‌پذیر این واحدها در پردازنده‌ها از اهداف این تحقیق است.

در این مقاله یک مدار ضرب‌کننده علامت‌دار با ویژگی حفظ توازن با استفاده از دروازه‌های برگشت‌پذیر موجود و دو بلوک پیشنهادی HBF (مدار ۵×۵ به عنوان تمام‌جمع‌کننده) و HBL (به عنوان دروازه ۴×۴ برگشت‌پذیر) ارائه شده است. هر دو ساختار ضرب‌کننده و جمع‌کننده ارائه‌شده در این کار از نظر هزینه کوانتومی نسبت به طرح‌های موجود بهبود قابل ملاحظه‌ای دارند که میزان بهبود در بخش ارزیابی گزارش شده است. هدف این پژوهش، طراحی بهبودیافته یک مدار ضرب‌کننده برگشت‌پذیر با ویژگی حفظ توازن است. معیار ارزیابی و کارایی این طرح‌ها، بهینه‌سازی مدارها با توجه به کمینه‌کردن پارامترهای کوانتومی همچون هزینه کوانتومی، ورودی‌های ثابت و خروجی‌های بی‌اهمیت است. از این رو برای هر کدام از واحدهای اصلی مدار ضرب‌کننده، طرح‌هایی جدید و بهبودیافته ارائه شده است.

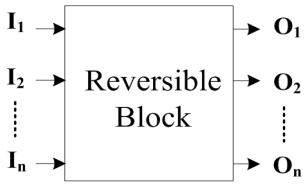
این مقاله در تاریخ ۱ اسفند ماه ۱۳۹۵ دریافت و در تاریخ ۸ بهمن ماه ۱۳۹۶ بازنگری شد.

مجید حق‌پرست (نویسنده مسئول)، گروه کامپیوتر، واحد یادگار امام خمینی (ره) شهر ری، دانشگاه آزاد اسلامی، تهران، ایران، (email: haghparast@iausr.ac.ir).

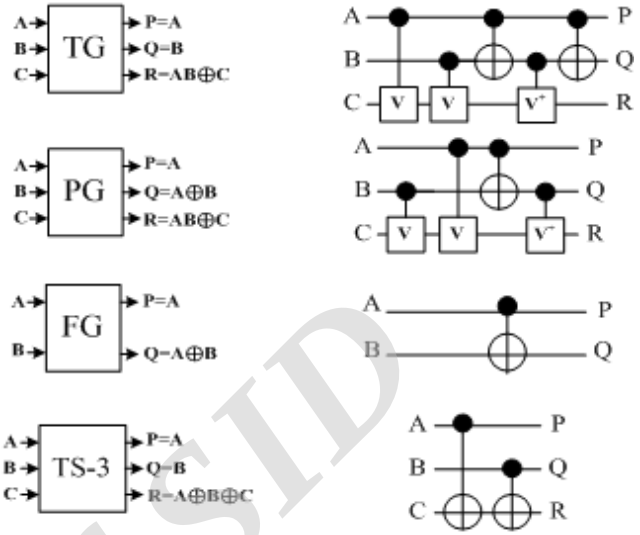
علی بوالحسنی، گروه کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران، (email: ali.bolhassani@srbiau.ac.ir).

Archive of SID

www.SID.ir



شکل ۱: بلوک دیاگرام یک مدار $n\times n$ برگشت‌پذیر.



شکل ۲: بلوک دیاگرام و پیاده‌سازی کوانتومی دروازه‌های برگشت‌پذیر ۲×۲ و ۳×۳ رایج.

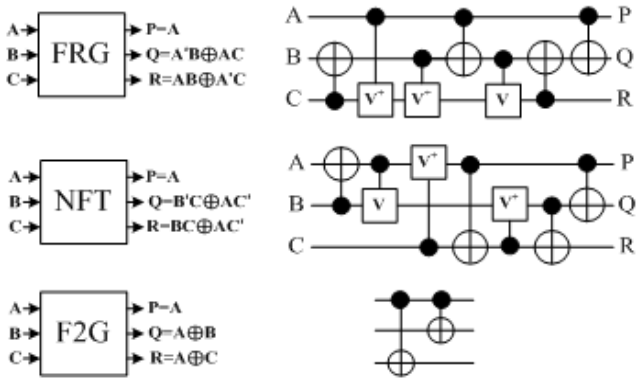
هدف از این کار، طراحی مدارهایی با پایین‌ترین هزینه کوانتومی و کمترین تعداد ورودی‌های ثابت و خروجی‌های بی اهمیت است. در ادامه، این مقاله به صورت زیر سازماندهی شده است: در بخش دوم، مروری بر ادبیات کار و تعاریف پایه‌ای همچون تعریف دروازه‌های برگشت‌پذیر و انواع آن و پارامترهای کوانتومی مهم در طراحی بهبودیافته یک مدار برگشت‌پذیر ارائه می‌شوند. در بخش سوم به کارهای موجود و ضرب‌کننده‌هایی که تا کنون ارائه شده‌اند خواهیم پرداخت. بخش چهارم به ارائه طرح‌های پیشنهادی اختصاص داده شده است. بخش پنجم به عنوان بحث و نتیجه‌گیری بوده که به ارزیابی و کارایی طرح‌های پیشنهادی و مقایسه آن با کارهای قبلی می‌پردازد. بخش ششم، نتیجه‌گیری و کارهای آینده است.

۲- پیش‌زمینه و مفاهیم اولیه

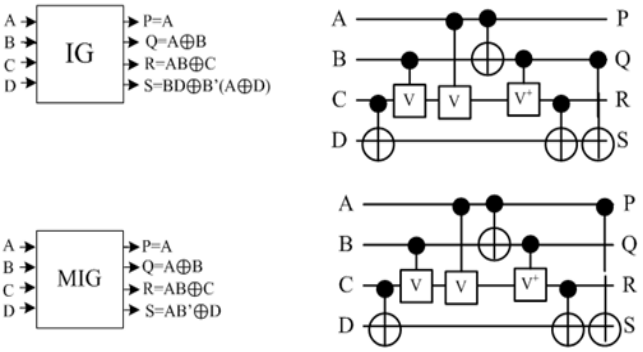
در این بخش ابتدا دروازه‌های برگشت‌پذیر ساده و دروازه‌های با قابلیت حفظ توازن را تعریف نموده و برخی از مهم‌ترین انواع پرکاربرد آنها را معرفی می‌کنیم. سپس مهم‌ترین پارامترهای کوانتومی (هزینه کوانتومی، خروجی‌های بی‌اهمیت و ورودی‌های ثابت) را تعریف خواهیم کرد که در طراحی بهبودیافته مدارهای برگشت‌پذیر مؤثرند.

۲-۱ دروازه‌های منطقی برگشت‌پذیر

در یک دروازه (بلوک یا مدار) منطقی برگشت‌پذیر، الگویی منحصر به فرد یا تناظری یک به یک میان بردار ورودی $In=\{I_1,\ldots,I_n\}$ و بردار خروجی $Out=\{O_1,\ldots,O_n\}$ برقرار است [۴] تا [۷]. در شکل ۱ شماتیکی از یک بلوک برگشت‌پذیر $n\times n$ آمده است. دروازه‌های برگشت‌پذیری همچون FG (CNOT)، TS-۳، TG (CCNOT) و PG (PERES) از رایج‌ترین دروازه‌های برگشت‌پذیر ساده بوده که در شکل ۲ نشان داده شده‌اند [۴] تا [۷].



شکل ۳: بلوک دیاگرام و پیاده‌سازی کوانتومی دروازه‌های برگشت‌پذیر ۳×۳ با قابلیت حفظ توازن.



شکل ۴: بلوک دیاگرام و پیاده‌سازی کوانتومی دروازه‌های برگشت‌پذیر ۴×۴ با قابلیت حفظ توازن.

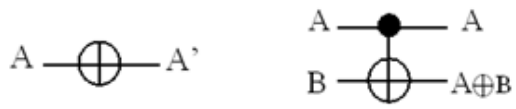
۲-۲ دروازه‌های برگشت‌پذیر با قابلیت حفظ توازن

بررسی و کنترل توازن از مهم‌ترین کارها برای تشخیص اشکال در مدارهای دیجیتال محسوب می‌شود. در [۴] تا [۷]، امکان حفظ توازن در مدارهای برگشت‌پذیر به عنوان رویکردی مهم در تشخیص اشکال‌های واحد است. سیستم‌های تحمل‌پذیر اشکال می‌توانند در صورت بروز اشکال، ضمن تشخیص و کنترل آن، به درستی به کار خود ادامه دهند. در بسیاری از سیستم‌های محاسباتی، مخابراتی و مبتنی بر فناوری نانو، مدارهای تحمل‌پذیر اشکال با ویژگی توازن بیت‌ها و حفظ توازن نقش بسیار مهمی را ایفا می‌کنند [۴] تا [۷]. مدارهای برگشت‌پذیر با ویژگی حفظ توازن از شروط لازم (نه کافی) در توسعه و تحقق مدارهای تحمل‌پذیر اشکال در فناوری نانو برای تشخیص اشکال و شناسایی سیگنال‌های معیوب است. مدارهای برگشت‌پذیر با قابلیت حفظ توازن که سنتز پیچیده‌تری نسبت به مدارهای برگشت‌پذیر ساده دارند، با استفاده از شبکه‌ای از دروازه‌های برگشت‌پذیر با قابلیت حفظ توازن محقق می‌شوند.

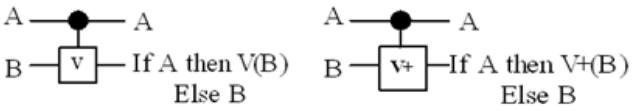
اگر به طور مداوم بین ورودی‌ها و خروجی‌های یک دروازه برگشت‌پذیر، توازنی برابر برقرار باشد و توازن به طور یکسان حفظ شود، این دروازه قابلیت حفظ توازن خواهد داشت. به عبارت دیگر در یک دروازه برگشت‌پذیر با قابلیت حفظ توازن، XOR بین ورودی‌ها برابر با XOR بین خروجی‌ها است. در تحقیقات، تعداد کمی از این نوع دروازه‌ها ارائه شده‌اند. از رایج‌ترین این دروازه‌ها که در این مطالعه و کارهای موجود مورد استفاده قرار گرفته است می‌توان به دروازه‌های ۳×۳ همچون F۲G، FRG، NFT و دروازه‌های ۴×۴ همچون MIG و IG اشاره کرد که به ترتیب در شکل های ۳ و ۴ نشان داده شده‌اند [۱۵] تا [۱۸]. لازم به ذکر است که هر دروازه و مدار برگشت‌پذیر توسط دروازه‌های پایه کوانتومی محقق می‌شود که در شکل‌های ۵ و ۶ نمایش داده شده‌اند.

Archive of SID

www.SID.ir



شکل ۵: نمایش دروازه‌های پایه کوانتومی NOT و CNOT با هزینه کوانتومی واحد.



شکل ۶: نمایش دروازه‌های پایه کوانتومی Controlled-V و Controlled-V+ با هزینه کوانتومی واحد.

۲-۳ پارامترهای ارزیابی و بهینه‌سازی مدارهای برگشت‌پذیر

تاکنون شاخص‌های مهمی در ارزیابی کارایی و بهبود طراحی مدارهای برگشت‌پذیر معرفی شده‌اند که از آن جمله می‌توان به هزینه کوانتومی، تعداد ورودی‌های ثابت و تعداد خروجی‌های بی‌اهمیت اشاره کرد [۱۱] تا [۱۴]. البته در برخی از تحقیقات موجود، پارامترهای دیگری همچون پیچیدگی سخت‌افزاری و تعداد دروازه‌های برگشت‌پذیر نیز در نظر گرفته شده‌اند که معیارهای دقیق، مطلوب و بااهمیتی در ارزیابی و بهینه‌سازی مدارهای برگشت‌پذیر محسوب نمی‌شوند. در ادامه به تعریف مهم‌ترین معیارهایی می‌پردازیم که در یک طراحی کارامد و بهینه برای مدارهای برگشت‌پذیر مورد نظر هستند. برای تحقق یک مدار بهبودیافته برگشت‌پذیر لازم است این پارامترها را کمینه کنیم. هرچه مقدار این معیارها در یک طراحی کاهش یابد، مداری بهبودیافته‌تر خواهیم داشت.

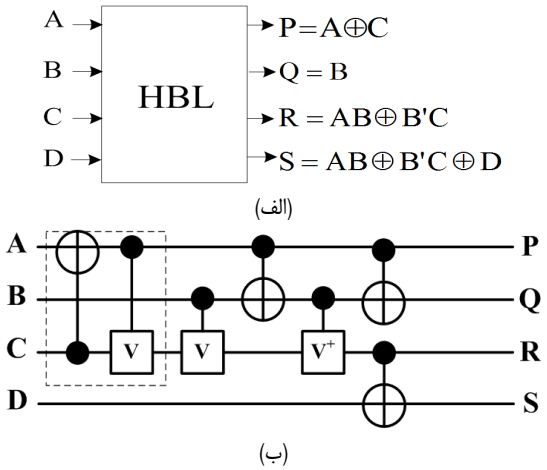
خروجی‌های بی‌اهمیت (GO): به تعداد خروجی‌های ناخواسته (اضافه) و بدون استفاده در یک دروازه یا مدار برگشت‌پذیر گفته می‌شود. این خروجی‌های زاید، هزینه زیادی را در پیاده‌سازی و ساخت مدارهای برگشت‌پذیر تحمیل کرده که برای برگشت‌پذیر بودن یک مدار ضروری هستند.

ورودی‌های ثابت (CI): تعداد ورودی‌هایی که دارای ارزش یا مقادیر ثابت صفر یا یک هستند. این ورودی‌ها برای تحقق یک مدار (دروازه) برگشت‌پذیر ممکن است لازم باشند و به مدار اضافه شوند.

هزینه کوانتومی (QC): هزینه کوانتومی یک مدار برابر با هزینه کوانتومی تک‌تک دروازه‌های کوانتومی پایه است. همه دروازه‌های کوانتومی برگشت‌پذیر پایه دارای هزینه کوانتومی یک بوده که برای تحقق هر دروازه و مدار برگشت‌پذیر و کوانتومی لازم هستند. این دروازه‌های پایه عبارتند از NOT، CNOT (Controlled-NOT)، Controlled-V و Controlled-V+ به طوری که هر مدار و دروازه برگشت‌پذیری صرفاً با آنها یا ترکیب آنها ساخته می‌شود [۱۹] تا [۲۳]. این دروازه‌ها که در شکل‌های ۵ و ۶ نشان داده شده‌اند، دارای هزینه کوانتومی واحد بوده و تعداد آنها در یک مدار نشان‌دهنده هزینه کوانتومی آن مدار است.

۳- مدارهای ضرب‌کننده برگشت‌پذیر موجود با قابلیت حفظ توازن

تاکنون مدارهای کمی برای ضرب‌کننده برگشت‌پذیر با ویژگی حفظ توازن ارائه شده است. در [۲۴] محققان یک ضرب‌کننده ۴×۴ ارائه کردند که در ساختار آن برای طراحی واحد PPG از دروازه‌های FRG و برای طراحی واحد MOA از دروازه‌های IG استفاده شده است. این طرح



شکل ۷: دروازه HBL برگشت‌پذیر جدید، (الف) بلوک دیاگرام و (ب) پیاده‌سازی کوانتومی.

از نظر پارامترهای QC و GO مطلوب نیست. محققان در [۲۵] یک ضرب‌کننده ۴×۴ ارائه دادند که برای طراحی واحد PPG از دروازه‌های FRG و برای طراحی واحد MOA از دروازه‌های MIG استفاده شده است. در این کار همچنین از دو دروازه MIG برای ساخت تمام جمع‌کننده استفاده شده است. این طرح در پارامترهای QC و CI بهتر از نمونه مشابه ارائه‌شده در [۲۴] است. تنها مدار ضرب‌کننده علامت‌دار با ویژگی حفظ توازن توسط محققان در [۲۶] ارائه شده است. این ضرب‌کننده یک مدار ۵×۵ بوده که در آن برای تحقق واحد PPG از دروازه‌های F2G، FRG و MNFT و برای پیاده‌سازی واحد MOA از دروازه‌های MIG و F2PG استفاده شده است. در این مدار بلوک F2PG به عنوان یک تمام جمع‌کننده ارائه شده است.

٤- طرح‌های پیشنهادی

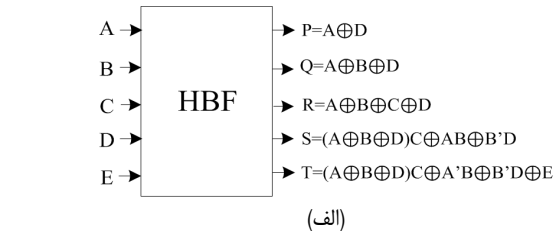
در این بخش ابتدا یک دروازه ۴×۴ (HBL) و یک بلوک ۵×۵ (HBF) برگشت‌پذیر با ویژگی حفظ توازن پیشنهاد می‌کنیم. با استفاده از بلوک HBF یک مدار جمع‌کننده- تفریق‌کننده کامل برگشت‌پذیر با ویژگی حفظ توازن ارائه می‌شود. عملیات جمع در این مدار برای مدار ضرب‌کننده نهایی مورد استفاده قرار گرفته است. در ادامه، مدار ضرب‌کننده را با استفاده از ساختارهای پیشنهادی بالا و بر پایه الگوریتم Baugh-Wooley، طراحی و بهینه‌سازی می‌کنیم. به همین منظور، ساختار عملیات ضرب بر پایه این الگوریتم تشریح شده است. مدار ضرب‌کننده برگشت‌پذیر ۵بیتی در این مقاله دارای ویژگی حفظ توازن بوده و از دو واحد کلی تشکیل شده است: واحد PPG (تولید حاصل‌ضرب جزئی) و واحد MOA ("جمع اپراتورهای چندگانه" یا "عملوندهای چندگانه افزوده"). هر کدام از این واحدها به طور جداگانه طراحی و بهبود یافته‌اند و سپس با استفاده از آنها مدار ضرب‌کننده پیشنهادی نهایی ارائه می‌شود.

٤-۱ دروازه ٤×٤ برگشت‌پذیر با قابلیت حفظ توازن پیشنهادی

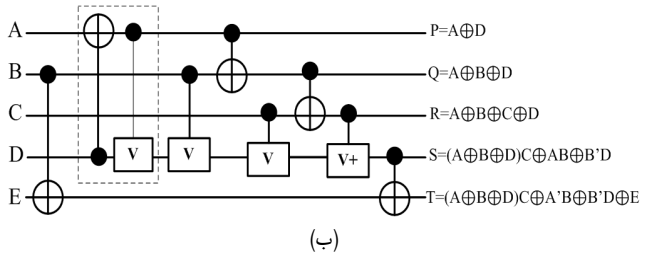
در این بخش یک دروازه برگشت‌پذیر ۴ ورودی و ۴ خروجی به نام HBL ارائه می‌شود که این مدار دارای هزینه کوانتومی ۶ است. بلوک دیاگرام و پیاده‌سازی کوانتومی این دروازه در شکل ۷ نشان داده شده است. این دروازه دارای ویژگی حفظ توازن است زیرا طبق قرارداد، XOR بین ورودی‌ها با XOR بین خروجی‌ها برابر است و نشان می‌دهد این مدار حفظ‌کننده توازن است.

Archive of SID

www.SID.ir

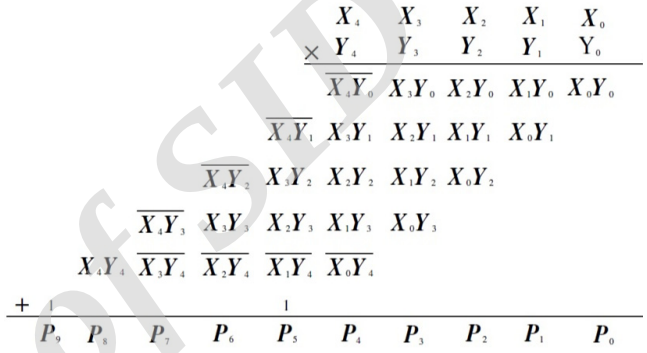


(الف)



(ب)

شکل ۸: بلوک HBF برگشت‌پذیر جدید، (الف) بلوک دیاگرام و (ب) پیاده‌سازی کوانتومی.



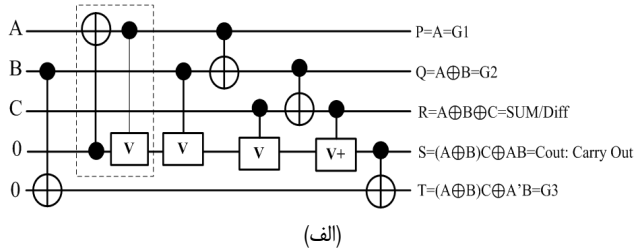
شکل ۱۰: الگوریتم عملیات ضرب بر پایه روش Baugh-Wooley.

۴-۲ بلوک ۵×۵ برگشت‌پذیر با قابلیت حفظ توازن پیشنهادی

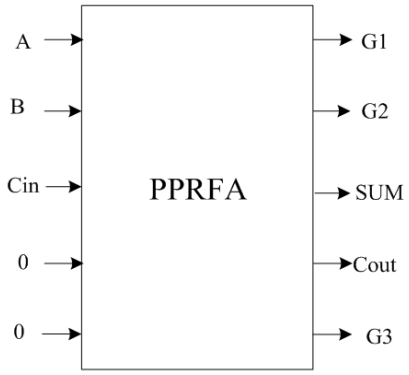
در این بخش یک بلوک منطقی برگشت‌پذیر ۵ ورودی و ۵ خروجی به نام HBF و با ویژگی حفظ توازن ارائه می‌شود. هزینه کوانتومی این مدار ۸ است. بلوک دیاگرام و پیاده‌سازی کوانتومی این بلوک در شکل ۸ نشان داده شده است. در این بلوک، XOR بین ورودی‌ها با XOR بین خروجی‌ها برابر است که نشان می‌دهد قابلیت حفظ توازن دارد.

۴-۳ طرح تمام جمع‌کننده- تمام تفریق‌کننده برگشت‌پذیر با قابلیت حفظ توازن پیشنهادی

در این بخش، یک مدار تمام‌جمع‌کننده برگشت‌پذیر را با استفاده از بلوک جدید HBF و با هزینه کوانتومی ۸ ارائه می‌کنیم. ساختار این مدار جمع‌کننده در شکل ۹ نشان داده شده است. در این مدار در صورتی که ورودی‌های D و E برابر با صفر باشند (به عنوان دو ورودی ثابت)، تابع جمع (SUM) در خروجی سوم و تابع رقم نقلی (Carry-out) در خروجی چهارم تولید می‌شود. سه خروجی دیگر در این ساختار به عنوان خروجی‌های بی‌اهمیت شناخته می‌شوند. این مدار مشابه ساختار مدارهای موجود دارای سه خروجی زاید است. مزیت دیگری که این طرح نسبت به سایر طرح‌های مشابه موجود دارد این است که با اعمال ورودی‌ها در حالت خاص می‌توان تابع Borrow را در خروجی به دست آورد. این تابع مربوط به عملیات تفریق‌کننده کامل است. در نتیجه این مدار می‌تواند در شرایطی به عنوان تمام تفریق‌کننده نیز عمل کند که این ویژگی، وجه تمایز دیگر این طرح نسبت به همتایان موجود آن است.



(الف)



(ب)

شکل ۹: مدار جمع‌کننده- تفریق‌کننده برگشت‌پذیر با قابلیت حفظ توازن پیشنهادی، (الف) پیاده‌سازی کوانتومی و (ب) بلوک دیاگرام.

۴-۴ طراحی ضرب‌کننده برگشت‌پذیر با قابلیت حفظ توازن پیشنهادی

در پردازش سیگنال‌های دیجیتال، سرعت عملیاتی ضرب‌کننده‌ها نقشی مهم در کارایی و عملکرد سیستم‌ها دارد. به طور کلی سرعت عملیات ضرب به دو عامل ساختار مدار و الگوریتم پیاده‌سازی آن بستگی دارد. دو الگوریتم Shift-Add و Baugh-Wooley در [۲۴] تا [۲۶] برای مدارهای ضرب‌کننده بیشتر استفاده شده است. الگوریتم Shift-Add به طور معمول بر روی اعداد بدون علامت عمل می‌کند که سرعت پایینی داشته و برای پیاده‌سازی در VLSI مناسب نیست. اما عملیات ضرب مکمل بر پایه الگوریتم Baugh-Wooley سرعت بهتری داشته و برای عملیات ضرب بر روی اعداد علامت‌دار به کار می‌رود. ضرب‌کننده ارائه‌شده در این مقاله یک مدار ضرب‌کننده موازی بوده و بر پایه الگوریتم Baugh-Wooley است. این مدار ضرب‌کننده موازی از دو بخش اصلی تشکیل شده است، اولی واحد تولید حاصل‌ضرب‌های جزئی یا PPG بوده که به صورت موازی تولید می‌شوند و دومی عملوندهای چندگانه اضافه یا MOA که با روش درخت والاس اجرا می‌شوند.

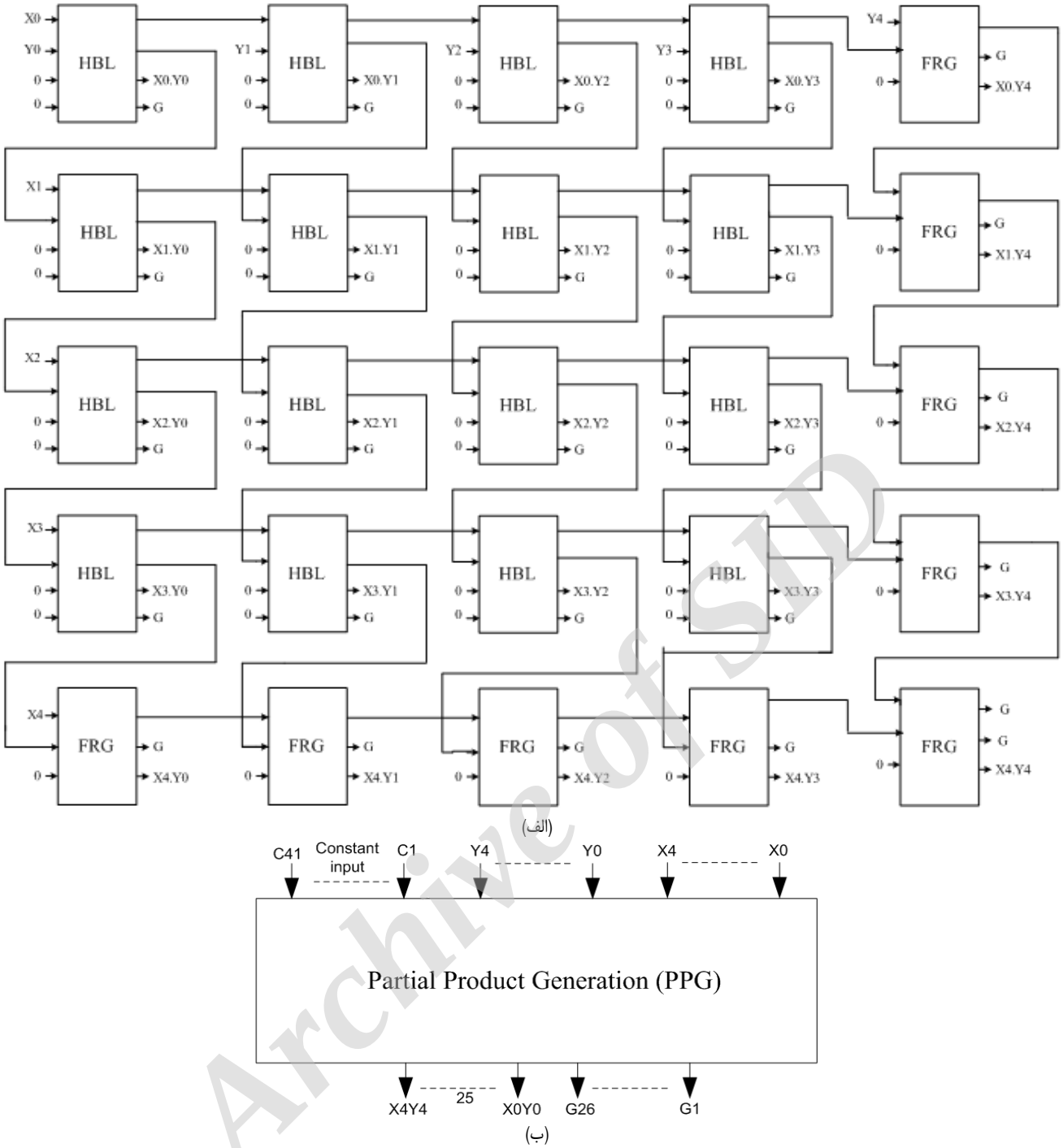
با این روش در طول عملیات ضرب، در هر پالس زمانی به طور هم‌زمان و موازی تعداد n عملوند با هم جمع می‌شوند. این رویکرد موجب کاهش تأخیر در تولید حاصل‌ضرب‌های جزئی در آرایه‌های جمع‌کننده و انتقال سریع رقم‌های نقلی می‌شود. عملیات تمام جمع‌کننده برای جمع بیت‌های هم‌وزن و یکسان در یک آرایه هم‌زمان و به طور موازی است. در شکل ۱۰ الگوریتم کلی عملیات ضرب ۵×۵ بر پایه ورودی‌های X و Y نشان داده شده که شامل ۲۵ بیت حاصل‌ضرب‌های جزئی (به صورت تابع AND) به فرم $(X_i \times Y_j)$ به طوری که $i, j = ۰,۱,۲,۳,۴$ است.

۴-۴-۱ طراحی واحد PPG برگشت‌پذیر با قابلیت حفظ توازن پیشنهادی

در این بخش، طرحی بهبودیافته از واحد PPG (تولید حاصل‌ضرب جزئی) ارائه می‌دهیم که این واحد برای تولید ضرب‌های جزئی به کار

Archive of SID

www.SID.ir



شکل ۱۱: مدار برگشت‌پذیر پیشنهادی Partial Product Generation (PPG)، (الف) پیاده‌سازی مدار و (ب) سلول پایه.

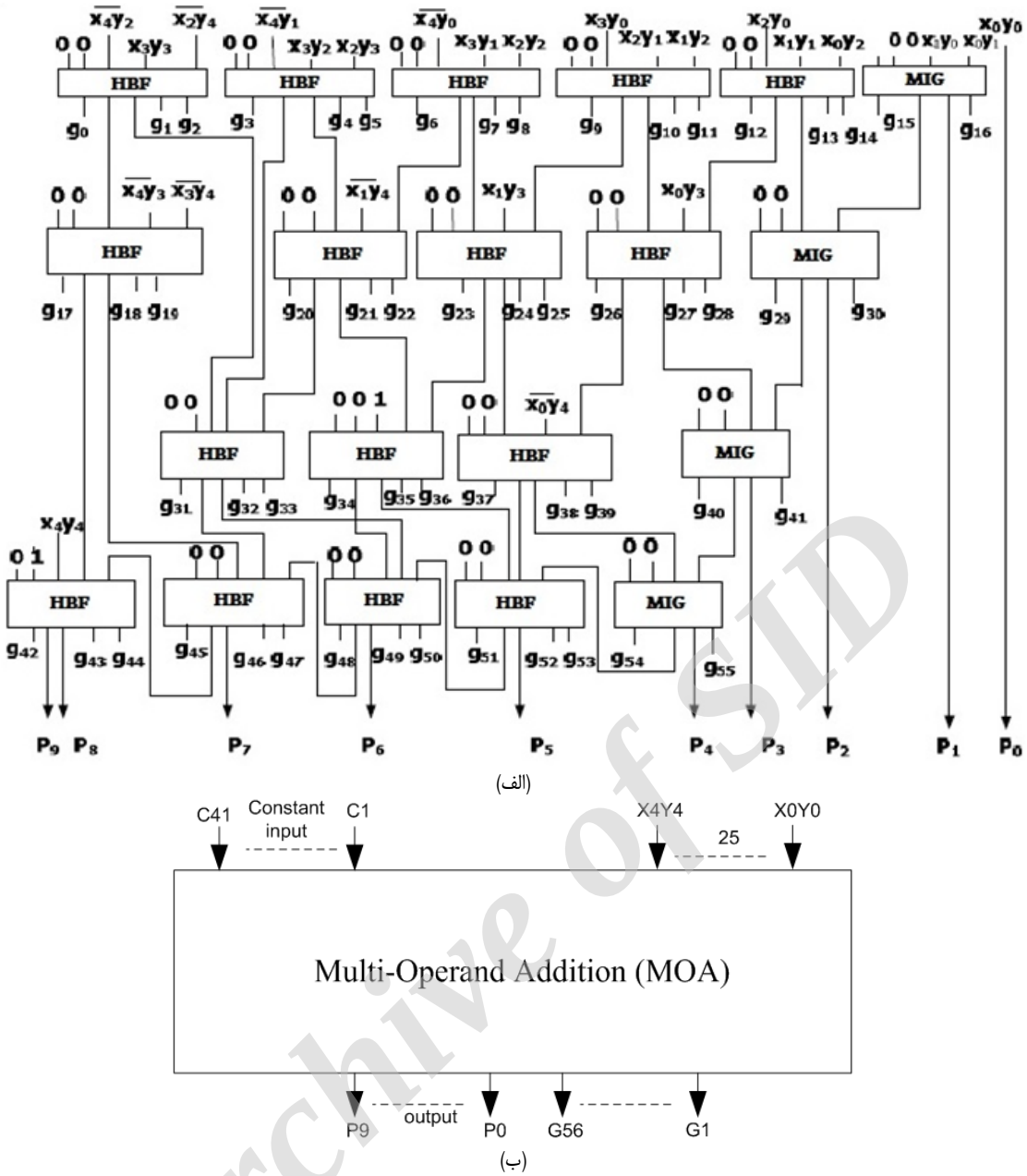
می‌رود. در واحد بیت‌های هم‌ارزش در هر ستون از عملیات ضرب، به طور موازی و هم‌زمان در هم ضرب شده که حاصل‌ضرب هر ستون، ضرب‌های جزئی قلمداد می‌شوند. برای پیاده‌سازی واحد PPG از دروازه‌های FRG و HBL استفاده می‌کنیم. هر دروازه HBL می‌تواند دو عملوند X_i و Y_j را به عنوان ورودی گرفته و یک نسخه کپی از هر کدام از این سیگنال‌ها را به همراه حاصل AND آنها $(Y_j \times X_i)$ به طور جداگانه در خروجی تولید کند. به طور مشابه، هر دروازه FRG دو عملوند را در ورودی دریافت کرده و یک نسخه از آنها را به همراه خروجی AND حاصل آنها ارائه می‌دهد. حاصل این ANDها همان حاصل‌ضرب‌های جزئی بوده که خروجی‌های اصلی واحد PPG هستند. تعداد این خروجی‌ها ۲۵ تا بوده که به عنوان ورودی‌های اصلی به طبقه بعدی یعنی MOA اعمال می‌شوند. شکل ۱۱ نشان‌دهنده ساختار مدار PPG پیشنهادی است.

٤-٤-۲ طراحی واحد MOA برگشت‌پذیر با قابلیت حفظ توازن پیشنهادی

در این زیربخش، طرحی بهبودیافته برای واحد MOA (جمع عملوندهای چندگانه) ارائه می‌شود. حاصل‌ضرب‌های جزئی تولیدشده (خروجی‌های حاصل‌ضرب) در مدار PPG به عنوان ورودی‌ها (عملوندهای چندگانه) به واحد MOA وارد شده و عملیات جمع حاصل‌ضرب‌های جزئی (ترکیب اضافه‌شدن عملوندهای چندگانه به یکدیگر) انجام می‌شود. بنابراین در این واحد از جمع‌کننده پیشنهادی استفاده می‌شود. در این واحد با توجه به ورودی‌های اعمال‌شده از طبقه قبل (PPG) و ورودی‌های ثابت مشخص‌شده، در خروجی مدار، ۱۰ خروجی اصلی $(P_i : i = ۰ \text{ to } ۹)$ و تعدادی خروجی بی‌اهمیت تولید می‌شود. برای پیاده‌سازی واحد MOA از دروازه‌های MIG و بلوک‌های HBF استفاده می‌کنیم.

Archive of SID

www.SID.ir



شکل ۱۲: مدار برگشت‌پذیر پیشنهادی Multi-Operand Addition (MOA)، (الف) پیاده‌سازی مدار و (ب) سلول پایه.

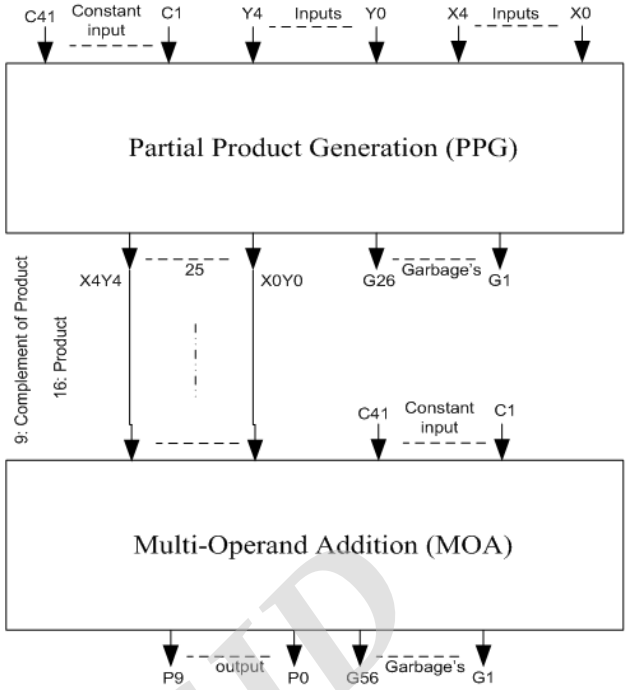
برای تحقق این مدار در یک ضرب‌کننده علامت‌دار ۵×۵ باید تعداد ۱۰ خروجی تولید شود. برای تحقق این مدار به ۴ دروازه MIG (به عنوان نیم جمع‌کننده) و ۱۶ بلوک HBF (به عنوان تمام جمع‌کننده) نیاز است. خروجی‌های بخش PPG باید به ورودی‌های MOA اعمال شوند. شکل ۱۲ مدار پیاده‌سازی شده MOA پیشنهادی را نشان می‌دهد. در پایان از اتصال دو واحد PPG و MOA به یکدیگر، مدار ضرب‌کننده نهایی به دست می‌آید که در شکل ۱۳ نشان داده شده است.

۵- ارزیابی و تحلیل کارایی

یک مدار ضرب‌کننده برگشت‌پذیر با قابلیت حفظ توازن ارائه شد. ضرب‌کننده ارائه‌شده در این تحقیق از نوع موازی است و روی اعداد علامت‌دار قابل استفاده است. ساختمان مدار ضرب‌کننده مذکور متشکل از دو واحد اصلی PPG و MOA است. هر کدام از این واحدها را طراحی کرده و تلاش کردیم ساختاری بهبودیافته در هر کدام ارائه دهیم. تنها مدار ضرب‌کننده علامت‌دار با قابلیت حفظ توازن که تا کنون در تحقیقات مشاهده شده است طرح موجود در [۲۶] بوده که هدف اصلی ما بهبود عملکرد مدار ضرب‌کننده در مقایسه با طرح موجود است. در واحد PPG از ۱۶ دروازه پیشنهادی HBL و ۹ دروازه FRG استفاده شده است. هزینه کوانتومی هر دروازه HBL برابر با ۶ و هر دروازه FRG برابر با ۵ است. بنابراین این واحد با هزینه کوانتومی کل ۱۴۱ محقق شده که نسبت به [۲۶] به اندازه ۷٪ بهبود یافته است. تعداد ورودی‌های ثابت که در این واحد با عدد صفر مشخص شده برابر با ۴۱ است که نسبت به کار موجود در [۲۶] به اندازه ۶٪ بهبود یافته است. مدار ارائه‌شده برای این واحد تعداد ۲۶ خروجی بی‌اهمیت تولید کرده که نسبت به طرح موجود در [۲۶] به میزان ۱۳٪ بهبود یافته است. در جدول ۱ نتایج ارزیابی طرح پیشنهادی PPG در مقایسه با طرح موجود [۲۶] نشان داده شده است. در واحد MOA از ۱۶ بلوک پیشنهادی HBF (برای عملیات تمام جمع‌کننده) و ۴ دروازه MIG (برای تحقق عملیات نیم جمع‌کننده) استفاده شده است. هر بلوک HBF دارای هزینه کوانتومی ۸ و هر دروازه MIG دارای هزینه کوانتومی ۷ است. بنابراین واحد MOA با هزینه کوانتومی ۱۵۶ محقق

Archive of SID

www.SID.ir



شکل ۱۳: بلوک دیاگرام مدار ضرب‌کننده ۵×۵ علامت‌دار موازی برگشت‌پذیر با قابلیت حفظ توازن پیشنهادی.

شده که نسبت به [۲۶] در حدود ۴۰٪ بهبود یافته است. همچنین این واحد دارای ۴۱ ورودی ثابت بوده و ۵۶ خروجی بی‌اهمیت تولید می‌کند. جدول ۲ نشان‌دهنده نتایج ارزیابی و مقایسه طرح پیشنهادی MOA با کار موجود [۲۶] است.

بنابراین طرح نهایی جمع‌کننده پیشنهادی دارای هزینه کوانتومی ۲۹۷ بوده که در مقایسه با طرح قبلی حدود ۲۶٪ بهبود یافته است. این مدار تعداد کل ۸۲ ورودی ثابت دارد که در مقایسه با کار قبلی به میزان ۹٪ بهبود یافته است. همچنین ضرب‌کننده پیشنهادی ۸۲ خروجی بی‌اهمیت تولید کرده که در مقایسه با مدار ضرب‌کننده موجود در [۲۶] به اندازه ۹٪ بهبود یافته است. نتایج نهایی این تحلیل در جدول ۳ گزارش شده که نشان می‌دهد طرح پیشنهادی ارائه‌شده در این مقاله در هر سه پارامتر هزینه کوانتومی، ورودی‌های ثابت و خروجی‌های بی‌اهمیت بهتر از طرح ارائه‌شده موجود در [۲۶] است. ویژگی دیگر طرح ضرب‌کننده ارائه‌شده در این مقاله، استفاده از یک تمام جمع‌کننده برگشت‌پذیر با قابلیت حفظ توازن است که نسبت به کارهای مشابه موجود از نظر هزینه کوانتومی بهبود یافته است.

٦- نتیجه‌گیری و کارهای آینده

عملیات ضرب یک واحد پایه و مهم در پردازش‌گرهای کامپیوتری است. در این مقاله ابتدا یک دروازه برگشت‌پذیر پیشنهاد شده و سپس یک بلوک برگشت‌پذیر ارائه گردیده است. بعد از آن، یک مدار ضرب‌کننده ۵×۵ برگشت‌پذیر موازی علامت‌دار با قابلیت حفظ توازن پیشنهاد داده شده است. این مدار متشکل از دو بخش کلی PPG و MOA است. برای هر کدام از این بخش‌ها، ساختارهای بهبودیافته‌ای بر پایه دروازه‌های موجود و دروازه جدید پیشنهادی و بلوک جدید پیشنهادی ارائه گردید. دروازه ۴×۴ پیشنهادی در ساختار مدار PPG و بلوک ۵×۵ پیشنهادی در ساختار مدار MOA مورد استفاده قرار گرفت.

مدار ضرب‌کننده پیشنهادی بر پایه الگوریتم Baugh-Wooley و تکنیک درخت والاس عمل می‌کند. نتایج ارزیابی نشان داد که مدار

جدول ۱: مقایسه مشخصات طرح برگشت‌پذیر مدار PPG پیشنهادی با طرح موجود.

طرح‌ها	تعداد ورودی‌های ثابت	تعداد خروجی بی‌اهمیت	هزینه کوانتومی
طرح پیشنهادی	۴۱	۲۶	۱۴۱
طرح موجود در [۲۶]	۴۹	۳۴	۱۴۹
درصد بهبود	٪۶	٪۱۳	٪۷

جدول ۲: مقایسه مشخصات مدار برگشت‌پذیر MOA پیشنهادی با طرح موجود.

طرح‌ها	تعداد ورودی‌های ثابت	تعداد خروجی بی‌اهمیت	هزینه کوانتومی
طرح پیشنهادی	۴۱	۵۶	۱۵۶
طرح موجود در [۲۶]	۴۱	۵۶	۲۵۲
درصد بهبود	–	–	٪۴۰

جدول ۳: نتایج ارزیابی طرح مدار ضرب‌کننده ۵×۵ پیشنهادی در مقایسه با طرح موجود.

طرح‌ها	تعداد ورودی‌های ثابت	تعداد خروجی بی‌اهمیت	هزینه کوانتومی
طرح پیشنهادی	۸۲	۸۲	۲۹۷
طرح موجود در [۲۶]	۹۰	۹۰	۴۰۱
درصد بهبود	٪۹	٪۹	٪۲۶

ضرب‌کننده ارائه‌شده در این مقاله بهبود مناسبی در پارامترهای هزینه کوانتومی، خروجی‌های بی‌اهمیت و ورودی‌های ثابت در مقایسه با طرح‌های موجود داشته است. مدار پیشنهادی ارائه‌شده می‌تواند سهم مهمی در طراحی واحدهای محاسباتی پیچیده همچون ALU داشته باشد. در تحقیقات آتی تلاش خواهیم کرد مدارهای ضرب‌کننده برگشت‌پذیر سریع علامت‌دار و بدون علامت را با قابلیت حفظ توازن بر پایه الگوریتم‌های توسعه‌یافته ارائه دهیم. همچنین طراحی ضرب‌کننده‌های سری و ممیز شناور برگشت‌پذیر با قابلیت حفظ توازن از دیگر تحقیقات ما در کارهای آینده خواهند بود.

مراجع

[1] G. E. Moore, "Cramming more components onto integrated circuits," *J. of Electronics*, vol. 38, no. 8, pp. 114-117, Apr. 1965.

[2] R. Landauer, "Irreversibility and heat generation in the computing process," *IBM J. Res. Develop*, vol. 5, no. 3, pp. 183-191, Jul. 1961.

[3] C. Bennett, "Logical reversibility of computation," *IBM J. Res. Develop*, vol. 17, no. 6, pp. 525-532, Nov. 1973.

[4] M. Haghparast and K. Navi, "A novel reversible BCD adder for nanotechnology based systems," *Am. J. Applied Science*, vol. 5, no. 3, pp. 282-288, Dec. 2008.

[5] M. Haghparast and K. Navi, "Novel reversible fault tolerant error coding and detection circuits," *Int. J. Quantum Inf*, vol. 9, no. 2, pp. 723-738, Nov. 2011.

[6] A. Peres, "Reversible logic and quantum computers," *Physical Review A*, vol. 32, no. 2, pp. 3266-3276, Dec. 1985.

[7] A. K. Biswas, M. M. Hassan, A. R. Chowdhury, and H. M. H. Babu, "Efficient approaches for designing reversible binary coded decimal adders," *Microelectronics J.*, vol. 39, no. 12, pp. 1693-1703, Dec. 2008.

[8] M. A. Nielsen and I. L. Chuang, *Quantum Computation and Quantum Information*, Cambridge Univ. Press, 2000.

[9] M. Moisin and N. Ranganathan, "Design of a reversible ALU based on a novel programmable reversible logic gate structures," in *Proc. IEEE Computer Society Anuual Symp. on VLSI*, pp. 126-131, Chennai, India, 4-6 Jul. 2011.

[10] V. Vedral, A. Barenco, and A. Ekert, "Quantum networks for elementary arithmetic operations," *Phys. Rev*, vol. 54, no. 1, pp. 147-153, Jul. 1996.

Archive of SID

www.SID.ir

[11] E. Knill, R. Laflamme, and G. J. Milburn, "A scheme for efficient quantum computation with linear optics," *Nature Research Journal*, vol. 406, no. 6, pp. 46-52, Jan. 2001.
[12] R. C. Merkle and K. E. Drexler, "Helical logic," *Nanotechnology*, vol. 7, no. 2, pp. 325-339, Mar. 1996.
[13] B. Parhami, "Fault tolerant reversible circuits," in *Proc., 40th Asilomar Conf. Signals, and Computers,* pp. 1726-1729, Pacific Grove, CA, US, 29 Oct.-1 Nov. 2006.
[14] M. Mohammadi, M. Haghparast, M. Eshghi, and K. Navi, "Minimization and optimization of reversible bcd full adder subtractor using genetic algorithm and don't care concept," *J. Quantum Inf. Proc.*, vol. 7, no. 5, pp. 969-989, Feb. 2009.
[15] M. Haghparast, M. Mohammadi, K. Navi, and M. Eshghi, "Optimized reversible multiplier circuit," *J. Circuits, Systems and Computers*, vol. 18, no. 2, pp. 311-323, Apr. 2009.
[16] M. S. Islam, M. M. Rahman, Z. Begum, and M. Z. Hafiz, "Low cost quantum realization of reversible multiplier circuit," *Inf Tech J.*, vol. 8, no. 2, pp. 208-213, Nov. 2009.
[17] R. Feynman, "Quantum mechanical computers," *Optics News*, vol. 11, no. 2, pp. 11-20, Jun. 1985.
[18] T. Toffoli, "Reversible computing automata, languages and programming," *7th Colloquium of Lecture Notes in Computer Science*, vol. 85, no. 3, pp. 632-644, Mar. 1980.
[19] M. Haghparast and K. Navi, "A novel fault tolerant reversible gate for nanotechnology based systems," *Am. J. World Appl. Sci.*, vol. 5, no. 5, pp. 519-523, May 2008.
[20] M. D. S. Islam and Z. Begum, "Reversible logic synthesis of fault tolerant carry skip BCD adder," *J. Bangladesh Acad. Sci.*, vol. 32, no. 2, pp. 193-200, Aug. 2008.
[21] E. Fredkin and T. Toffoli, "Conservative logic," *Int'l J. Theoretical Physics*, vol. 21, no. 3, pp. 219-253, Apr. 1982.
[22] M. S. Islam and Z. Begum, "Reversible logic synthesis of fault tolerant carry skip BCD adder," *Bangladesh Acad. Sci. J.*, vol. 32, no. 2, pp. 193-200, Feb. 2008.
[23] M. S. Islam, M. M. Rahman, Z. Begum, and M. Z. Hafiz, "Fault tolerant reversible logic synthesis: carry look ahead and carry-skip adders," in *Proc. IEEE Int. Conf. Adv. Comput. Tools Eng. Appl.*, pp. 396-401, Zouk Mosbeh, Lebanon, 15-17 Jul. 2009.
[24] N. Syal and H. P. Sinha, "Design of fault tolerant reversible multiplier," *International J. of Soft Computing and Engineering*, vol. 1, no. 6, pp. 120-124, Jan. 2012.
[25] S. Babazadeh and M. Haghparast, "Design of a nanometric fault tolerant reversible multiplier circuit," *J. of Basic and Applied Scientific Research*, vol. 2, no. 2, pp. 1355-1361, Feb. 2012.
[26] Qi, F. Chen, K. Zuo, L. Guo, and Y. L. M. Hu, "Design of fast fault tolerant reversible signed multiplier," *International J. of Physical Sciences*, vol. 7, no. 17, pp. 2506-2514, Jan. 2012.

مجید حق‌پرست تحصیلات خود را در مقطع دکترای تخصصی رشته کامپیوتر گرایش سخت‌افزار در سال ۱۳۸۸ به پایان رساند. ایشان از سال ۱۳۸۶ عضو هیأت علمی دانشگاه آزاد اسلامی واحد یادگار امام خمینی (ره) شهر ری است و از فروردین ۱۳۹۶ در فرصت مطالعاتی دانشگاه یوهانس کپلر کشور اتریش به سر می‌برند. زمینه‌های تحقیقاتی فعلی ایشان عبارتند از محاسبات کوانتومی، سنتز مدارهای کوانتومی و طراحی مدارهای برگشت‌پذیر.

علی بوالحسنی تحصیلات خود را در مقطع کارشناسی کامپیوتر در سال ۱۳۸۲ و در مقطع کارشناسی ارشد کامپیوتر در سال ۱۳۹۴ در دانشگاه آزاد اسلامی واحد اراک به پایان رساند. ایشان از سال ۱۳۹۵ در مقطع دکترای تخصصی رشته کامپیوتر گرایش معماری سیستم‌ها در دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران مشغول به تحصیل می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از محاسبات کوانتومی، منطق برگشت‌پذیر، حساب کامپیوتری و طراحی مدارهای کم‌توان در فناوری نانو.

Archive of SID

www.SID.ir