نوسان‌ساز کنترل‌شونده با ولتاژ به همراه شرایط راه‌اندازی قوی و نویز فاز کم برای کاربردهای باند K

مصطفی کاتبی، عباس نصری، سیروس طوفان و حبیب‌الله زلفخانی

چکیده: در این مقاله طراحی و شبیه‌سازی یک نوسان‌ساز کنترل‌شونده با ولتاژ برای کاربردهای باند K ارائه شده است. در طراحی این مدار از ترکیب ساختارهای زوج ضربدری و کولپیتس برای بهره‌مندی از مزایای آنها به صورت هم‌زمان استفاده شده است. با به کارگیری ترکیب این دو ساختار در مدار پیشنهادی، شرایط راه‌اندازی و نویز فاز آن بهبود یافته است. همچنین با قراردادن دو سلف در میان ساختار زوج ضربدری و ساختار کولپیتس، ترارسانایی مؤثر نوسان‌ساز کنترل‌شونده با ولتاژ افزایش یافته و شرایط راه‌اندازی بهتر شده است. این مدار با استفاده از بانک خازنی سوئیچ‌شونده، گستره فرکانسی زیادی را پوشش می‌دهد. نتایج شبیه‌سازی نوسان‌ساز پیشنهادی، بیانگر این است که مدار برای فرکانس ۲۴٫۲۵ گیگاهرتز در آفست ۱ مگاهرتز، دارای نویز فاز ۱۲۰ dBc/Hz- و ضریب شایستگی ۱۹۵٫۶۷ dBc/Hz- است. گستره فرکانسی پوشش داده شده توسط این نوسان‌ساز کنترل‌شونده با ولتاژ ۱٫۴ گیگاهرتز و گستره تنظیم آن در حدود ۵٫۷٪ حول فرکانس مرکزی است. مدار پیشنهادی دارای ابعاد جانمایی ۰٫۳۳۵ μm^2 در فناوری TSMC ۰٫۱۸ µm CMOS با منبع تغذیه ۱٫۵ V و توان مصرفی ۱۵٫۹۲ mW است.

***کلیدواژه:* نوسان‌ساز کنترل‌شونده با ولتاژ، زوج ضربدری، کولپیتس، نویز فاز.**

۱- مقدمه

نوسان‌سازهای کنترل‌شونده با ولتاژ یکی از مهم‌ترین بلوک‌ها برای تولید سیگنال متناوب در سیستم‌های فرکانس رادیویی می‌باشند. مهم‌ترین پارامترهای یک نوسان‌ساز کنترل‌شونده با ولتاژ نویز فاز، توان مصرفی، شرایط راه‌اندازی و گستره فرکانسی هستند.

در طراحی نوسان‌سازهای کنترل‌شونده با ولتاژ از دو ساختار حلقوی یا مدارهای تشدید سلفی- خازنی استفاده می‌شود [۱] تا [۳]. هر چند طراحی و پیاده‌سازی ساختار حلقوی در فرکانس‌های پایین راحت‌تر می‌باشد، اما طراحی این ساختار با نویز فاز مناسب برای فرکانس‌های بالا تقریباً غیر ممکن است [۲]. همچنین کارایی این ساختار از نظر نویز نسبت به انواع سلفی- خازنی در درجه پایین‌تری قرار دارد [۱] تا [۳]. ساختارهای سلفی- خازنی انواع گوناگونی دارند. ساختار زوج ضربدری به علت مزیت‌هایی از قبیل شرایط راه‌اندازی ساده و نویز فاز خوب، بیشتر استفاده می‌شود [۲].

این مقاله در تاریخ ۳ اردیبهشت ماه ۱۳۹۷ دریافت و در تاریخ ۱۸ مهر ماه ۱۳۹۷ بازنگری شد.

مصطفی کاتبی (نویسنده مسئول)، دانشکده مهندسی برق، دانشگاه زنجان، زنجان، ایران، (email: mostafa.katebi@znu.ac.ir).

عباس نصری، دانشکده مهندسی برق، دانشگاه زنجان، زنجان، ایران، (email: abbas.nasri@znu.ac.ir).

سیروس طوفان، دانشکده مهندسی برق، دانشگاه زنجان، زنجان، ایران، (email: s.toofan@znu.ac.ir).

حبیب‌الله زلفخانی، دانشکده مهندسی برق، دانشگاه زنجان، زنجان، ایران، (email: h.zolfkhani@znu.ac.ir).

همچنین یکی دیگر از این ساختارها، نوسان‌ساز کولپیتس است که به دلیل توان مصرفی کم مورد استفاده قرار می‌گیرد [۴] تا [۶].

در طراحی نوسان‌ساز کنترل‌شونده با ولتاژ، ساختارهای مختلفی در باند K (۱۸ گیگاهرتز الی ۲۶٫۵ گیگاهرتز) ارائه شده است [۷] تا [۱۶]. در [۷] از یک نوسان‌ساز به صورت قفل‌شده با تزریق[1] ولتاژ، از طریق یک بالن[2] استفاده شده است. این مدار گستره فرکانسی بالایی در حدود ۲ گیگاهرتز دارد ولی نویز فاز خوبی ندارد. در [۱۱] از زوج ضربدری NMOS همراه با یک ترانزیستور PMOS به عنوان منبع جریان استفاده شده است. این مدار توان مصرفی کمی دارد اما مشکل اصلی این مدار نویز فاز نامناسب آن است. در [۱۲] از زوج ضربدری NMOS برای آسان‌کردن شرایط راه‌اندازی و بهبود نویز فاز و برای تغییر فرکانس از خازن‌های متغیر ترانزیستور PMOS استفاده شده است. ترانزیستورهای PMOS به دلیل داشتن نویز فلیکر کمتر باعث کاهش تأثیر نویز در خروجی می‌شوند و این عمل سبب بهبود نویز فاز مدار می‌گردد اما گستره فرکانسی در مدار ارائه‌شده در [۱۲] بسیار کم است.

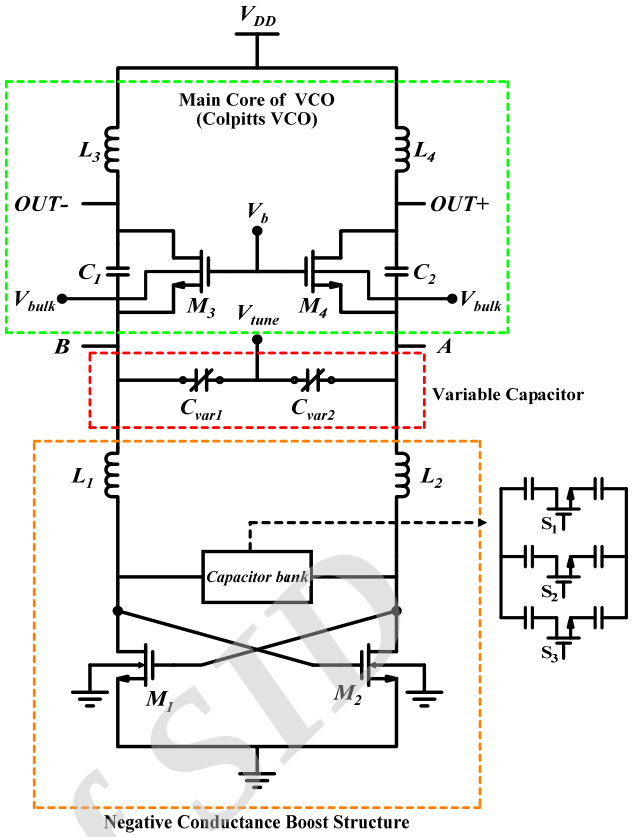
در این مقاله ساختار جدیدی از نوسان‌سازهای کنترل‌شونده با ولتاژ سلفی- خازنی به صورت ترکیبی از زوج ضربدری و کولپیتس برای بهره‌مندی از مزایای دو ساختار معرفی می‌شود. طراحی ساختار کولپیتس را می‌توان با توان پایین انجام داد اما مشکل این ساختار شرایط راه‌اندازی سخت آن می‌باشد. در ساختار زوج ضربدری نویز فاز و شرایط راه‌اندازی نسبت به ساختارهای دیگر بهتر است و بنابراین استفاده از ساختار ترکیبی (ساختار زوج ضربدری و کولپیتس) باعث می‌شود که بتوان مدار را با توان پایین، شرایط راه‌اندازی آسان و نویز فاز مناسب طراحی کرد. در واقع با استفاده از این ساختار می‌توان مشکل راه‌اندازی سخت در نوسان‌ساز کولپیتس و توان نسبتاً بالا در نوسان‌ساز زوج ضربدری را جبران نمود. همچنین در این ساختار جهت بهبود شرایط راه‌اندازی از ۲ سلف در بین ساختار زوج ضربدری و ساختار کولپیتس استفاده شده است. نوسان‌ساز کنترل‌شونده با ولتاژ ارائه‌شده برای پوشش رادار باند K (۲۴ الی ۲۴٫۲۵ گیگاهرتز) طراحی شده است. مدار طراحی‌شده از نظر نویز فاز و شرایط راه‌اندازی بهبود پیدا کرده و زمان پایداری نوسانات در آن کاهش یافته که این کار در فناوری TSMC ۰٫۱۸ µm CMOS تحلیل و شبیه‌سازی شده است.

ساختار مقاله در ادامه به شرح است: در بخش دوم قسمت‌های مختلف مدار پیشنهادی و نحوه طراحی آنها مورد بررسی قرار گرفته است. در بخش سوم نتایج شبیه‌سازی ارائه و با کارهای دیگران مقایسه می‌شود و نهایتاً بخش چهارم به نتیجه‌گیری از مقاله می‌پردازد.

1. Injection-Locked
2. Ballun

Archive of SID

www.SID.ir



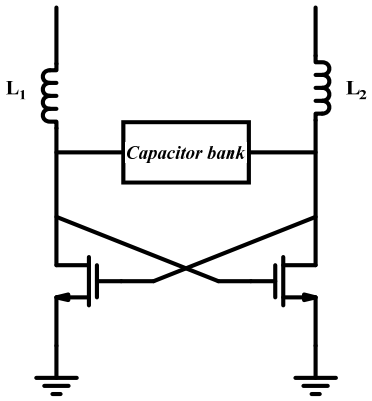
شکل ۱: نوسان‌ساز کنترل‌شونده با ولتاژ پیشنهادی.

۲- مدار پیشنهادی

شکل ۱ نمای کلی از نوسان‌ساز کنترل‌شونده با ولتاژ پیشنهادی را نشان می‌دهد. در این مقاله از ساختار زوج ضربدری و کولپیتس برای بهره‌وری از مزایای دو ساختار به صورت هم‌زمان استفاده شده است. تمام ترانزیستورهای مورد استفاده این مدار در ناحیه اشباع قرار دارند. همان طور که در شکل ۱ مشخص است، در قسمت بالای این مدار از ساختار کولپیتس و در قسمت پایین این مدار از ساختار زوج ضربدری استفاده شده است. برای تغییر فرکانس از خازن‌های متغیر در بین ساختار زوج ضربدری و ساختار کولپیتس استفاده شده است. همان طور که در ادامه توضیح داده خواهد شد برای بهترشدن شرایط راه‌اندازی دو روش به کار گرفته شده است. روش نخست این که دو سلف در میان ساختار زوج ضربدری و ساختار کولپیتس قرار داده شده است و روش بعد اعمال ولتاژ به بدنه ترانزیستورها در ساختار کولپیتس می‌باشد. همچنین برای افزایش گستره فرکانسی از یک بانک خازنی ساده در قسمت بالای زوج ضربدری استفاده شده است.

در مدار پیشنهادی ولتاژ آستانه ترانزیستورهای $M_{۳-۴}$ و $M_{۱-۲}$ برابر نیست. زیرا همان طور که در ادامه توضیح داده خواهد شد ولتاژ آستانه ترانزیستورهای $M_{۳-۴}$ برای بهترشدن شرایط راه‌اندازی با اعمال یک ولتاژ به بدنه این ترانزیستورها کاهش یافته است. همچنین باید توجه داشت با وجود متفاوت‌بودن ولتاژ آستانه ترانزیستورها، جریان درین ترانزیستورهای $M_{۳-۴}$ و $M_{۱-۲}$ با هم برابرند. زیرا طبق (۱) برای ایجاد جریان برابر باید مقدار $V_{GS}-V_{th}$ در ترانزیستورها یکسان باشند

$$I_D = \frac{۱}{۲}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{th})^۲ \qquad (۱)$$



شکل ۲: ساختار افزاینده ترارسانایی.

که در آن I_D، μ_n، C_{ox}، W، L، V_{GS} و V_{th} به ترتیب بیانگر جریان درین ترانزیستور، ضریب تحرک‌پذیری الکترون‌ها، خازن اکسید، عرض ترانزیستور، طول ترانزیستور، ولتاژ گیت- سورس و ولتاژ آستانه ترانزیستور می‌باشند. بنابراین در طراحی مقدار ولتاژ گیت- سورس ترانزیستورها (با توجه به ولتاژ آستانه) طوری در نظر گرفته شده که مقدار $V_{GS}-V_{th}$ آنها برابر باشند.

۲-۱ اندازه ترانزیستورها

اولین قدم برای طراحی نوسان‌ساز کنترل‌شونده با ولتاژ، انتخاب مناسب اندازه ترانزیستورها است. برای این کار اندازه ترانزیستورها با توجه به جریان عبوری از آنها تعیین می‌شود. مقدار جریان باید طوری باشد که ترارسانایی مناسب برای مقابله با مقاومت تلفاتی را ایجاد کند. برای داشتن شرایط راه‌اندازی بایستی رابطه زیر برقرار باشد

$$G_m \geq G_p \qquad (۲)$$

که در آن G_p و G_m به ترتیب بیانگر ترارسانایی تلفاتی مدار تشدید و ترارسانایی ترانزیستور می‌باشند. G_m ترانزیستور به صورت زیر بیان می‌شود [۱۷]

$$G_m = \sqrt{۲\mu_n C_{ox}\frac{W}{L}I_D} \qquad (۳)$$

که I_D، μ_n، C_{ox}، W و L به ترتیب بیانگر جریان درین ترانزیستور، ضریب تحرک‌پذیری الکترون‌ها، خازن اکسید، عرض ترانزیستور و طول ترانزیستور می‌باشند.

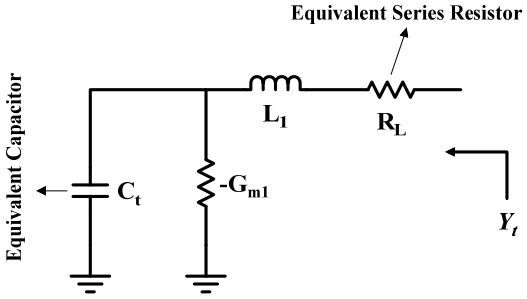
۲-۲ افزایش ترارسانایی و بهبود شرایط راه‌اندازی

فراهم‌کردن ترارسانایی منفی جهت راه‌اندازی نوسان‌سازهای کنترل‌شونده با ولتاژ با استفاده از ولتاژ تغذیه پایین، دشوار است. با توجه به (۲) باید اندازه ترانزیستورها افزایش داده شود که باعث ایجاد خازن‌های پارازیتی بیشتر می‌گردد. همچنین ولتاژ تغذیه پایین باعث کاهش سوئینگ خروجی می‌شود [۱۸] تا [۲۱]. در این کار برای جلوگیری از مشکلات بیان‌شده و بهترکردن شرایط راه‌اندازی، طبق شکل ۲ از دو سلف ($L_{۱-۲}$) بین ساختار زوج ضربدری و کولپیتس استفاده شده است.

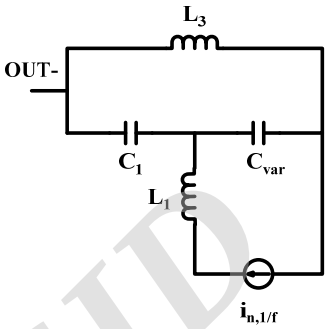
نیم‌مدار معادل ساختار افزاینده ترارسانایی در شکل ۳ نمایش داده شده است. با توجه به شکل ۳ ترارسانایی منفی کل ($-G_{m_{total}}$) به صورت (۴) به دست می‌آید

Archive of SID

www.SID.ir



شکل ۳: نیم‌مدار معادل ساختار افزاینده ترارسانایی.



شکل ۴: نیم‌مدار معادل برای مدل‌کردن نویز در خروجی.

$$-G_{m_{total}} = \mathrm{Re}[Y_t] = \frac{R_L C_t^2 \omega^2 + (R_L G_{m1}^2 - G_{m1})}{L_1^2 C_t^2 \omega^4 + (L_1^2 G_{m1}^2 - 2L_1 C_t + R_L^2 C_t^2)\omega^2 + (1 - R_L G_{m1})^2} \quad (۴)$$

با توجه به این که در (۴) $R_L G_{m1} \ll 1$، $R_L C_t^2 \omega^2 \ll G_{m1}$ و $L_1^2 G_{m1}^2 \ll 2L_1 C_t$ است بنابراین (۴) به صورت زیر ساده می‌شود

$$-G_{m_{total}} = \mathrm{Re}[Y_t] = \frac{-G_{m1}}{(1 - L_1 C_t \omega^2)^2} \quad (۵)$$

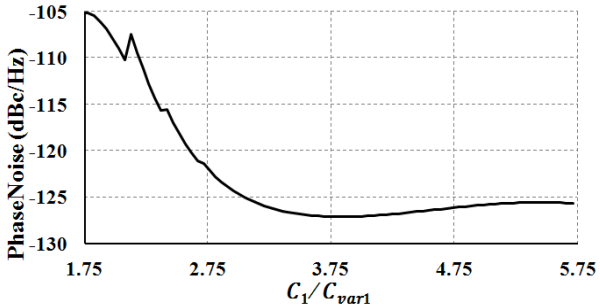
با توجه به این که $L_1 C_t \omega^2 < 1$ است، بنابراین با افزایش مقدار سلف مخرج کوچک‌تر شده و در نتیجه مقدار ترارسانایی مؤثر افزایش می‌یابد و شرایط راه‌اندازی بهتر می‌شود.

روش دیگری که برای افزایش ترارسانایی مؤثر و بهبود شرایط راه‌اندازی در این مقاله استفاده شده اعمال ولتاژ به بدنه ترانزیستورها ($M_{۳-۴}$) و کم‌کردن ولتاژ آستانه است. مقدار ترارسانایی ترانزیستور با توجه به (۶) به دست می‌آید

$$G_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} = \sqrt{2\mu_n C_{ox} \frac{W}{L} \frac{1}{2} \mu_n C_{ox} \frac{\omega}{L} (V_{GS} - V_{th})^2} = \mu_n C_{ox} \frac{W}{L} \{V_{GS} - [V_{t_o} + \gamma(\sqrt{2\phi_f - V_{BS}} - \sqrt{2\phi_f})]\} \quad (۶)$$

که μ_n، C_{ox}، W، L، V_{GS}، V_{t_o}، γ، ϕ_f و V_{BS} به ترتیب ضریب تحرک الکترون‌ها، خازن اکسید، عرض ترانزیستور، طول ترانزیستور، ولتاژ گیت- سورس، ولتاژ آستانه در حالتی که ولتاژ بدنه صفر باشد، مقدار ولتاژ آستانه بدنه ترانزیستور، مقدار پتانسیل سطحی در ناحیه وارونگی شدید و ولتاژ بدنه- سورس می‌باشند.

همان طور که از (۶) مشخص است با اعمال ولتاژ به بدنه ترانزیستور، ترارسانایی افزایش یافته و شرایط نوسان بهبود می‌یابد. با این روش می‌توان با ترانزیستور کوچک‌تر و فضای اشغالی کمتر، شرایط راه‌اندازی



شکل ۵: شبیه‌سازی نویز فاز برای نسبت‌های مختلف خازن‌های C_1/C_{var1}.

نوسان‌ساز کنترل‌شونده با ولتاژ را فراهم نمود. در نوسان‌ساز کنترل‌شونده با ولتاژ پیشنهادی، ولتاژی به اندازه ۰٫۴ ولت ($V_\gamma < 0.4$) که V_γ ولتاژ آستانه دیود بدنه- سورس و بدنه- درین می‌باشد) به بدنه ترانزیستورها اعمال شده تا ولتاژ آستانه کمتر شود. همان طور که در شکل ۱ مشخص است به بدنه ترانزیستورهای $M_{۳-۴}$ ولتاژ اعمال شده است. این نکته حایز اهمیت است که برای انجام عمل ایزولاسیون بدنه، از ترانزیستورهای Deep n-Well استفاده گردیده است.

۲-۳ نویز فاز

نویز فاز یکی از مهم‌ترین پارامترها و معیارهای سنجش در نوسان‌سازهای کنترل‌شونده با ولتاژ است. نویز فلیکر ترانزیستورها و تغییرات سوئینگ ولتاژ خروجی تأثیر زیادی در نویز فاز دارد [۲۲]. نویز فاز در نوسان‌سازها توسط رابطه زیر تعریف می‌شود [۴]

$$L(\Delta f) = \frac{FkT}{2P_{avs}}[1 + \frac{f_c}{\Delta f} + (\frac{f_o}{2\Delta f Q_L})^2(1 + \frac{f_c}{\Delta f})] \quad (۷)$$

در رابطه بالا Q_L، Δf، f_o، f_c، T، P_{avs}، F و K به‌ترتیب معرف ضریب کیفیت سلف، آفست فرکانسی، فرکانس مرکزی، فرکانس گوشه عناصر فعال مدار، دما، توان متوسط عبوری از تشدیدکننده، ضریب نویز عناصر و ثابت بولتزمن هستند.

برای نشان‌دادن چگونگی تأثیر پارامترها بر روی نویز فاز، از یک مدل ساده به صورت شکل ۴ استفاده شده است [۲۳]. در این مدل ترانزیستورهای زوج ضربدری نقش منبع جریان دم را دارند و نویز فلیکر آنها بر روی خروجی اثر می‌گذارد و باعث خرابی نویز فاز می‌شود.

با توجه به شکل ۴ مشخص است نویزی را که بر روی خروجی تأثیر می‌گذارد می‌توان با کاهش نسبت خازن‌های C_1/C_{var1} بهبود داد. نویز فاز خروجی برای نسبت‌های مختلف خازن‌های C_1/C_{var1} شبیه‌سازی و در شکل ۵ نمایش داده شده است.

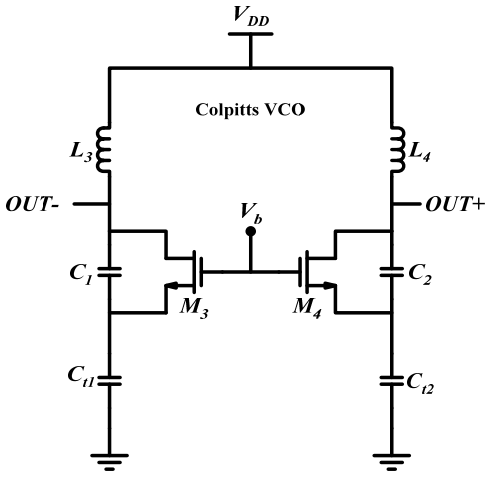
همان طور که در شکل ۵ مشخص است با افزایش نسبت C_1/C_{var1} ابتدا نویز فاز بهبود می‌یابد و برای $C_1/C_{var1} \geq 2.75$ مقدار نویز فاز چندان تغییر نمی‌کند. با توجه به این که مقدار خازن‌های C_1 و C_{var} در تنظیم فرکانس خروجی تأثیر دارند، در این مقاله برای داشتن نویز فاز بهینه در فرکانس مورد نظر نسبت $C_1/C_{var1} = 2.6$ در نظر گرفته شده است (دلیل انتخاب نسبت ۲٫۶، یک مصالحه بین نویز فاز، فرکانس خروجی و اندازه خازن می‌باشد).

۲-۴ تحلیل شرایط و فرکانس نوسان

در نوسان‌ساز کنترل‌شونده با ولتاژ معرفی‌شده در شکل ۱، قسمت اصلی مدار را نوسان‌ساز کولپیتس، طبق شکل ۶ تشکیل می‌دهد. شرط راه‌اندازی در نوسان‌ساز کولپیتس از (۸) پیروی می‌کند [۲۲]

Archive of SID

www.SID.ir



شکل ۶: نوسان‌ساز کولپیتس.

$$g_{m۳}R_{P۳} \geq \frac{C_{t1}}{C_۱}+\frac{C_۱}{C_{t1}}+۲ \qquad (۸)$$

که در آن $g_{m۳}$ ترارسانایی ترانزیستور $M_۳$ و $R_{P۳}$ مقاومت معادل موازی با سلف $L_۳$ می‌باشند. همچنین $C_{t۱}$ و $C_۱$ خازن‌های تبدیل امپدانس و ایجادکننده فیدبک مثبت در نوسان‌ساز هستند. در (۸) $C_{t۱}$ و $C_{t۲}$، خازن‌های معادل دیده‌شده از گره‌های A و B (در شکل ۱) می‌باشند. با توجه به مطالب بیان‌شده برای طراحی نوسان‌ساز کنترل‌شونده با ولتاژ، باید خازن‌های پارازیتی در نظر گرفته شوند. فرکانس نوسان مدار معرفی‌شده نیز طبق (۹) به دست می‌آید [۲۲]

$$f=\frac{۱}{۲\pi\sqrt{L_{total}C_{total}}} \qquad (۹)$$

در رابطه مذکور L_{total} و C_{total} به ترتیب سلف و خازن معادل در گره خروجی مدار نوسان‌ساز نشان داده شده در شکل ۶ می‌باشند.

برای محاسبه فرکانس نوسان در نوسان‌ساز کنترل‌شونده با ولتاژ، نیاز به محاسبه خازن دیده‌شده از گره خروجی است. به همین منظور جهت محاسبه دقیق باید خازن‌های پارازیتی المان‌های مدار در نظر گرفته شوند.

سلف‌ها تأثیر زیادی بر فرکانس نوسان دارند زیرا علاوه بر این که خودشان تأثیر مستقیم بر فرکانس نوسان دارند، خازن‌های پارازیتی تولیدی آنها نیز بر فرکانس نوسان تأثیر می‌گذارد.

در مدار طراحی‌شده از سلف‌های مارپیچ استفاده شده که مدار معادل آن در شکل ۷ نشان داده شده است [۲۲]. در این ساختار مقدار سلف از (۱۰) به دست می‌آید [۲۲]

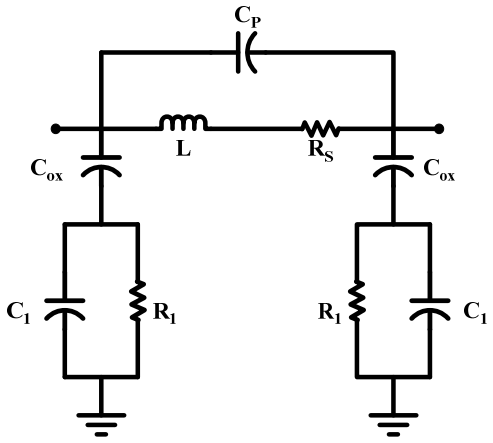
$$L \approx \frac{۳۷/۵\mu_. N^۲a^۲}{۱۱D-۱۴a} \qquad (۱۰)$$

در رابطه فوق، $\mu_.$ میزان تحرک‌پذیری در خلأ، N تعداد دور، a میزان فاصله مرکز سلف تا وسط سیم‌پیچ و D قطر سیم‌پیچ است. مقادیر این خازن‌های پارازیتی از (۱۱) تا (۱۳) به دست می‌آیند [۲۲]

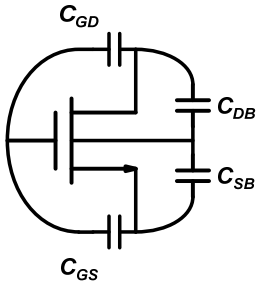
$$C_{ox}=WL\frac{\varepsilon_{ox}}{t_{ox}} \qquad (۱۱)$$

$$C_p=NW^۲L\frac{\varepsilon_{ox}}{t_{ox}} \qquad (۱۲)$$

$$C_۱=\frac{۲}{WLC_{sub}} \qquad (۱۳)$$



شکل ۷: مدل واقعی سلف [۲۲].



شکل ۸: خازن‌های ترانزیستور.

که W، L، N، C_{sub}، ε_{ox} و t_{ox} به ترتیب بیانگر عرض فلز[1]، کل طول سیم‌پیچ، تعداد دور، خازن بدنه، ضریب گذردهی الکتریکی سیلیکون دی‌اکسید و ضخامت اکسید می‌باشند. همچنین مقدار مقاومت‌ها نیز از (۱۴) و (۱۵) محاسبه می‌شوند [۲۲]

$$R_s=\frac{L}{W\sigma\delta(۱-e^{-\frac{t}{\delta}})} \qquad (۱۴)$$

$$R_۱=\frac{WLC_{sub}}{۲} \qquad (۱۵)$$

که در آن W، L، σ، C_{sub}، t و δ به ترتیب بیانگر عرض فلز، کل طول سیم‌پیچ، ضریب هدایت فلز، خازن بدنه، ضخامت اکسید و اثر پوستی[2] می‌باشند.

ترانزیستورهای مورد استفاده در مدار به دلیل تولید خازن‌های پارازیتی در تعیین فرکانس نوسان نقش دارند. نمای کلی از خازن‌های پارازیتی ترانزیستور در شکل ۸ نشان داده شده است. اغلب در طراحی‌ها خازن‌های گیت- درین و گیت- سورس در نظر گرفته می‌شوند و از دیگر خازن‌ها صرف نظر می‌گردد.

از آنجا که ترانزیستورهای مورد استفاده در ناحیه اشباع بایاس شده‌اند، لذا با استفاده از (۱۶) و (۱۷) مقدار خازن‌های گیت- سورس و گیت- درین به دست می‌آیند [۲۲]

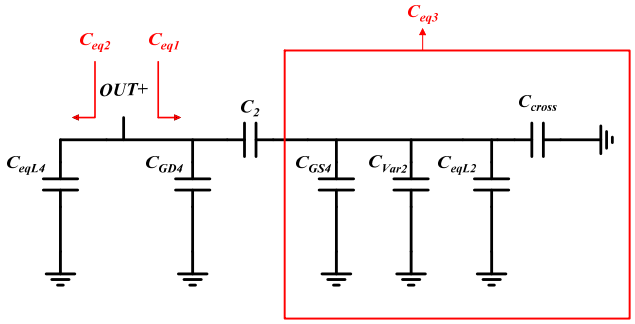
$$C_{GS}=[C_{GSO}+\frac{۲}{۳}C_{ox}L]W \qquad (۱۶)$$

$$C_{GD}=C_{GDO}W \qquad (۱۷)$$

1. Metal
2. Skin Depth

Archive of SID

www.SID.ir



شکل ۹: نیم‌مدار معادل خازنی نوسانگر پیشنهادی.

جدول ۱: مقادیر طراحی‌شده برای نوسان‌ساز پیشنهادی.

پارامترهای مدار	مقادیر
$(\frac{W}{L})_{۱-۲}$	۵۰ µm / ۰٫۱۸ µm
$(\frac{W}{L})_{۳-۴}$	۵۰ µm / ۰٫۱۸ µm
C_{Var}	۹۳ ~ ۱۲۲ fF
$C_{۱-۲}$	۲۸۲ fF
$L_{۱-۲}$	۳۱۰ pH
$L_{۳-۴}$	۱۲۷ pH
V_{DD}	۱٫۵ V
V_b	۱٫۸ V
V_{bulk}	۰٫۴ V

که در آن C_{GS}، C_{GD}، C_{GSO}، C_{GDO} و C_{ox} به ترتیب بیانگر خازن‌های گیت- سورس، گیت- درین، خازن هم‌پوشانی گیت- سورس، خازن هم‌پوشانی گیت- درین و خازن اکسید می‌باشند. همچنین W و L نیز به ترتیب معرف عرض و طول ترانزیستور هستند.

زوج ضربدری قرارگرفته در طبقه پایین نیز به سبب تولید خازن‌های پارازیتی، بر فرکانس نوسان و شرایط نوسان تأثیرگذار است. خازن معادل دیده‌شده از زوج ضربدری از (۱۸) به دست می‌آید [۲۲]

$$C_{cross} = C_{GS} + ۴C_{GD} \quad (۱۸)$$

که خازن‌های C_{GS} و C_{GD} به ترتیب نشان‌دهنده خازن گیت- سورس و خازن گیت- درین ترانزیستورهای زوج ضربدری می‌باشند.

با در نظر گرفتن خازن‌های پارازیتی، نیم‌مدار معادل خازنی نوسان‌گر پیشنهادی به صورت شکل ۹ به دست می‌آید.

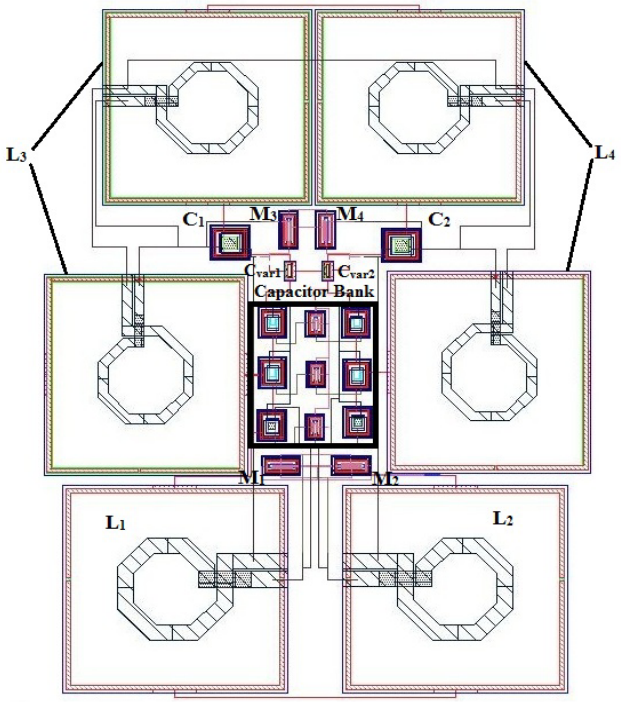
در این شکل C_{cross} خازن معادل دیده‌شده از زوج ضربدری و خازن‌های تنظیم گسسته، $C_{eqL۲}$ و $C_{eqL۴}$ خازن‌های معادل سلف $L_۲$ و $L_۴$، $C_{var۲}$ معرف خازن متغیر، $C_{GS۴}$ و $C_{GD۴}$ به ترتیب خازن‌های گیت- سورس و گیت- درین ترانزیستور $M_۴$ و $C_۲$ خازن ثابت مربوط به نوسان‌ساز کولپیتس می‌باشند. با توجه به شکل ۹، یکایک خازن‌های معادل دیده‌شده از سر خروجی طبق (۱۹) تا (۲۲) به دست می‌آیند

$$C_{eq۳} = C_{cross} + C_{eqL۲} + C_{Var۲} + C_{GS۴} \quad (۱۹)$$

$$C_{eq۱} = \frac{C_۲ C_{eq۳}}{C_۲ + C_{eq۳}} + C_{GD۴} \quad (۲۰)$$

$$C_{eq۲} = C_{eqL۴} \quad (۲۱)$$

$$C_{Total} = C_{eq۱} + C_{eq۲} \quad (۲۲)$$



شکل ۱۰: طرح جانمایی مدار پیشنهادی.

با توجه به مقدار خازن کل به دست آمده از (۲۲)، فرکانس نوسان از (۹) به دست می‌آید. همچنین خازن $C_{۱}$ در (۸) که مربوط به شرط نوسان است برابر با خازن معادل $C_{eq۳}$ می‌باشد. بنابراین با استفاده از روابط بیان‌شده می‌توان شرایط نوسان را مهیا نمود. مقادیر تمامی پارامترهای مداری نوسان‌ساز کنترل‌شونده با ولتاژ پیشنهادی در جدول ۱ آمده است.

۳- نتایج شبیه‌سازی

نوسان‌ساز کنترل‌شونده با ولتاژ پیشنهادی با مقادیر بیان‌شده در جدول ۱ در فناوری TSMC ۰٫۱۸ µm CMOS توسط نرم‌افزار Cadence شبیه‌سازی شد (نتایج شبیه‌سازی استخراج‌شده از جانمایی[1] آمده است). شکل ۱۰ طرح جانمایی[2] مدار پیشنهادی را نشان می‌دهد که ابعاد این طرح برابر با ۰٫۳۳۵ µm^۲ است. نتایج شبیه‌سازی مستخرج از جانمایی نشان می‌دهد که توان مصرفی نوسان‌ساز در فرکانس ۲۴٫۲۵ گیگاهرتز با ولتاژ تغذیه ۱٫۵ ولت برابر ۱۵٫۹۲ میلی‌وات است.

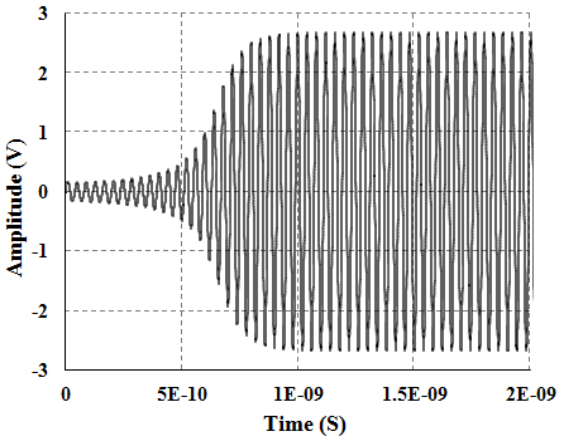
شکل ۱۱ نمودار ولتاژ خروجی مدار در حوزه زمان را نشان می‌دهد. همان طور که مشاهده می‌شود، دامنه قله خروجی دو سر مدار به صورت دیفرانسیلی در حدود ۲٫۵ ولت است. همچنین زمان رسیدن به نوسانات پایدار با ولتاژ تغذیه ۱٫۵ ولت در حدود ۱ نانوثانیه می‌باشد.

شکل ۱۲ تغییرات فرکانس بر حسب ولتاژ تنظیم در حالت‌های مختلف کلیدزنی را نشان می‌دهد. همان طور که مشاهده می‌شود، نوسان‌ساز کنترل‌شونده با ولتاژ گستره فرکانسی از ۲۳٫۶ تا ۲۵ گیگاهرتز را پوشش می‌دهد. هنگامی که همه سوئیچ‌ها خاموش هستند ($S_۱S_۲S_۳ = ۰۰۰$) بازه فرکانسی از ۲۴٫۱۵ تا ۲۴٫۹۱ گیگاهرتز به ازای ولتاژ تنظیم ۰ تا ۱٫۵ ولت است. زمانی که همه سوئیچ‌ها روشن هستند ($S_۱S_۲S_۳ = ۱۱۱$) تغییرات فرکانس بین ۲۳٫۶ تا ۲۴٫۰۵ گیگاهرتز است و بنابراین گستره تنظیم[3] نوسان‌ساز کنترل‌شونده ولتاژ در حدود ۵٫۷٪ حول فرکانس مرکزی است.

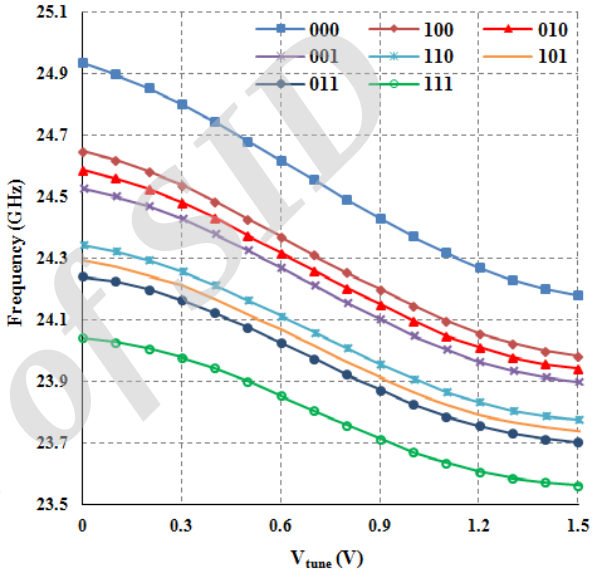
1. Post-Layout Simulation
2. Layout
3. Tuning Range

Archive of SID

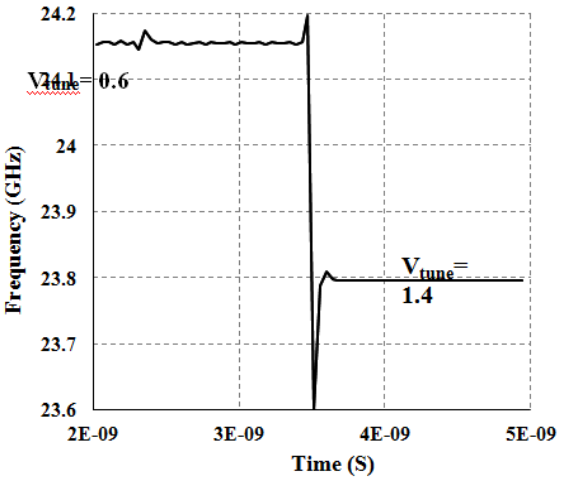
www.SID.ir



شکل ۱۱: خروجی مدار در حوزه زمان.



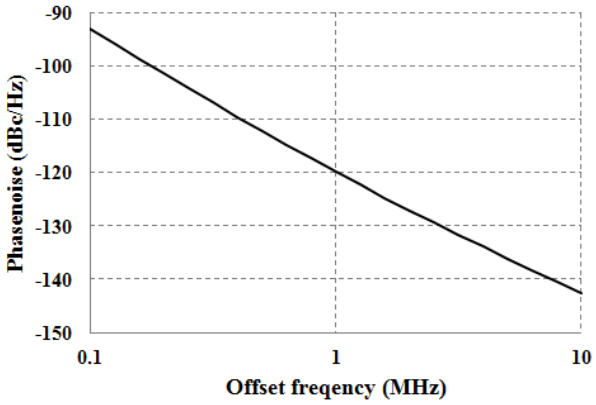
شکل ۱۲: محدوده تغییرات فرکانس نوسان‌ساز.



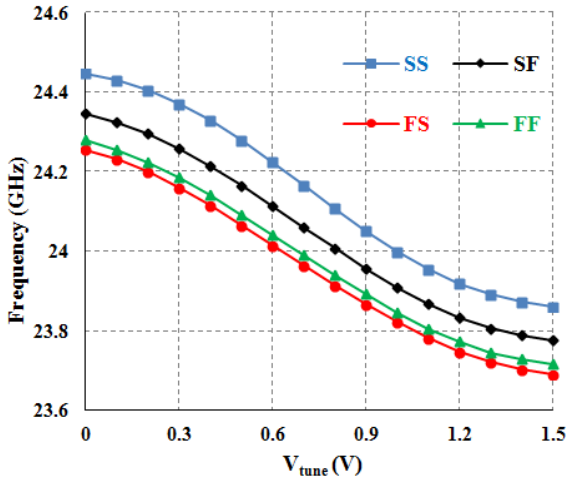
شکل ۱۳: تغییرات فرکانس به ازای ورودی پله.

شکل ۱۳ تغییرات فرکانس خروجی را برای حالت $S_1S_2S_3$ = ۱۱۰ سوئیچ‌ها به ازای ورودی پله برای ولتاژ کنترلی نشان می‌دهد. همان طور که در شکل مشخص است به ازای تغییر ولتاژ تنظیم (V_{tune}) از مقدار ۰٫۶ ولت به مقدار ۱٫۴ ولت، مدت زمان تغییر فرکانس ۰٫۱۷ نانوثانیه است.

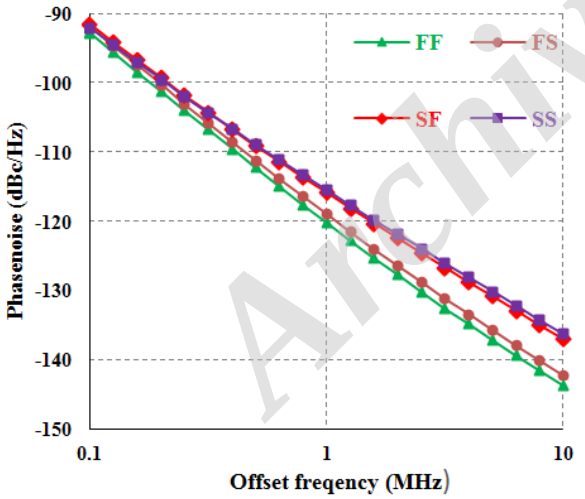
نتایج شبیه‌سازی نویز فاز نوسان‌ساز در فرکانس ۲۴٫۲۵ گیگاهرتز در شکل ۱۴ آمده است. مطابق شکل، نویز فاز نوسان‌ساز در آفست‌های



شکل ۱۴: نویز فاز نوسان‌ساز پیشنهادی در فرکانس ۲۴٫۲۵ گیگاهرتز.



شکل ۱۵: نتایج شبیه‌سازی گستره فرکانسی در گوشه‌های مختلف.



شکل ۱۶: نتایج شبیه‌سازی نویز فاز در گوشه‌های مختلف.

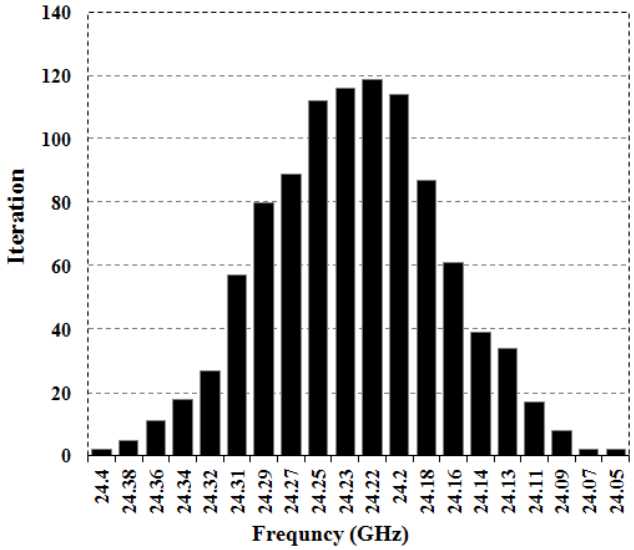
فرکانسی ۱۰۰ کیلوهرتز، ۱ مگاهرتز و ۱۰ مگاهرتز به ترتیب برابر ۹۵- dBc/Hz، ۱۲۰- dBc/Hz و ۱۴۲- dBc/Hz است.

شکل‌های ۱۵ و ۱۶ نتایج شبیه‌سازی تغییرات فرکانس نوسان و نویز فاز را در گوشه‌های[1] مختلف پروسه برای فرکانس مرکزی ۲۴٫۲۵ گیگاهرتز نشان می‌دهند. با توجه به این نمودارها، بیشینه مقدار تغییرات در گوشه‌ها از حالت معمول (TT) برای گستره فرکانسی در حدود ۰٫۶٪ و برای نویز فاز ۴٪ است.

1. Corner

Archive of SID

www.SID.ir



شکل ۱۷: نمودار هیستوگرام فرکانس مرکزی برای ۱۰۰۰ تکرار در شبیه‌سازی مونت‌کارلو.

جدول ۲: مقایسه گوشه‌های مختلف شبیه‌سازی.

Corners	Frequency Range (GHz) ($S_1S_2S_3=۱۱۰$)	Phase noise @ ۱ MHz (dBc/Hz)
TT	۲۳٫۷۵ ~ ۲۴٫۳۵	-۱۲۰
SS	۲۳٫۸۲ ~ ۲۴٫۲	-۱۱۵٫۴۳۷
SF	۲۳٫۷۸ ~ ۲۴٫۳۳	-۱۱۵٫۸۳۲
FS	۲۳٫۶۸ ~ ۲۴٫۲۵	-۱۱۸٫۹۱۹
FF	۲۳٫۷ ~ ۲۴٫۲۸	-۱۲۰٫۱۳۸

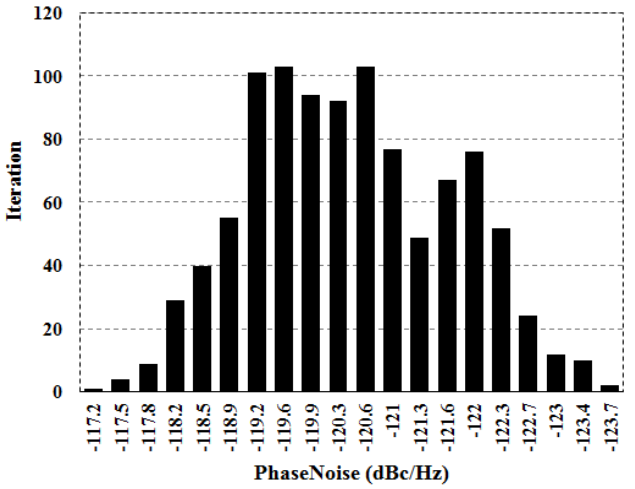
در جدول ۲ نتایج شبیه‌سازی‌های گستره فرکانسی و نویز فاز برای گوشه‌های مختلفی که در اثر تغییرات پروسه به وجود می‌آیند نشان داده شده است. اعداد گزارش‌شده در این جدول بیان‌کننده گستره فرکانسی و نویز فاز در گوشه‌های مختلف و در حالت معمول فناوری (TT) هستند. با مقایسه اعداد این جدول مشاهده می‌شود که تغییرات پروسه تأثیر چندانی بر روی مشخصات نوسان‌ساز کنترل‌شونده با ولتاژ نداشته‌اند و قابل قبول هستند.

شکل ۱۷ نمودار هیستوگرام[1] مربوط به شبیه‌سازی مونت‌کارلو[2] در فرکانس مرکزی را برای ۱۰۰۰ تکرار نمایش می‌دهد. همان طور که در شکل ۱۷ مشاهده می‌شود اکثر پاسخ‌ها در حوالی فرکانس‌های ۲۴٫۲ تا ۲۴٫۲۷ گیگاهرتز می‌باشند. این نمودار نشان‌دهنده تغییرات ۰٫۲ درصدی فرکانس مرکزی (۲۴٫۲۵ گیگاهرتز) در برابر تغییرات پروسه می‌باشد.

شکل ۱۸ نتایج شبیه‌سازی مونت‌کارلوی نویز فاز در فرکانس ۲۴٫۲۵ گیگاهرتز و در آفست ۱ مگاهرتز را برای ۱۰۰۰ تکرار نمایش می‌دهد. با توجه به شکل ۱۸ مشاهده می‌شود که اکثریت پاسخ‌ها در اطراف نویز فاز ۱۲۰- dBc/Hz به دست آمده‌اند. همچنین نویز فاز به دست آمده در بدترین حالت نیز تغییراتی در حدود ۲٫۳ درصد نسبت به نویز فاز اصلی داشته است.

ضریب شایستگی[3] مدار طبق (۲۳) بیان می‌شود [۴]

1. Histogram
2. Monte-Carlo
3. Figure of Merit



شکل ۱۸: نمودار هیستوگرام نویز فاز در آفست ۱ مگاهرتز در فرکانس مرکزی برای ۱۰۰۰ تکرار در شبیه‌سازی مونت‌کارلو.

$$FOM = L(\Delta f) - ۲۰\log\frac{f_0}{\Delta f} + ۱۰\log\frac{P_{DC}}{۱mW} \qquad (۲۳)$$

که در آن $L(\Delta f)$ نویز فاز، Δf آفست فرکانسی، f_0 فرکانس مرکزی نوسان‌ساز و P_{DC} توان مصرفی است. طبق (۲۳) ضریب شایستگی به دست آمده برای نوسان‌ساز پیشنهادی در حدود ۱۹۵٫۶۷ dBc/Hz- است.

در جدول ۳ مقایسه‌ای بین مشخصات اصلی مدار پیشنهادی و برخی کارهای انجام‌شده، صورت گرفته است. با توجه به جدول مشاهده می‌شود با طراحی نوسان‌ساز کنترل‌شونده با ولتاژ به صورت کولپیتس و زوج ضربدری و همچنین با استفاده از تکنیک افزایش ترارسانایی، پارامترهای نویز فاز نسبت به کارهای دیگر بهبود یافته است. همچنین در مدار پیشنهادی گستره تنظیم نسبت به [۱۳] و [۱۶] افزایش و علاوه بر این، توان مصرفی نسبت به [۱۳] تا [۱۵] کاهش پیدا کرده است. از آنجا که معیار سنجش مدارات توسط ضریب شایستگی صورت می‌پذیرد، با توجه به جدول مشاهده می‌شود که ضریب شایستگی مدار پیشنهادی نسبت به کارهای دیگران برتری دارد. اصلی‌ترین مشخصه نوسان‌ساز، نویز فاز است. استفاده ازمدارهای زوج ضربدری و کولپیتس در ساختار نوسان‌ساز کنترل‌شونده با ولتاژ پیشنهادی، باعث بهبود نویز فاز آن شده است. همچنین دلیل دیگر بهبود نویز فاز، در نظر گرفتن نسبت مناسب C_1/C_{var1} است.

٤- نتیجه‌گیری

در این مقاله یک نوسان‌ساز کنترل‌شونده با ولتاژ برای پوشش گستره فرکانسی رادار باند K در فناوری ۰٫۱۸ µm CMOS TSMC طراحی و شبیه‌سازی شده است. با استفاده از ترکیب ساختارهای کولپیتس و زوج ضربدری در طراحی این نوسان‌ساز، نویز فاز و شرایط راه‌اندازی بهبود یافته‌اند. همچنین با قراردادن سلف میان ساختارهای زوج ضربدری و کولپیتس شرایط راه‌اندازی بهتر شده است. علاوه بر این با در نظر گرفتن یک نسبت مناسب برای خازن‌های C_1 و C_{var} نویز فاز بهبود پیدا کرده است. در این مدار برای پوشش گستره فرکانسی بالا از بانک‌های خازنی استفاده شده است. نتایج شبیه‌سازی مدار نشان می‌دهد که در فرکانس ۲۴٫۲۵ گیگاهرتز، توان مصرفی مدار ۱۵٫۹۲ میلی‌وات و نویز فاز در آفست فرکانسی ۱ مگاهرتز در حدود ۱۲۰ dBc/Hz- است. همچنین ضریب شایستگی این مدار ۱۹۵٫۶۷ dBc/Hz- و گستره تنظیم این مدار در حدود ۵٫۷٪ در حول فرکانس مرکزی است.

Archive of SID
www.SID.ir

جدول ۳: مقایسه مشخصات مدار با کارهای انجام‌شده.

	[۱۳] (Fab)*	[۱۴] (Fab)*	[۱۵] (Fab)*	[۱۶] (Sim)**	این مقاله (Post Sim)***
فرکانس (GHz)	۱۹٫۹	۲۵٫۰۵	۲۰	۲۱٫۰۲	۲۴٫۲۵
گستره تنظیم (٪)	۲٫۶	۸٫۳	۱۹	۳٫۴	۵٫۷
نویز فاز در آفست ۱ مگاهرتز (dBc/Hz)	−۱۱۱	−۱۱۴٫۳	−۱۱۹	−۱۱۰٫۹	−۱۲۰
توان مصرفی (mW)	۳۲	۵۰٫۴	۵۶	۷٫۵	۱۵٫۹۲
ضریب شایستگی (dBc/Hz)	−۱۸۱٫۹	−۱۷۱	−۱۸۷	−۱۸۸٫۷	−۱۹۵٫۶۷
فناوری	۰٫۱۸ µm CMOS	۹۰ CMOS nm	۵۵ nm BiCMOS	۰٫۱۸ µm ۱P6M CMOS	۰٫۱۸ µm CMOS
ساختار	زوج ضربدری	ساختار SIL	زوج ضربدری	زوج ضربدری مکمل	زوج ضربدری و کولپیتس

* Fabricate

** Simulation

*** Post-Layout-Simulation

مراجع

[۱] ر. بستانی، م. انصاریان و ج. یاوند حسنی، "تحلیل عناصر پارازیتی عناصر بر عملکرد نوسان‌گر تزویج ضربدری در محدود باند میلی‌متری،" *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۷، شماره ۳، صص. ۸۷۵-۸۶۷، پاییز ۱۳۹۶.

[۲] M. Hsieh and G. E. Sobelman, "Comparison of LC and ring VCOs for PLLs in a 90 nm digital CMOS Process," in *Proc. Int. SOC Design Conf.*, pp. 19-22, Jan. 2006.

[۳] م. عظیم کرمی، م. انصاریان و س. عقلی مقدم، "نوسان‌ساز حلقوی جدید کنترل‌شده با ولتاژ با استفاده از اثر میلر،" *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۷، شماره ۱، صص. ۲۲۸-۲۲۱، بهار ۱۳۹۶.

[4] T. P. Wang, "A CMOS colpitts VCO using negative-conductance boosted technology," *IEEE Trans. on Circuits and Systems-I*, vol. 58, no. 11, pp. 2623-2635, Nov. 2011.

[5] K. W. Cheng and M. Je, "A current-switching and g_m-enhanced colpitts quadrature VCO," *IEEE Microwave and Component Letters*, vol. 23, no. 3, pp. 143-145, Mar. 2013.

[6] R. Aparicio and A. Hajimiri, "A noise-shifting colpitts differential VCO," *IEEE J. of Solid-State Circuit*, vol. 37, no. 12, pp. 1728-1736, Dec. 2002.

[7] B. E. Seow and W. C. Lai, "Fully integrated 24 GHz CMOS injection-locked VCO with folded marchand balun," in *Proc. Region 10 Conf.,TENCON'16,* pp. 2528-2530, Singapore, Singapore, 22-25 Nov. 2016.

[8] M. S. Sadr, H. Ghafoorirad, M. Yavari, and S. Sheikhaei, "A novel low phase noise and low power DCO in 90 nm technology for ADPLL application," in *Proc. 24th Iranian Conf. on Electrical Engineering,* pp. 810-815, Shiraz, Iran, 10-12 May 2016.

[9] Y. Ting, Z. Y. Ming, L. H. Liang, Z. Y. Men, and W. Yue, "A K-band low phase noise and wide tunnig range LC VCO," in *Proc. IEEE 12th In. Conf. on Solid-State and Integrated Circuit Technology,* 3 pp., Guilin, China, 28-31 Oct. 2014.

[10] T. N. Nguyen and J. W. Lee, "A K-band CMOS differential vackar VCO with the gate inductive feedback," *IEEE Trans. on Circuits and Systems*, vol. 59, no. 5, pp. 257-261, Mar. 2012.

[11] I. Mansour, H. Mosalam, A. Allam, A. B. Abdel-Rahman, and R. K. Pokharel, "K band low power voltage controlled oscillator using 180 nm CMOS technology with a new high quality inductor," in *Proc. Int. Conf. on Ubiquitous Wireless Broadband, ICUWB'16,* 4 pp., Nanjing, China, 16-19 Oct. 2016.

[12] J. H. Tsai, Y. Z. Lin, and Y. T. Kuo, "A K-band low phase noise and low power CMOS voltage controlled oscillator," *IEEE Microwave and Optical Technology Letters*, vol. 59, no. 2, pp. 362-366, Feb. 2017.

[13] H. H. Hsieh and L. H. Lu, "A low-phase-noise K-band CMOS VCO," *IEEE Microwave and Component Letters*, vol. 16, no. 10, pp. 552-554, Sept. 2006.

[14] H. Y. Chang and S. G. Lee, "Design and analysis of CMOS low-phase-noise low-jitter subharmonically injection-locked VCO with FLL self-alignment technique," *IEEE Trans. on Microwave Theory and Technique*, vol. 24, no. 12, pp. 4632-4645, Dec. 2016.

[15] N. Lacaita, M. Bassi, A. Mazzanti, and F. Svelto, "A low-noise K-band class-C VCO for E-band 5G backhaul systems in 55 nm BiCMOS technology," in *Proc. 13th Conf. on Ph.D Research in Microelectronics and Electronics, PRIME'17,* pp. 193-196, Giardini Naxos, Italy, 12-15 Jun. 2017.

[16] N. Jahan, A. Barakat, and R. K. Pokharel, "Study of phase noise improvement of K-band VCO using additional series resonance realized by DGS resonator on CMOS technology," in *Proc. IEEE Asia Pacific Microwave Conf., APMC'17,* pp. 1014-1017, Kuala Lumpur, Malaysia, 13-16 Nov. 2017.

[17] P. E. Allen and D. T. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, 2011.

[18] A. Buonomo and A. L. Schiavo, "Modeling and analysis of differential VCOs," *International J. of Circuit Theory Application*, vol. 32, no. 3, pp. 117-131, May 2004.

[19] H. H. Hsieh and L. H. Lu, "A high-performance CMOS voltage-controlled oscillator for ultra-low-voltage operations," *IEEE Trans. on Microwave Theory and Technique*, vol. 55, no. 3, pp. 467-473, Mar. 2007.

[20] H. H. Hsieh and L. H. Lu, "A V-band CMOS VCO with an admittance-transforming cross-coupled pair," *IEEE J. of Solid-State Circuits*, vol. 44, no. 6, pp. 1689-1696, May 2009.

[21] A. Tasic, W. A. Serdijn, and J. R. Long, "Resonant-inductive degeneration for manifold improvement of phase noise in bipolar LC-oscillators," *IEEE Trans. on Circuits and Systems-I, Reg. Papers*, vol. 57, no. 6, pp. 1175-1186, Dec. 2010.

[22] B. Razavi, B. Goodwin, and J. Fuller, *RF Microelectronics*, 2nd Edition, USA, Prentice Hall, 2011.

[23] J. P. Hong and S. G. Lee, "Low phase noise G_m boosted differential gate-to-source feedback Colpitts CMOS VCO," *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 3079-3091, Nov. 2009.

مصطفی کاتبی در سال‌های ۱۳۹۴ و ۱۳۹۶ مدرک کارشناسی و کارشناسی ارشد مهندسی برق خود را از دانشگاه زنجان دریافت نمود. نام‌برده در دوره کارشناسی و کارشناسی ارشد خود به عنوان دستیار آموزشی در درس‌های مختلفی همچون مدارهای مخابراتی، الکترونیک ۱ و ۳، تجزیه و تحلیل سیگنال‌ها و سیستم‌ها و تکنیک پالس فعالیت نموده است. ایشان همچنین سابقه همکاری با شرکت فرادرس در تدریس چندین نرم‌افزار را دارند. زمینه‌های علمی و تحقیقاتی مورد علاقه ایشان عبارتند از: سیستم‌های فرستنده و گیرنده، طراحی مدارهای مجتمع آنالوگ و طراحی مدارهای مجتمع فرکانس بالا.

عباس نصری در سال ۱۳۹۳ مدرک کارشناسی ارشد مهندسی برق خود را از دانشگاه زنجان دریافت نمود. وی در سال ۱۳۹۵ در مقطع دکترا مهندسی برق در دانشگاه زنجان پذیرفته شد. نام‌برده در دوران دکترای خود موفق به اخذ فرصت مطالعاتی از دانشگاه تورین ایتالیا گردید و مشغول همکاری با گروه DTE این دانشگاه شد. ایشان در طول دوران تحصیل دکترای خود به عضویت بنیاد ملی نخبگان درآمدند. زمینه‌های پژوهشی مورد علاقه نام‌برده عبارتند از: طراحی مدارات مجتمع آنالوگ و فرکانس بالا، طراحی مدارات ماکروویو و سیستم‌های فرستنده گیرنده.

سیروس طوفان در سال ۱۳۷۸ مدرک کارشناسی مهندسی برق خود را از دانشگاه صنعتی امیرکبیر و در سال‌های ۱۳۸۱ و ۱۳۸۷ مدرک کارشناسی ارشد و دکترا مهندسی برق خود را از دانشگاه علم و صنعت دریافت نمود. ایشان در دوران دکترا موفق به اخذ فرصت مطالعاتی از دانشگاه پلی تکنیک تورین واقع در ایتالیا شدند. دکتر طوفان از سال ۱۳۸۹ در دانشکده مهندسی برق دانشگاه زنجان مشغول به فعالیت گردید و اینک نیز عضو هیأت علمی این دانشکده می‌باشد. زمینه‌های علمی مورد علاقه نام‌برده متنوع بوده و شامل موضوعاتی مانند طراحی مدارهای مجتمع فرکانس بالا، طراحی مدارهای مجتمع

Archive of SID

www.SID.ir

آنالوگ، طراحی مبدل‌های DC به DC، طراحی مبدل‌های آنالوگ به دیجیتال و دیجیتال به آنالوگ و سیستم‌های فرستنده و گیرنده می‌باشد.

حبیب‌الله زلفخانی مدرک کارشناسی و کارشناسی ارشد مهندسی برق خود را از دانشگاه تهران در سال‌های ۱۳۶۷ و ۱۳۷۲ و مدرک دکترای خود را در سال ۱۳۸۶ از دانشگاه علم و صنعت دریافت نمود. ایشان در حال حاضر عضو هیأت علمی دانشکده برق دانشگاه زنجان می‌باشند. نام‌برده هم اکنون به عنوان معاون آموزشی دانشگاه مشغول به فعالیت است. همچنین ایشان در کارنامه مدیریتی خود سابقه حضور در قسمت معاونت آموزشی دانشکده برق را نیز دارند. زمینه‌های علمی مورد علاقه ایشان متنوع بوده و شامل موضوعاتی مانند طراحی مدارهای مجتمع فرکانس بالا، طراحی مدارهای ماکروویو و پهن‌باند می‌باشد.

Archive of SID

www.SID.ir