سلول حافظه ایستای (SRAM) زیرآستانه هشت ترانزیستوری با قابلیت‌های بهبودیافته خواندن و نوشتن

قاسم پسندی و سیدمهدی فخرائی

چکیده: سلول حافظه SRAM شش ترانزیستوری معمولی در ولتاژهای کم قابلیت نوشتن مناسبی ندارد و نیز دچار خطاهای خواندن می‌شود. در این مقاله با ارائه یک طرح هشت ترانزیستوری برای سلول حافظه، علاوه بر بهبود قابلیت نوشتن، میزان خطای خواندن نیز به شدت کاهش یافته است. بدین ترتیب سلول ارائه‌شده توانایی کارکردن در ولتاژهای زیرآستانه در حد ۲۷۵ میلی‌ولت را دارد، در حالی که سلول حافظه شش ترانزیستوری معمولی فاقد این قابلیت است. با طراحی سلول ارائه‌شده و سلول شش ترانزیستوری معمولی و نیز سه سلول دیگر از بین مقالات اخیر برای مقایسه در تکنولوژی ۹۰ نانومتر صنعتی و انجام شبیه‌سازی با HSPICE ملاحظه شد که طرح مذکور در ولتاژ تغذیه ۸۰۰ میلی‌ولت، تأخیر خواندن و نوشتن را به ترتیب به میزان ۵۰٪ و ۴۷/۵٪، نسبت به بهترین طرح از بین چهار طرح فوق کاهش داده است. همچنین میزان بهبود توان مصرفی یک عمل نوشتن در این ولتاژ، نسبت به بهترین طرح، ۴۰٪ بوده است. از بین پنج طرح مقایسه‌شده، تنها طرح ارائه‌شده ما قابلیت کارکرد صحیح در ولتاژهای زیرآستانه را دارد. در انتها با تهیه چینش طرح ارائه‌شده در تکنولوژی ۱۸۰ نانومتر صنعتی و انجام شبیه‌سازی بعد از چینش، اثر اضافه‌شدن پارامترهای پارازیتی در مدار چینش را مورد بررسی قرار داده‌ایم.

کلید واژه: **چینش، حافظه، حافظه ایستای تصادفی، کم‌توان، Memory، SRAM.**

۱- مقدمه

۱-۱ طراحی در ناحیه زیرآستانه

در طراحی مدارها و سیستم‌های مجتمع تا مدت‌های زیادی فقط افزایش فرکانس کاری و سرعت مدار مهم بود و توان و انرژی مصرفی دارای اهمیت کمتری بودند [۱] اما اخیراً کاربردهایی مطرح شده است که در آنها انرژی و توان اولویت بیشتری پیدا کرده‌اند و حتی اهمیت آنها از سرعت مدار نیز بیشتر شده است. کاربردهایی مانند افزاره‌های قابل کاشت در بدن انسان، کاربردهای فضایی، استفاده از شبکه‌های حسگر بی‌سیم با تعداد زیاد در ابعاد وسیع برای کاربردهای کشاورزی و نظامی و ... راه را برای طراحی مدارها با انرژی و توان کم هموار کرده است [۲]. در این کاربردها سرعت در اولویت اول قرار ندارد بلکه توان و انرژی دارای بیشترین اهمیت هستند. مثلاً برای افزاره‌هایی که در درون قلب برای کنترل کارکرد صحیح قرار داده می‌شوند، کم انرژی بودن دارای اهمیت زیادی است [۳] زیرا این افزاره‌ها که با جراحی فیزیکی در داخل بدن قرار می‌گیرند قابلیت شارژشدن با فاصله زمانی کوتاه را ندارند. اگر قرار باشد این افزاره‌ها مانند تلفن‌های همراه هر چند روز نیاز به شارژ باطری داشته باشند، باید هر چند روز بدن بیمار مورد جراحی قرار گیرد که عوارض ناگواری برای بیمار دارد و لذا قابل اجرا نیست. پس باید مدارهایی طراحی شوند که دارای توان و انرژی مصرفی کمی باشند تا بتوانند در مدت زمان طولانی‌تری بدون شارژ دوباره کار کنند. بدین ترتیب راه برای حوزه مدارها با انرژی و توان کم باز می‌شود.

حافظه‌ها جزء جدایی‌ناپذیر تراشه‌ها هستند و درصد بالایی از مساحت و توان مصرفی تراشه‌ها را به خود اختصاص می‌دهند، بنابراین برای کاهش توان مصرفی کل، کاهش توان مصرفی حافظه‌ها اهمیت زیادی دارد. با توجه به بستگی درجه دوم توان به ولتاژ تغذیه، یک روش کاهش توان مصرفی، کاهش ولتاژ تغذیه است [۴]. با کاهش بیشتر ولتاژ تغذیه، به جایی می‌رسیم که ولتاژ تغذیه از ولتاژ آستانه ترانزیستور نیز کمتر می‌شود، اصطلاحاً در این حالت می‌گویند که در ناحیه زیرآستانه[1] قرار گرفته‌ایم. متأسفانه طرح‌های مرسوم در ولتاژهای کم و در ناحیه زیرآستانه به خوبی کار نمی‌کنند و مشکلات متعددی دارند. لذا نیاز فراوانی به مطالعه و تحقیق در زمینه حافظه‌های کم‌توان و ارائه طرح‌هایی که قابلیت کارکردن صحیح در این ناحیه را داشته باشند، وجود دارد.

۱-۲ حافظه‌های SRAM زیرآستانه

در تکنولوژی‌های عمیقاً زیرمیکرون[2] حافظه‌های بزرگ مقدار زیادی توان را در حالت بیکاری به صورت توان نشتی تلف می‌کنند که ممکن است از توان کل هم بیشتر شود. کارکردن در ناحیه زیرآستانه برای کاهش نشت در حالت بیکاری برای سیستم‌هایی که با محدودیت مصرف انرژی مشخص می‌شوند، کاملاً ایده‌آل است [۱].

طراحی SRAMهای با قابلیت اطمینان بالا در ناحیه زیرآستانه بسیار چالش برانگیز است و علت آن را می‌توان در کاهش میزان حاشیه نویز و افزایش تغییرپذیری[3] در این ناحیه دانست. طرح حافظه شش ترانزیستوری معمولی در ناحیه زیرآستانه عملکرد مناسبی ندارد زیرا علاوه بر آن که میزان حاشیه نویز ایستای (SNM)[4] کمی در این ناحیه دارد، قابلیت نوشتن آن ضعیف و میزان حاشیه احساس کردن ولتاژ از خطوط بیت آن ناچیز است [۵]. علاوه بر آن به علت کاهش نسبت جریان روشن به خاموش، تعداد سلول‌هایی را که می‌توان در یک ستون قرار داد، کم است و این مسأله باعث کاهش چگالی حافظه می‌شود. طرح‌های مختلف ۷، ۸، ۹ و ۱۰ ترانزیستوری برای حل مشکل کم‌بودن حاشیه نویز ارائه شده‌اند که با جداکردن گره‌های داخلی سلول از خطوط بیت و یا به عبارتی دیگر

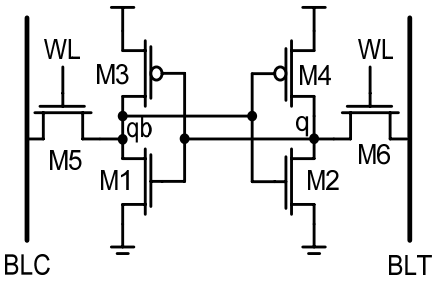
این مقاله در تاریخ ۲۶ اسفند ماه ۱۳۹۱ دریافت و در تاریخ ۴ شهریور ماه ۱۳۹۲ بازنگری شد.

قاسم پسندی، آزمایشگاه هوش سیلیکونی و پردازش مجتمع سیگنال‌ها، دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران، (email: gh.pasandi@ut.ac.ir).

سیدمهدی فخرایی، آزمایشگاه هوش سیلیکونی و پردازش مجتمع سیگنال‌ها، دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران، (email: Fakhraie@ut.ac.ir).

1. Sub-Threshold
2. Deep Sub-Micron
3. Variability
4. Static Noise Margin

Archive of SID
www.SID.ir



شکل ۱: سلول حافظه SRAM شش ترانزیستوری معمولی.

با بافرکردن، میزان حاشیه نویز خواندن را تا حدود حاشیه نویز نگهداری[1] افزایش داده‌اند [۶] تا [۹]. مشکل قابلیت نوشتن کم در [۶] با اختصاص ولتاژ تغذیه بزرگ‌تر برای ترانزیستور دسترسی نوشتن، تا حدی حل شده ولی در عوض کارکردن و توزیع چند ولتاژ تغذیه روی تراشه مشکل تازه‌ای است که ایجاد گردیده است. بیشترین تعداد سلولی که در یک ستون آرایه حافظه قرار داده شده، ۲۵۶ عدد برای SRAM در ولتاژ تغذیه ۳۰۰ میلی‌ولت و ۱۰۲۴ عدد در ولتاژ تغذیه زیر ۲۰۰ میلی‌ولت به ترتیب در [۶] و [۱۰] بوده است.

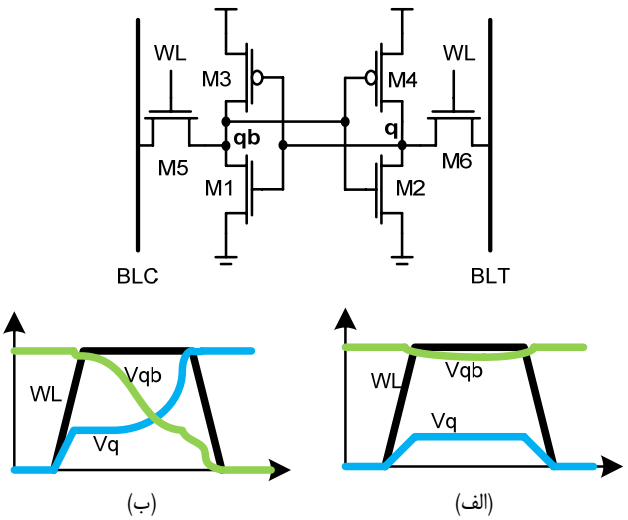
در این مقاله ساختاری برای سلول حافظه SRAM ارائه شده که دارای قدرت نوشته‌شدن بالاتری نسبت به طرح‌های ارائه‌شده اخیر و نیز طرح شش ترانزیستوری معمولی است، به طوری که امکان نوشتن در سلول در ولتاژهای تغذیه کوچک‌تر وجود دارد و همچنین زمان نوشتن و خواندن در این سلول نسبت به سایر طرح‌ها بهبود پیدا کرده است. در این طرح با جداکردن مسیر نوشتن از مسیر خواندن در سلول حافظه، علاوه بر این که امکان کارکرد صحیح در ولتاژهای پایین و زیرآستانه فراهم شده است، با وجود امکان اندازه‌گذاری مستقل ترانزیستورهای دسترسی نوشتن و خواندن، خطاهای نوشتن و خواندن نیز کاهش یافته است. همچنین برای نوشتن موفق‌تر، اندازه ترانزیستور دسترسی نوشتن بزرگ‌تر انتخاب شده تا احتمال نوشتن موفق افزایش یابد و از طرف دیگر اندازه ترانزیستور دسترسی خواندن کاهش یافته تا خطای خواندن کمتر شود.

ادامه مقاله به این صورت ارائه می‌شود. نحوه طراحی حافظه SRAM شش ترانزیستوری معمولی در بخش ۲ آمده است. بخش ۳ به معرفی و طرز کار سلول حافظه ارائه‌شده می‌پردازد و علت برتری‌های آن را نسبت به سایر طرح‌ها بیان می‌کند. در بخش ۴ به بیان نتایج شبیه‌سازی با HSPICE پیش از چینش پرداخته شده و طراحی سلول حافظه SRAM ارائه‌شده با استفاده از ترانزیستورهای FinFET و مزایای آن در بخش ۵ آمده است. در بخش ۶ چینش سلول حافظه ارائه‌شده در تکنولوژی ۱۸۰ نانومتر صنعتی سی‌موس آورده شده و علاوه بر مقایسه مساحت آن با سلول‌های دیگر، شبیه‌سازی‌های بعد از چینش نیز آمده و با قبل از چینش مورد مقایسه قرار گرفته است. در انتها نیز نتیجه‌گیری ذکر شده است.

۲- طراحی حافظه SRAM شش ترانزیستوری معمولی

شکل ۱ سلول حافظه SRAM شش ترانزیستوری معمولی را نشان می‌دهد. در این سلول ترانزیستورهای M۱/۳ و M۲/۴ معکوس‌کننده‌های سلول را تشکیل می‌دهند که به صورت پشت به پشت برای برقراری فیدبک مثبت بسته شده‌اند و از این فیدبک مثبت برای نگهداری داده استفاده می‌شود. به ترانزیستورهای M۱/۲ ترانزیستورهای درایور و به M۳/۴ ترانزیستورهای بار می‌گویند. ترانزیستورهای M۵/۶ که به

1. Hold SNM



شکل ۲: (الف) خواندن موفق و (ب) خواندن ناموفق در سلول حافظه شش ترانزیستوری معمولی [۱۱].

ترانزیستورهای دسترسی معروف هستند، برای عمل خواندن و نوشتن استفاده می‌شوند.

۲-۱ عمل خواندن

در عمل خواندن، خطوط بیت BLT/BLC به ۱- منطقی پیش شارژ شده و با وصل‌کردن ترانزیستورهای دسترسی، گرهی که در آن ۰- منطقی ذخیره شده باشد، خط بیت طرف خودش را تخلیه می‌کند و در نهایت با تفاضل‌گرفتن از خطوط بیت، مقدار داده ذخیره‌شده خوانده می‌شود. در حین عمل خواندن بین ترانزیستورهای دسترسی و ترانزیستورهای درایور، یک رقابت ایجاد می‌شود به طوری که ترانزیستور درایور سعی دارد تا خط بیت را دشارژ کرده و به ۰ ببرد و ترانزیستور دسترسی سعی در بالابردن مقدار ولتاژ گره داخلی سلول دارد. اگر در این رقابت ترانزیستور دسترسی پیروز شود، خطا پیش می‌آید زیرا در حین عمل خواندن مقدار داده ذخیره‌شده در سلول تغییر کرده ولی اگر ترانزیستور درایور پیروز شود، به درستی مقدار خط بیت مربوط دشارژ شده و مقدار ذخیره‌شده در سلول نیز تغییر نمی‌کند. در شکل ۲-الف خواندن موفق آورده شده به طوری که در پایان عمل خواندن، مقدار داده ذخیره‌شده در سلول تغییر نکرده اما در شکل ۲- ب مقدار داده ذخیره‌شده در سلول به اشتباه عوض شده است.

برای این که احتمال پیروزشدن ترانزیستور درایور در حین عمل خواندن افزایش یابد، باید این ترانزیستور از ترانزیستور دسترسی قوی‌تر باشد. بدین منظور اندازه ترانزیستور درایور را بزرگ‌تر از ترانزیستور دسترسی می‌گیرند.

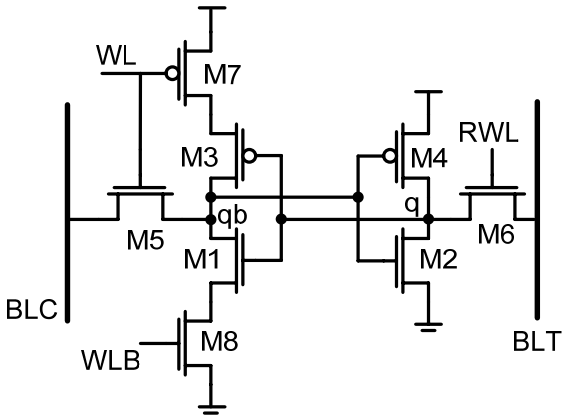
در [۴] آمده که برای جلوگیری از خطای خواندن، اندازه ترانزیستور درایور باید حداقل ۱/۲ برابر ترانزیستور دسترسی باشد.

۲-۲ عمل نوشتن

در عمل نوشتن، ابتدا مقدار داده ورودی را روی یک خط بیت و قرینه‌اش را روی خط بیت دیگر قرار می‌دهند، سپس با وصل‌کردن ترانزیستورهای دسترسی، مقدار موجود روی خطوط بیت را در درون سلول می‌نویسند.

عمل نوشتن در واقع نوشتن ۰ در سلول است، به عبارت دیگر این ۰ است که در سلول نوشته می‌شود نه ۱. مقدار طرف دیگر پس از نوشته‌شدن ۰ و فلیپ‌کردن سلول، به ۱ می‌رود.

Archive of SID
www.SID.ir



شکل ۳: سلول هشت ترانزیستوری ارائه‌شده برای حافظه SRAM.

برای واضح‌تر شدن مطلب، سلول حافظه شکل ۱ را در نظر بگیرید و فرض کنید که در گره qb مقدار ۰ و در گره q مقدار ۱ ذخیره شده باشد. برای نوشتن ۱ در سلول (گره qb) باید مقدار BLC را ۱ و BLT را ۰ قرار دهیم. اکنون با اتصال ترانزیستورهای دسترسی، ولتاژ گره qb کم‌کم بالا رفته و ولتاژ گره q به آرامی پایین می‌آید و با ادامه این روند ولتاژ روی دو سر ترانزیستور M۵ کاهش می‌یابد، لذا این ترانزیستور رفته‌رفته ضعیف‌تر می‌شود. در طرف دیگر، ولتاژ دو سر ترانزیستور M۶ در این روند، رو به افزایش می‌گذارد و رفته رفته این ترانزیستور قوی‌تر می‌شود. بدین ترتیب عمل تغییردادن مقدار داده سلول، بیشتر توسط ترانزیستور M۶ انجام می‌شود که ترانزیستوری است که می‌خواهد ۰ را در سلول بنویسد. پس در نهایت می‌توان گفت که عمل نوشتن، در واقع نوشتن ۰ (یا به عبارتی از بین بردن ۱ ذخیره‌شده) در یکی از سرهاست. با توجه به این که ترانزیستور PMOS مسئول نگهداری ولتاژ گره داخلی سلول در مقدار ۱ می‌باشد، پس در نهایت می‌توان گفت که عمل نوشتن در واقع یک رقابت بین یکی از ترانزیستورهای دسترسی و یکی از ترانزیستورهای بار از نوع PMOS است. بدین ترتیب برای این که عمل نوشتن موفق‌تری داشته باشیم، باید ترانزیستورهای دسترسی از ترانزیستور بار قوی‌تر باشند تا بتوانند در رقابت ایجادشده در حین عمل نوشتن پیروز شوند. مرجع [۴] همچنین یک محدودیت برای نسبت اندازه ترانزیستورهای بار به درایور به منظور عمل نوشتن موفق گذاشته است که باید این نسبت از ۱٫۸ کمتر باشد. در نهایت برای اندازه‌گذاری ترانزیستورهای سلول حافظه شش ترانزیستوری می‌توان گفت باید اندازه ترانزیستورهای درایور بزرگ، دسترسی متوسط و بار کوچک باشد. این مطلب مورد تأیید [۱۲] نیز است.

۳- طرح هشت ترانزیستوری ارائه‌شده برای سلول حافظه

در ولتاژهای کم در سلول حافظه شش ترانزیستوری معمولی، مشکل نوشتن موفق و خواندن بدون خطا وجود دارد. این مطلب ناشی از متناقض‌بودن اندازه‌گذاری ترانزیستورهای دسترسی برای مطلوب‌شدن در عمل خواندن و نوشتن است. به عبارت دقیق‌تر برای این که عمل نوشتن با موفقیت انجام شود باید ترانزیستورهای دسترسی قوی باشند. پس برای این که امکان نوشتن موفق در ولتاژهای کم را برای این سلول فراهم کنیم باید اندازه ترانزیستورهای دسترسی را بزرگ انتخاب کنیم. در طرف دیگر برای جلوگیری از خطاهای خواندن باید اندازه ترانزیستورهای دسترسی از اندازه ترانزیستورهای درایور کوچک‌تر باشند و بدین ترتیب تناقض پیش می‌آید. در واقع در سلول شش ترانزیستوری معمولی، بهبود امکان نوشته‌شدن به قیمت افزایش خطای خواندن فراهم می‌شود و بالعکس. در اینجا طرحی ارائه شده که در آن نه تنها تناقض فوق از بین رفته و امکان نوشته‌شدن موفق فراهم شده، بلکه احتمال خطای خواندن نیز کاهش پیدا کرده است.

۳-۱ امکان نوشتن خوب در سلول ارائه‌شده

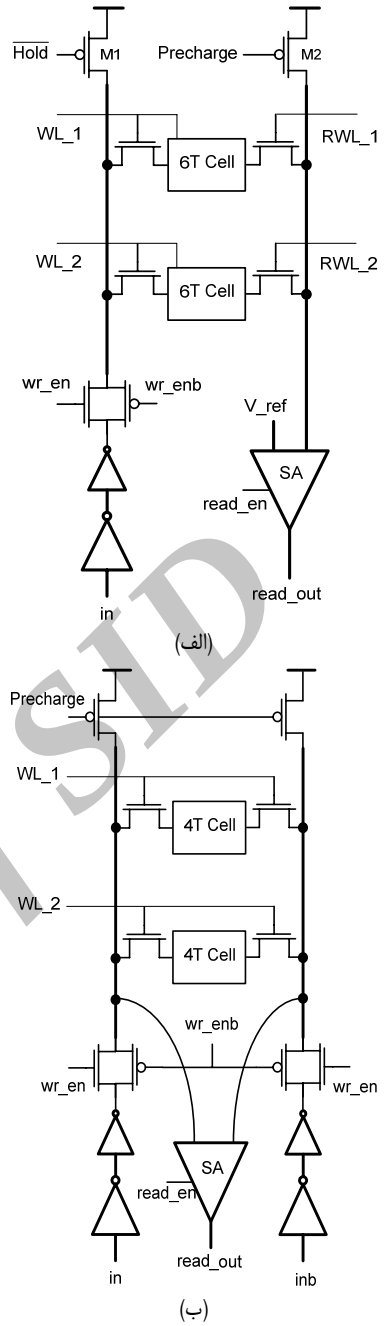
همان طور که بیان شد، سلول شش ترانزیستوری معمولی در ولتاژهای پایین دارای قدرت نوشته‌شدن مناسبی نیست، در واقع در ولتاژهای کوچک، ترانزیستورهای دسترسی در این سلول نمی‌توانند حلقه فیدبک بین دو معکوس‌کننده سلول را شکسته و مقدار داده ورودی را در سلول بنویسند. لذا در این سلول در ولتاژهای پایین، نوشتن با موفقیت انجام نمی‌شود و برای حل این مسأله در مقالات، راه حل‌های مختلفی ارائه شده است. یکی از این راه حل‌ها استفاده از ولتاژ تغذیه بزرگ‌تر برای کنترل گیت ترانزیستورهای دسترسی در حین عمل نوشتن است [۶]. این راه حل اگرچه مشکل عدم نوشتن را حل کرده است، اما عملاً فلسفه کاهش ولتاژ تغذیه را از بین برده و لذا از مزایای آن مانند کاهش توان با کاهش ولتاژ تغذیه کاسته است. علاوه بر آن، چنین طرح‌هایی برای حالت‌های مختلف کاری خود از سطوح ولتاژ مختلفی استفاده می‌کنند که تولید و توزیع آنها باعث سربارهای شدید توان و مساحت می‌شود. برای مثال در [۱۳] که از چند سطح ولتاژ مختلف استفاده گردیده و با طرح‌های ارائه‌شده ادعا شده که به شدت توان حافظه SRAM کاهش یافته است، علاوه بر سربار مساحت، توان مصرفی تغییردهنده‌های سطوح[1] ولتاژ مورد نیاز، سربار توانی بیش از توان کل حافظه اضافه کرده است [۱۳]. در اینجا طرحی ارائه شده که به سطوح مختلف ولتاژ تغذیه نیازی ندارد و لذا سربار مساحتی و توانی ناشی از اضافه‌کردن تغییردهنده‌های سطح و نیز مشکلات توزیع آنها را ندارد. تنها دو ترانزیستور به سلول اضافه شده و کل مدار با یک ولتاژ تغذیه کار می‌کند. شکل ۳ سلول حافظه هشت ترانزیستوری ارائه‌شده را نشان می‌دهد.

ایده استفاده‌شده در این طرح این است که در حین فرایند نوشتن، با تضعیف یکی از معکوس‌کننده‌ها، حلقه فیدبک را ضعیف کرده و لذا احتمال نوشتن ورودی در سلول افزایش می‌یابد. به منظور تضعیف حلقه فیدبک، دو ترانزیستور اضافه‌شده در سلول ارائه‌شده M۷ و M۸ در حین عمل نوشتن خاموش شده و لذا باعث کاهش سطح ولتاژ تغذیه و افزایش سطح ریل زمین معکوس‌کننده سمت چپ می‌شوند. این کار باعث تضعیف این معکوس‌کننده و در نتیجه تضعیف کل حلقه فیدبک در حین عمل نوشتن می‌شود و پس از پایان عمل نوشتن، وضعیت حلقه فیدبک به حالت عادی بازگردانده می‌شود. همچنین در این طرح ترانزیستورهای دسترسی نوشتن و خواندن جدا شده‌اند. بدین صورت امکان اندازه‌گذاری مستقل این ترانزیستورها برای دست‌یابی به عمل نوشتن موفق از یک طرف و جلوگیری از خطای خواندن در طرف دیگر فراهم شده است. بدین منظور اندازه ترانزیستور دسترسی خواندن M۶ را کمترین اندازه گرفته‌ایم. برای انتخاب اندازه ترانزیستور دسترسی نوشتن M۵، از مینیمم سایز شروع به افزایش می‌کنیم تا این که عمل نوشتن در حضور پدیده تغییرات فرایند ساخت با موفقیت صورت پذیرد. پس در انتخاب اندازه این ترانزیستور دو مطلب مهم بوده است، یکی این که به اندازه‌ای بزرگ باشد که عمل نوشتن با موفقیت صورت پذیرد و دیگری مساحت کل زیاد تحت تأثیر قرار نگیرد. در نهایت اندازه W/L این ترانزیستور ۳ انتخاب شده است.

1. Level Converter

Archive of SID

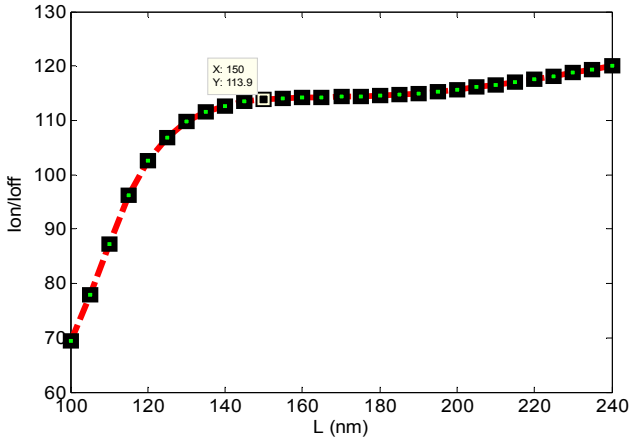
www.SID.ir



شکل ۴: مدارهای جانبی مورد استفاده برای عمل نوشتن در هر ستون آرایه حافظه، (الف) حافظه هشت ترانزیستوری ارائه‌شده و (ب) حافظه شش ترانزیستوری معمولی.

۳-۲ عمل خواندن موفق در سلول ارائه‌شده

عمل نوشتن و خواندن در سلول ارائه‌شده به صورت تک‌سر است. برای نوشتن، مقدار ورودی توسط بافرهای نوشتن مطابق شکل ۴-الف روی خط بیت نوشتن قرار داده شده و سپس مقدار سیگنال نوشتن WL فعال می‌شود. اما در عمل خواندن، ابتدا مقدار خط بیت مربوط به خواندن یعنی BLT به ۱ پیش شارژ شده و سپس با وصل‌کردن خط کلمه خواندن RWL، مقدار داده ذخیره‌شده در سلول خوانده می‌شود. برای افزایش سرعت خواندن، می‌توان از یک تقویت‌کننده تفاضلی تک‌سر استفاده کرد. در واقع در این تقویت‌کننده، یک ورودی آن را ورودی مرجع Vdd می‌دهیم و ورودی دیگر را به خط بیت BLT وصل می‌کنیم. با کاهش ولتاژ خط بیت به اندازه‌ای بیشتر از آفست تقویت‌کننده، خروجی این تقویت‌کننده فلیپ کرده و به مقدار داده ذخیره‌شده در سلول می‌رسد.



شکل ۵: نسبت جریان روشن به خاموش برای ترانزیستور دسترسی خواندن به ازای تغییرات طول کانال ترانزیستور.

با توجه به این که عمل نوشتن در طرح ما تک‌سر است لذا مدارهای جانبی مورد نیاز نوشتن در روی خط بیت مربوط به خواندن، نسبت به حافظه شش ترانزیستوری معمولی حذف می‌شوند. این خود باعث کاهش خازن این خطوط شده و لذا سرعت عمل خواندن را افزایش می‌دهد.

۳-۳ اندازه‌گذاری ترانزیستور دسترسی خواندن

اندازه ترانزیستور دسترسی خواندن روی سه پارامتر مهم اثر می‌گذارد. اولی خطای خواندن است و برای کاهش احتمال خطای خواندن، عرض ترانزیستور دسترسی کمترین مقدار ممکن انتخاب شده تا نسبت به ترانزیستور درایور ضعیف‌تر باشد و لذا احتمال خطای خواندن کمتر شود. دو پارامتر دیگر که اندازه‌گذاری ترانزیستور دسترسی خواندن روی آنها اثر دارد، میزان حاشیه نویز خواندن[1] و نسبت جریان روشن به خاموش است. هرچه میزان این دو پارامتر بیشتر باشد بهتر است. اولی باعث افزایش مقاومت مدار در برابر پالس‌های ناخواسته در حین خواندن می‌شود و دیگری اجازه می‌دهد تا تعداد سلول بیشتری در یک ستون آرایه حافظه قرار گیرد که باعث چگال‌تر شدن آن می‌شود.

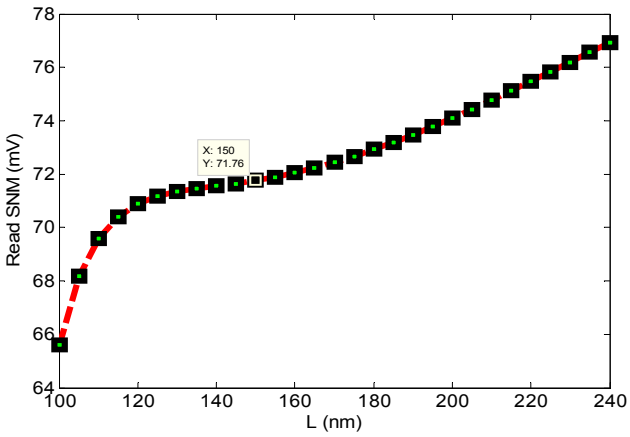
با توجه به این که اندازه عرض ترانزیستور دسترسی کمینه انتخاب شده است، جهت طرحی برای بهینه‌کردن نظری دو پارامتر فوق در مدل اسپایس، مقدار طول کانال ترانزیستور را در تکنولوژی ۹۰ نانومتر از ۱۰۰ نانومتر تا ۲۴۰ نانومتر با پله‌های ۵ نانومتری در ولتاژ تغذیه ۵۰۰ میلی‌ولت تغییر دادیم. شکل ۵ نسبت جریان روشن به خاموش را برای تغییر فوق نشان می‌دهد. برای افزایش طول کانال از ۱۰۰ نانومتر به ۱۵۰ نانومتر، نسبت جریان روشن به خاموش از ۷۰ به حدود ۱۱۴ افزایش یافته که به میزان حدود ۶۳٪ بهبود نشان می‌دهد. از این به بعد، افزایش طول کانال اثر کمتری روی نسبت جریان روشن به خاموش می‌گذارد، به طوری که افزایش آن از ۱۵۰ تا ۲۰۰ تنها ۰/۸٪ میزان نسبت جریان روشن به خاموش را بیشتر می‌کند. با در نظر گرفتن سربار مساحت، مقدار ۱۵۰ نانومتر برای طول کانال ترانزیستور دسترسی خواندن انتخاب شد.

با تغییر طول کانال باید بررسی کنیم که پارامترهای مهم دیگری مانند حاشیه نویز خواندن و نگهداری خراب نشده باشند. شکل ۶ میزان حاشیه نویز ایستای خواندن را برای تغییر فوق نشان می‌دهد و مشاهده می‌شود که با افزایش طول کانال این پارامتر بیشتر می‌شود. لذا افزایش طول کانال علاوه بر بهبود نسبت جریان روشن به خاموش، حاشیه نویز خواندن

1. Read Static Noise Margin

Archive of SID

www.SID.ir



شکل ۶: نمودار حاشیه نویز ایستای خواندن در ازای تغییرات طول کانال ترانزیستور دسترسی خواندن.

را نیز بهتر کرده است. همچنین نتایج شبیه‌سازی نشان می‌دهد که تغییر طول کانال روی حاشیه نویز نگهداری اثر بسیار کمی دارد، به طوری که برای افزایش طول کانال از ۱۰۰ نانومتر تا ۲۰۰ نانومتر، حاشیه نویز نگهداری تنها ۰٫۳ میلی‌ولت بیشتر شده است.

برای افزایش هرچه بیشتر نسبت جریان روشن به خاموش، می‌توان میزان ولتاژ آستانه ترانزیستور دسترسی خواندن را بیشتر کرد. بدین منظور از امکان استفاده از ترانزیستورهای HighVT در تکنولوژی ۹۰ نانومتر صنعتی سی‌موس استفاده کرده‌ایم. این ترانزیستورها دارای ولتاژ آستانه بزرگ‌تری نسبت به حالت معمولی هستند و نتایج شبیه‌سازی‌ها نشان می‌دهد که استفاده از ترانزیستورهای HighVT هم نسبت جریان روشن به خاموش و هم میزان حاشیه نویز خواندن را بهبود می‌دهد. برای مثال اگر طول کانال را ۱۵۰ نانومتر انتخاب کنیم، میزان بهبود در نسبت جریان روشن به خاموش حدود ۴۵ برابر و میزان بهبود در حاشیه نویز خواندن حدود ۱٫۶ برابر نسبت به ترانزیستورهای عادی می‌شود.

٤- شبیه‌سازی پیش از چینش با HSPICE

برای بررسی میزان موفقیت طرح ارائه‌شده، یک آرایه حافظه SRAM با تعداد ۱۲۸ سلول در هر ستون را با HSPICE در تکنولوژی ۹۰ نانومتر صنعتی سی‌موس (ولتاژ آستانه ترانزیستورهای NMOS و PMOS به ترتیب برابر ۲۸۰ mV و ۲۲۰- mV است) شبیه‌سازی نمودیم. برای مقایسه بهتر، علاوه بر سلول ارائه‌شده و سلول شش ترانزیستوری معمولی، ۳ سلول حافظه SRAM ارائه‌شده در مقالات اخیر را طراحی و پارامترهای فوق را برای آنها نیز استخراج کردیم. جدول‌های ۱ و ۲ این نتایج را برای ولتاژهای تغذیه به ترتیب ۳۰۰ و ۸۰۰ میلی‌ولت نشان می‌دهند و تمامی شبیه‌سازی‌ها در دمای ۲۷ درجه سانتی‌گراد و در گوشه پروسه TT صورت گرفته است. در سلول شش ترانزیستوری معمولی اندازه W/L ترانزیستورهای درایور برابر ۳٫۵، دسترسی ۲٫۵ و ترانزیستورهای بار برابر ۲ و همچنین طول کانال برابر کمترین مقدار ممکن انتخاب شده است. این مقدار در تکنولوژی ۹۰ نانومتر برابر ۱۰۰ نانومتر است. در طرح هشت ترانزیستوری ما، اندازه W/L ترانزیستور دسترسی نوشتن برابر ۳ و سایر ترانزیستورها برابر ۲ (کمترین مقدار قابل قبول در طراحی چینش) می‌باشد.

قابل ذکر است که برای در نظر گرفتن اثر خازنی خطوط بیت در شبیه‌سازی پیش از چینش[1]، خازنی با اندازه ۵۰ فمتوفاراد را روی هر خط بیت قرار دادیم. این مقدار با محاسبه طول خطوط بیت مورد نیاز برای تعداد ۱۲۸ سلول در هر ستون آرایه و فرض فلز ۱ برای این خطوط، به دست آمده است.

از این به بعد برای سادگی نمایش، طرح خودمان را به اختصار با P8T و طرح‌های [۱۴] تا [۱۶] را به ترتیب با ST10T، LP10T، 9T و سلول شش ترانزیستوری معمولی را با 6T نمایش می‌دهیم.

همان طور که در جداول ۱ و ۲ نشان داده شده، طرح‌های LP10T و 9T چون عمل خواندن را با بافرکردن انجام می‌دهند، حاشیه نویز خواندن بالایی دارند که در حدود حاشیه نویز نگهداری است. حاشیه نویز خواندن در طرح LP10T به علت وجود یک ترانزیستور در زیر سلول که باعث افزایش ولتاژ سوئیچینگ معکوس‌کننده‌ها می‌شود، از سایر طرح‌ها بیشتر است. این در حالی است که میزان حاشیه نویز نگهداری در این سلول بسیار کم می‌باشد که به علت وجود یک ترانزیستور خاموش در زیر سلول در حالت نگهداری است. با توجه به این که حافظه در اکثر اوقات در حالت نگهداری قرار دارد، کم‌بودن حاشیه نویز نگهداری در طرح LP10T میزان آسیب‌پذیری این سلول را در درصد بالایی از کارکردش به شدت کاهش می‌دهد. طرح ارائه‌شده ما نیز دارای حاشیه نویز کمی در حالت خواندن است. این مسأله کارکرد صحیح حافظه را زیر سؤال نمی‌برد اما در طول دوره خواندن، حافظه را در برابر اشعه‌های کیهانی و خطاهای نرم آسیب‌پذیرتر می‌کند. برای افزایش حاشیه نویز خواندن در طرح P8T، می‌توان از ترانزیستورهای FinFET استفاده کرد که در بخش ۵ به آن می‌پردازیم. سلول هشت ترانزیستوری ارائه‌شده دارای بیشترین حاشیه نویز نوشتن در بین سایر طرح‌ها بر اساس جداول ۱ و ۲ می‌باشد به طوری که سلول ارائه‌شده حاشیه نویز نوشتن را به میزان ۵۲٪ و ۳۵٪ نسبت به طرح شش ترانزیستوری معمولی در ولتاژهای ۳۰۰ و ۸۰۰ میلی‌ولت افزایش داده است. حاشیه نویز نوشتن در واقع بیانی از میزان راحت‌تر بودن عمل نوشتن در سلول است لذا علت افزایش حاشیه نویز نوشتن در سلول ارائه‌شده، ضعیف‌شدن حلقه فیدبک در این سلول در حین عمل نوشتن است.

زمان نوشتن به صورت زمان بین رسیدن به ۵۰٪ خط کلمه WL و زمانی که طول می‌کشد تا q و qb (گره‌های داخلی در سلول مطابق شکل ۳) با هم برابر شوند، تعریف شده است. همچنین زمان خواندن به زمان بین فعال‌شدن خط کلمه خواندن تا زمانی که بین خط بیت‌ها ۵۰ میلی‌ولت اختلاف ولتاژ ایجاد شود، تعریف شده است. در طرح P8T که برای خواندن، یک خط بیت وجود دارد، معیار را اختلاف ۵۰ میلی‌ولت بین خط بیت خواندن و ولتاژ مرجع Vdd گرفته‌ایم.

همان طور که ملاحظه می‌شود برای طرح ارائه‌شده در این مقاله زمان نوشتن به شدت بهتر از سایر طرح‌ها است و علت آن را می‌توان تضعیف حلقه فیدبک در حین عمل نوشتن و نیز تقویت ترانزیستور دسترسی نوشتن دانست. در ولتاژ ۸۰۰ میلی‌ولت میزان کاهش زمان نوشتن در این طرح نسبت به بهترین زمان نوشتن از بین چهار طرح دیگر، حدود ۴۷٫۵٪ است.

در درجه اول شاید به ذهن برسد که به علت تک‌سر بودن عمل خواندن در این طرح، باید زمان خواندن بدتر شود اما مقدار تأخیر خواندن در این طرح از سایرین کمتر است زیرا در حین عمل خواندن، سری از سلول که در آن ۰ ذخیره شده است، باید خط بیت را دشارژ کند و عملاً سر دیگر که در آن ۱ ذخیره شده هیچ اثر مثبتی ندارد. لذا نمی‌توان گفت که خواندن دو سر زمان خواندن را در فرض پیش شارژ به تغذیه بهتر می‌کند. از طرف دیگر در این طرح با توجه به این که مدارهای جانبی

1. Pre Layout

Archive of SID

www.SID.ir

جدول ۱: مقایسه پارامترهای عملکردی سلول ارائه‌شده با چهار طرح دیگر در ولتاژ تغذیه ۳۰۰ میلی‌ولت.

	توان نشتی (nW)	توان مصرفی یک عمل نوشتن (uW)	زمان خواندن (ns)	زمان نوشتن (ns)	حاشیه نویز نگهداری (mV)	حاشیه نویز خواندن (mV)	حاشیه نویز نوشتن (mV)
P۸T	۰٫۳۸	۱٫۰۴	۹٫۳	۱۸	۹۰٫۶	۲۳٫۹	۱۷۵
ST۱۰T [۱۴]	۰٫۴۰	۱٫۸۹	–	۳۸٫۱	۱۳۴٫۹	۵۸٫۶	۱۳۵
LP۱۰T [۱۵]	۰٫۳۲	۱٫۵۵	–	۲۶	۴۵٫۹	۱۰۰٫۲	۱۳۰
۶T	۰٫۳۸	۱٫۹۹	–	۲۶	۹۲٫۶	۲۸٫۶	۱۱۵
۹T [۱۶]	۰٫۵۲	۱٫۶۱	–	۲۵	۹۲٫۴	۹۲٫۴	۱۲۵

جدول ۲: مقایسه پارامترهای عملکردی سلول ارائه‌شده با چهار طرح دیگر در ولتاژ تغذیه ۸۰۰ میلی‌ولت.

	توان نشتی (nW)	توان مصرفی یک عمل نوشتن (uW)	زمان خواندن (ns)	زمان نوشتن (ns)	حاشیه نویز نگهداری (mV)	حاشیه نویز خواندن (mV)	حاشیه نویز نوشتن (mV)
P۸T	۲٫۹۵	۲۳۳٫۸۲	۳٫۹	۱۰٫۵	۲۷۰٫۶	۱۱۶	۴۴۰
ST۱۰T	۴٫۰۸	۳۸۸٫۰۹	۸٫۱	۲۰٫۵	۳۱۷	۱۸۱٫۵	۳۶۵
LP۱۰T	۱٫۲۷	۳۹۶٫۳۲	۱۰٫۱	۲۰٫۵	۸۳٫۹	۳۶۷٫۳	۳۵۵
۶T	۲٫۹۲	۴۲۵٫۳۵	۷٫۷	۲۰	۲۷۸٫۵	۱۳۱٫۵	۳۲۵
۹T	۳٫۴۷	۴۱۷٫۰۶	۹٫۳	۲۰٫۷۶	۲۷۸٫۵	۲۷۸٫۵	۳۳۵

جدول ۳: کمترین ولتاژ قابل دسترس برای خواندن و نوشتن.

	کمترین ولتاژ برای نوشتن موفق (mV)	کمترین ولتاژ برای خواندن موفق (mV)
P۸T	۲۷۵	۲۷۵
ST۱۰T	۴۰۰	۴۰۰
LP۱۰T	۴۰۰	–
۶T	۴۵۰	۴۵۰
۹T	۴۵۰	–

نوشتن به خط بیت خواندن وصل نیست (نوشتن و خواندن مستقل هستند و خطوط بیت جداگانه‌ای دارند) لذا مقدار خازن خط بیت کمتر بوده و در نتیجه زمان خواندن بهتر شده است. در ولتاژ ۸۰۰ میلی‌ولت، زمان خواندن در طرح ارائه‌شده نسبت به بهترین طرح دیگر، حدود ۵۰٪ کاهش یافته و قابل ذکر است که در ولتاژ ۳۰۰ میلی‌ولت، تنها طرح P۸T قابلیت کارکرد صحیح را دارد و چهار طرح دیگر دچار خطای خواندن می‌شوند، به همین دلیل در جدول ۱ محل زمان خواندن این چهار طرح خالی است.

در طرح‌های ۹T و LP۱۰T با توجه به این که بین خط بیت و سلول، چهار ترانزیستور وجود دارد، میزان نشت بین خطوط بیت و سلول‌ها زیاد است، لذا با شروع‌شدن عمل خواندن، علاوه بر خط بیتی که باید دشارژ شود، ولتاژ خط بیت دیگر نیز رو به کاهش می‌گذارد و در نتیجه مدت زمان بیشتری طول می‌کشد تا حداقل اختلاف۵۰ میلی‌ولت بین خطوط بیت ایجاد گردد که این به معنی افزایش زمان خواندن است. به همین علت زمان خواندن در این دو طرح خیلی زیاد است [۱۷]

$$I_{Dsub} = I_{.} \exp(\frac{V_{GS} - V_T - \eta V_{th}}{\eta V_{th}})(۱ - \exp\frac{-V_{DS}}{V_{th}})$$
$$I = ۲n\mu C_{ox} \frac{W}{L}(\frac{kT}{q})^{۲} \quad (۱)$$

در این طرح با توجه به خوب‌بودن زمان خواندن، می‌توان اندازه ترانزیستور دسترسی خواندن را کمینه گرفت که این کار علاوه بر کاهش مساحت و کاهش احتمال خطای خواندن، مقدار نشت بین سلول‌های خاموش و خط بیت خواندن را بر اساس رابطه جریان زیرآستانه که به صورت (۱) می‌باشد، کاهش می‌دهد. با کاهش میزان نشت، امکان قراردادن تعداد بیشتری سلول در هر ستون آرایه حافظه فراهم می‌شود.

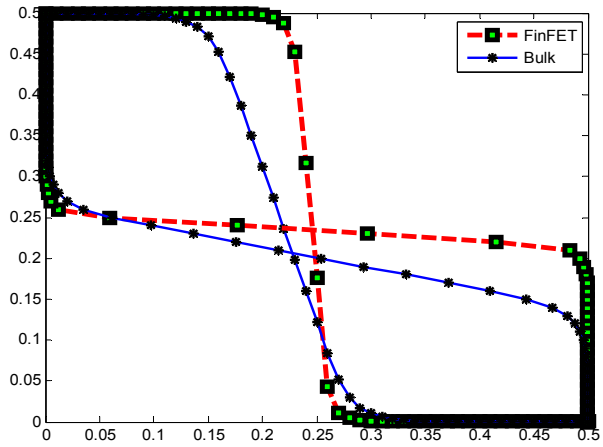
یکی دیگر از ویژگی‌های خوب طرح هشت ترانزیستوری ارائه‌شده، کم‌مصرف بودن آن است، به طوری که در ولتاژ ۸۰۰ میلی‌ولت میزان توان مصرفی برای یک عمل نوشتن در این طرح به میزان ۴۰٪ از بهترین طرح دیگر یعنی ST۱۰T بهتر می‌باشد. میزان توان نشتی در طرح LP۱۰T از بقیه بهتر است. بعد از آن، طرح ۶T و این طرح قرار دارند که تقریباً توان نشتی یکسانی دارند.

بهبودهای فوق برای توان در ولتاژهای تغذیه یکسان بوده است. این طرح امکان کارکردن در ولتاژهای تغذیه کمتری را نسبت به چهار طرح دیگر دارد و بدین ترتیب استعداد بهبود توان خیلی بیشتری را داراست. در جدول ۳ کمترین ولتاژ تغذیه‌ای را که در آن با لحاظ‌کردن اثر تغییرات پروسه ساخت، عمل نوشتن و خواندن با احتمال خطای کمتر از $۱۰^{-۶}$ صورت می‌پذیرد، آورده شده است. برای لحاظ‌کردن اثر فرایند ساخت از مدل SPICE موجود در کتابخانه تکنولوژی ۹۰ نانومتر صنعتی سی‌موس برای شبیه‌سازی مونت کارلو استفاده شده و برای این کار کافی است که کتابخانه‌های MC و STAT مورد استفاده قرار گیرند. در این شبیه‌سازی‌ها پارامترهای مختلفی مانند ولتاژ آستانه ترانزیستورها، دوپینگ کانال، ضخامت اکسید گیت، خازن پیوند و طول کانال با یک توزیع گوسی تغییر کرده است. روند کار بدین صورت بوده که ولتاژ تغذیه را از مقدارهای کم (۱۰۰ میلی‌ولت) با گام‌های ۲۵ میلی‌ولتی تغییر داده‌ایم و ولتاژی را که در آن عمل نوشتن با خطای کمتر از $۱۰^{-۶}$ صورت گرفته است (خطای نوشتن وقتی رخ می‌دهد که مقدار ورودی مورد نظر با فعال‌کردن خط کلمه WL در سلول نوشته نشود) را به عنوان کمترین ولتاژ نوشتن و ولتاژی را که در آن عمل خواندن، با خطای کمتر از این مقدار بوده به عنوان کمترین ولتاژ خواندن گزارش شده است. قابل ذکر است که خطای خواندن را دو نوع گرفته‌ایم، نوع اول این که در حین عمل خواندن، ولتاژ ذخیره‌شده در سلول به اشتباه تغییر کند و خطای نوع دوم این که خط بیت مربوط به درستی و به مقدار لازم در حین عمل خواندن دشارژ نشود.

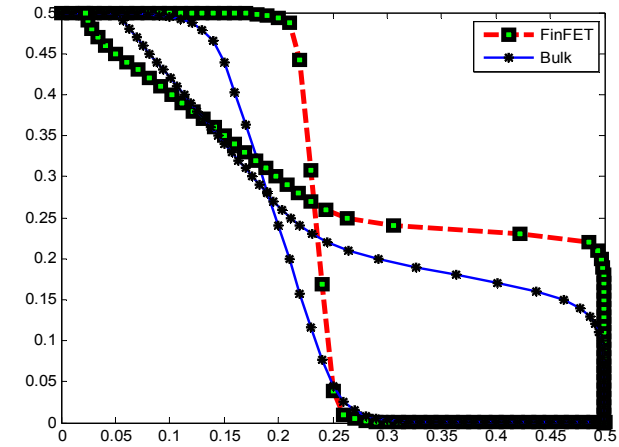
از جدول ۳ مشاهده می‌شود که برای ایده ما هم ولتاژ کمینه خواندن و هم نوشتن، کمتر از سایر طرح‌ها است به طوری که سلول ما امکان

Archive of SID

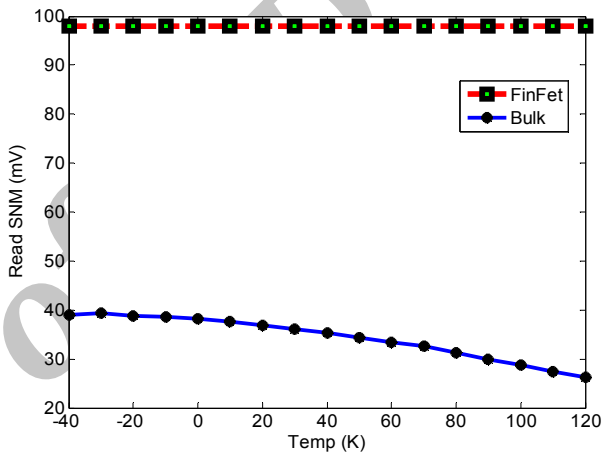
www.SID.ir



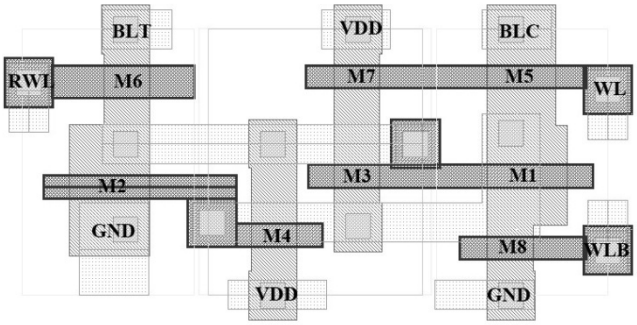
شکل ۷: نمودار پروانه‌ای حالت نگهداری برای سلول هشت ترانزیستوری ارائه‌شده با استفاده از FinFET و Bulk (نمودارهای فوق، بدترین حالت در شبیه‌سازی مونت کارلو با ۱۰۰۰ نمونه است).



شکل ۸: نمودار پروانه‌ای حالت خواندن برای سلول هشت ترانزیستوری ارائه‌شده با استفاده از FinFET و Bulk (نمودارهای فوق، بدترین حالت در شبیه‌سازی مونت کارلو با ۱۰۰۰ نمونه است).



شکل ۹: مقایسه میزان مقاومت حاشیه نویز خواندن سلول P۸T در برابر تغییرات دما برای FinFET و Bulk.



شکل ۱۰: نمای چینش سلول هشت ترانزیستوری ارائه‌شده.

کارکرد صحیح در ولتاژهای به کوچکی ۲۷۵ میلی‌ولت را دارد. با توجه به این که توان و انرژی با درجه دو به ولتاژ تغذیه ربط دارند، لذا با استفاده از سلول ارائه‌شده می‌توان حافظه‌ای با توان و انرژی بسیار کمتر داشت.

کمترین ولتاژ تغذیه برای عمل خواندن با شرایط گفته‌شده در بالا برای طرح‌های LP۱۰T و ۹T از ۱٫۵ ولت نیز بیشتر است لذا به دلیل طولانی‌شدن زمان شبیه‌سازی و این که ولتاژ مورد نیاز برای عمل خواندن از ولتاژهای نرمال تکنولوژی ۹۰ نانومتر بیشتر شد، ولتاژ کمینه خواندن برای این طرح‌ها را به دست نیاوردیم. لذا ستون ولتاژ کمینه برای عمل خواندن در جدول ۳ برای این دو طرح خالی است.

۵- استفاده از ترانزیستورهای FinFET برای حل مشکل کم‌بودن حاشیه نویز ایستای خواندن

استفاده از ترانزیستورهای FinFET با توجه به کنترل بهتر روی گیت ترانزیستور باعث بهتربودن نسبت جریان روشن به خاموش و توان نشتی بهتر بر اساس مقاله Long [۱۸] می‌شود. همچنین ترانزیستور FinFET دارای مشخصه با لبه‌های تیز می‌باشد که به حالت ایده‌آل نزدیک‌تر است و این ویژگی در نمودار پروانه‌ای باعث بازترشدن نمودار می‌شود که به معنی افزایش میزان حاشیه نویز است. برای مقایسه بهتر، سلول حافظه هشت ترانزیستوری ارائه‌شده را با استفاده از فایل‌های تکنولوژی PTM [۱۹] با اندازه ۱۶ نانومتر برای دو حالت Bulk و FinFET شبیه‌سازی کردیم. شکل ۷ نمودار پروانه‌ای را برای حالت نگهداری برای Bulk و FinFET در ولتاژ تغذیه ۵۰۰ میلی‌ولت نشان می‌دهد. در این حالت میزان حاشیه نویز Bulk، ۱۳۴٫۹ میلی‌ولت و حاشیه نویز FinFET برابر ۲۰۲٫۵ میلی‌ولت می‌باشد که تقریباً با حاشیه نویز طرح ST۱۰T (که دارای بیشترین حاشیه نویز نگهداری از بین ۴ مرجع بر اساس جدول ۲ می‌باشد) در ولتاژ تغذیه ۵۰۰ میلی‌ولت برابری می‌کند. همان طور که ملاحظه می‌کنید، نمودار پروانه‌ای مربوط به FinFET به حالت ایده‌آل (مربع کامل) نزدیک می‌شود. شکل ۸ نمودار پروانه‌ای حالت خواندن را نشان می‌دهد و ملاحظه می‌شود که میزان حاشیه نویز در حالت پیاده‌سازی با FinFET خیلی بیشتر است. در ولتاژ تغذیه ۵۰۰ میلی‌ولت میزان حاشیه نویز خواندن FinFET برابر ۹۳٫۵ میلی‌ولت و Bulk ۱۰ میلی‌ولت است (با در نظر گرفتن ۱۰۰۰ نمونه در شبیه‌سازی مونت کارلو). ملاحظه می‌شود که FinFET حاشیه نویزی حدود ۹ برابر بزرگ‌تر دارد.

برای بررسی اثر تغییرات دما، میزان حاشیه نویز را برای دماهای مختلف به دست آوردیم. شکل ۹ میزان تغییرات حاشیه نویز خواندن را در ازای تغییرات دمای بین ۴۰- تا ۱۲۰ درجه سلسیوس نشان می‌دهد. همان طور که دیده می‌شود علاوه بر این که میزان حاشیه نویز FinFET بیشتر از Bulk است، میزان تغییرات آن در برابر دما نیز کمتر است. این نمودار برای ولتاژ تغذیه ۵۰۰ میلی‌ولت رسم شده است.

۶- شبیه‌سازی پس از چینش

برای نزدیک‌تر شدن به حالت فیزیکی واقعی، چینش سلول ارائه‌شده را در تکنولوژی ۱۸۰ نانومتر صنعتی سی‌موس طراحی کردیم که شکل ۱۰ چینش سلول ارائه‌شده را نشان می‌دهد. طول این سلول ۵٫۰۳ میکرون و

Archive of SID
www.SID.ir

جدول ۴: مقایسه پارامترهای عملکردی سلول P8T پیش از چینش و پس از آن در ولتاژ تغذیه ۵۰۰ میلی‌ولت.

	حاشیه نویز خواندن (mV)	حاشیه نویز نگهداری (mV)	زمان نوشتن (ns)	زمان خواندن (ns)
پیش از چینش	۵۷٫۸	۱۵۶٫۱	۴۳٫۷	۱۳
پس از چینش	۴۵٫۱	۱۵۴٫۲	۶۹٫۹	۲۰

عرض آن ۲٫۳ میکرون است. در مقایسه با سلول ۶T که دارای طول ۴٫۹۴ میکرون و عرض ۱٫۶ میکرون است، میزان افزایش مساحت حدود ۴۶٪ می‌باشد و این در حالی است که میزان افزایش مساحت طرح‌های ST۱۰T و LP۱۰T در مقایسه با ۶T به ترتیب ۱۱۰ و ۱۵۶ درصد است [۱۵]. پس مساحت سلول‌های ST۱۰T و LP۱۰T به میزان ۴۵ و ۷۵ درصد از مساحت سلول ما بیشترند.

با استخراج فهرست قطعات[1] مدار از روی چینش، شبیه‌سازی پس از چینش[2] را انجام دادیم و با اضافه‌شدن خازن‌های پارازیتی، انتظار داریم میزان تأخیرها بیشتر شده باشد. جدول ۴ پارامترهای مختلف عملکردی را برای سلول ارائه‌شده در دو حالت پیش از چینش و پس از آن در ولتاژ تغذیه ۵۰۰ میلی‌ولت نشان می‌دهد. ملاحظه می‌شود که میزان حاشیه نویز برای پس از چینش و پیش از آن تفاوت اندکی دارند، برای مثال حاشیه نویز خواندن در ولتاژ ۵۰۰ میلی‌ولت به میزان حدود ۲۲٪ برای پس از چینش کاهش یافته اما میزان تغییرات تأخیرها بیشتر است. برای مثال زمان خواندن به میزان حدود ۵۳٪ در ولتاژ ۵۰۰ میلی‌ولت برای پس از چینش افزایش پیدا کرده که به علت اضافه‌شدن خازن‌های پارازیتی در چینش سلول است. با طراحی بهتر چینش سلول، می‌توان این خازن‌ها را کاهش داده و میزان افزایش تأخیرها را برای پس از چینش کمتر کرد.

۷- نتیجه‌گیری

در این مقاله با ارائه یک طرح جدید هشت ترانزیستوری برای سلول حافظه SRAM، قادر به حل مشکل نوشتن در سلول حافظه برای ولتاژهای پایین شدیم و توانستیم ولتاژ تغذیه را برای نوشتن و نیز خواندن تا ۲۷۵ میلی‌ولت پایین آوریم. طرح فوق در ولتاژ ۸۰۰ میلی‌ولت، زمان نوشتن را به میزان ۴۷٫۵ درصد و زمان خواندن را ۵۰ درصد نسبت به طرح شش ترانزیستوری معمولی بهبود داده است. همچنین طرح ارائه‌شده بسیار کم توان است به طوری که در ولتاژ تغذیه ۸۰۰ میلی‌ولت به میزان ۴۵ درصد توان لازم برای یک عمل نوشتن را نسبت به طرح شش ترانزیستوری معمولی بهتر کرده است.

۸- سپاس‌گزاری

از جناب آقای احسان قاسمی برای همکاری در طراحی چینش سلول‌های SRAM تشکر و قدردانی می‌نماییم.

مراجع

[1] A. Wang, B. H. Calhoun, and A. P. Chandrakasan, *Sub-Threshold Design for Ultra Low Power Systems*, Springer, 2005.

[2] K. Wang, *Ultra Low Power Fault Tolerant SRAM Design in 90 nm CMOS*, M.Sc. Thesis, Department of Electrical and Computer Engineering, University of Saskatchewan, Saskatoon, Saskatchewan, Canada, 2010.

[3] L. Turicchia, *et al.*, "Ultra low power electronics for noninvasive medical monitoring," in *Proc. IEEE Custom Integrated Circuits Conf., CICC'09*, pp. 85-92, 13-16 Sep. 2009.

[4] J. M. Rabaey, A. P. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits: a Design Perspective*, Prentice-Hall, Inc., 2003.

[5] T. H. Kim, Design Techniques for Ultra-Low Voltage Sub-Threshold Circuits and on-Chip Reliability Monitoring, Ph.D Thesis, Graduate School, University of Minnesota, Oct. 2010.

[6] B. H. Calhoun and A. Chandrakasan, "A 256 kb sub-threshold SRAM using 65 nm CMOS," in *Proc. IEEE Int. Solid-State Circuits Conf., ISSCC'06*. pp. 628-629, 6-9 Feb. 2006.

[7] L. Chang, D. M. Fried, J. Hergenrother, J. W. Sleight *et al.*, "Stable SRAM cell design for the 32 nm node and beyond," in *Proc. IEEE Symp. on VLSI Technology*, pp. 128-129, 14-16 Jun. 2005.

[8] J. Chen, L. T. Clark, and T. Chen, "An ultra-low-power memory with a sub-threshold power supply voltage," *IEEE J. of Solid-State Circuits*, vol. 41, no. 10, pp. 2344-2353, Oct. 2006.

[9] S. Tavva, *A Novel Variation-Tolerant 9 T SRAM Design for Nanoscale CMOS*, M.Sc. Thesis, Department of Computer Engineering, Kate Gleason College of Engineering, Rochester Institute of Technology, Rochester, New York, May 2010.

[10] T. Kim, J. Liu, J. Keane, and C. Kim, "A 0.2 V, 480 kb sub-threshold SRAM with 1 k cells per bit-line for ultra-low-voltage computing," *IEEE J. of Solid-State Circuits*, vol. 43, no. 2, pp. 518-529, Feb. 2008.

[11] G. Pasandi and S. M. Fakhraie, "A new sub-threshold 7 T SRAM cell design with capability of bit-interleaving in 90 nm CMOS," in *Proc.* 21st *Iranian Conf. on Electrical Engineering*, 6 pp., Mashhad, Iran, 14-16 May 2013.

[12] A. Neale, *Digital Timing Control in SRAMs for Yield Enhancement and Graceful Aging Degradation*, M.Sc. Thesis, Department of Electrical and Computer Engineering, University of Waterloo, Waterloo, Ontario, Canada, 2010.

[13] M. Sharifkhani and M. Sachdev, "Segmented virtual ground architecture for low-power embedded SRAM," *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 15, no. 2, pp. 196-205, Feb. 2007.

[14] J. P. Kulkarni, K. Kim, and K. Roy, "A 160 mV robust schmitt trigger based sub-threshold SRAM," *IEEE J. of Solid-State Circuits*, vol. 42, no. 10, pp. 2303-2313, Oct. 2007.

[15] A. Islam and M. Hasan, "Leakage characterization of 10 T SRAM cell," *IEEE Trans. on Electron Devices*, vol. 59, no. 3, pp. 631-638, Mar. 2012.

[16] Z. Liu and V. Kursun, "Characterization of a novel nine-transistor SRAM cell," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 16, no. 4, pp. 488-492, Apr. 2008.

[17] J. M. Rabaey, *Low Power Essentials*, Springer, 2009.

[18] F. M. Long *et al.*, "Comparison of 4 T and 6 T FinFET SRAM cells for subthreshold operation considering variability - a model-based approach," *IEEE Trans. on Electron Devices,* vol. 58, no. 3, pp. 609-616, Mar. 2011.

[19] Predictive Technology Model (PTM), Available: http://ptm.asu.edu/

قاسم پسندی در سال ۱۳۶۷ در سیرجان متولد شد و در سال ۱۳۸۶ با کسب رتبه ممتاز وارد دانشکده فنی دانشگاه تهران شد و تحصیلاتش را در رشته مهندسی برق در مقطع کارشناسی آغاز کرد. وی در سال ۱۳۹۰ مدرک کارشناسی خود را دریافت کرد و از مهر ماه سال ۱۳۹۰ با کسب رتبه ممتاز در آزمون سراسری، کارشناسی ارشد خود را مجدداً در دانشکده فنی دانشگاه تهران آغاز کرد. هم‌اکنون ایشان دانشجوی کارشناسی ارشد در رشته مهندسی برق-الکترونیک-مدار و سیستم می‌باشد و تا به حال چهار مقاله در کنفرانس‌ها و یک مقاله در مجله معتبر منتشر کرده است.

سید مهدی فخرایی در سال ۱۳۳۹ در دزفول به دنیا آمد و در سال ۱۳۶۸ درجه کارشناسی ارشد خود را در رشته الکترونیک از دانشکده فنی دانشگاه تهران و درجه دکتری را در رشته مهندسی برق و کامپیوتر در سال ۱۳۷۴ از دانشگاه تورنتو کانادا دریافت کرد. از سال ۱۳۷۴ به بعد ایشان به عنوان استادیار در دانشکده مهندسی برق و کامپیوتر دانشگاه تهران شروع به فعالیت کرد که در حال حاضر دارای درجه دانشیاری در این دانشکده می‌باشد. وی در این دانشکده مدیر بخش مهندسی سخت‌افزار کامپیوتر و سرپرست آزمایشگاه تحقیقاتی هوش سیلیکونی و پردازش مجتمع سیگنال‌ها است. ایشان همچنین بیش از ۲۲۰ مقاله در مجلات و کنفرانس‌های معتبر بین‌المللی و داخلی به چاپ

1. Netlist
2. Post Layout

Archive of SID

www.SID.ir

رسانده‌اند و در پروژه‌های متعدد صنعتی طراحی مدارها و سیستم‌های مجتمع مشارکت داشته‌اند که شامل پردازنده‌های شبکه و افزاره‌های دسترسی درگاهی برای مصارف خانگی، مودم‌های DSL، پیجرها، سیستم‌های پیغامی بی‌سیم یک‌راهه و دوراهه و پردازنده‌های دیجیتالی سیگنال‌ها برای تلفن‌های همراه و وسایل ارتباطی شخصی می‌باشند. زمینه‌های تحقیقاتی مورد علاقه ایشان شامل طراحی در سطح سیستم و پیاده‌سازی اختصاصی سیستم‌ها و مدارهای مجتمع مخابراتی و محاسباتی، ایده‌های نوین برای طراحی مدارهای دیجیتال با سرعت بالا و پیاده‌سازی مدار مجتمع برای سیستم‌های هوشمند با بازدهی بالا می‌باشد.

Archive of SID

www.SID.ir