Archive of SID

کاهش احتمال خطای نوشتن در حافظه‌های STT-RAM مبتنی بر اثر دمایی و با بهره‌گیری از روش دوگان‌سازی منابع ولتاژ

حمیدرضا زرندی و شاهرخ جلیلیان

چکیده: یکی از مهم‌ترین مشکلات حافظه‌های STT-RAM امکان بروز خطا در این حافظه‌ها است. از عوامل اصلی رخداد خطا در این حافظه‌ها می‌توان به نوسانات فرایند ساخت، نوسانات دمایی و وابستگی رخداد خطا به توزیع داده‌ای اشاره کرد و بنابراین احتمال رخداد خطا با توجه به داده موجود در هر سلول با سلول دیگر متفاوت خواهد بود. روش‌های ارائه‌شده موجود عموماً بدون در نظر گرفتن رفتار حافظه در شرایط فیزیکی مختلف، اقدام به حل مشکلات حافظه‌ها کرده‌اند که در نتیجه با سربار زیادی در توان و مساحت همراه هستند. بنابراین نیاز به ارائه روشی احساس می‌شود که در سطوح پایین‌تر، احتمال رخداد خطا را در هنگام عمل نوشتن کاهش دهد، با در نظر گرفتن این امر که سربار توان غیر قابل قبولی ایجاد نکند. به منظور کاهش رخداد خطای نوشتن و همچنین پیش‌گیری از سربار توان زیاد، پیشنهادی ارائه شده که با توجه به داده، مسیر جداگانه‌ای برای نوشتن در نظر خواهد گرفت. هر کدام از مسیرها مشخصه‌ای مطابق با داده خواهند داشت که در نهایت منجر به کاهش حداکثری خطای نوشتن می‌شود. در این راستا از مشخصه دمایی سلول برای کاهش زمان عملیات نوشتن بهره گرفته خواهد شد. شبیه‌سازی‌ها نشان می‌دهد که اعمال این روش منجر به کاهش ۱۱٫۳۸٪ زمان نوشتن در سلول حافظه شده که این دستاورد بدون سربار مساحت و یا توان نسبت به روش‌های موجود حاصل شده است.

کلیدواژه: **حافظه STT-RAM، قابلیت اطمینان، نوسانات فرایند ساخت، خطای نوشتن، سربار توان.**

۱- مقدمه

در چند دهه اخیر سرعت کاهش ابعاد ترانزیستورها و پیچیده‌شدن مدارهای دیجیتالی رو به افزایش است. بر اساس قانون مور [۱] و [۲] تعداد ترانزیستورها در واحد سطح تراشه افزایش می‌یابد به طوری که تعداد ترانزیستورهای روی یک تراشه با مساحت ثابت در هر هجده ماه به طور تقریبی دو برابر می‌شود که این تعداد امروزه به شش بیلیون رسیده است [۳]. با افزایش نمایی تعداد ترانزیستورها و افزایش قابلیت پردازشی، تقاضا برای حافظه‌های با سرعت و چگالی بالا افزایش یافته است.

از بین تکنولوژی‌های موجود، حافظه ایستا به عنوان حافظه نهان در سیستم‌های دیجیتالی استفاده می‌شود. از مزایای این حافظه می‌توان سازگاری آن با فرایند ساخت و سرعت بالا را نام برد. نوع دیگری از حافظه که امروزه به عنوان آخرین سطح حافظه نهان استفاده می‌شود، حافظه پویا است [۴]. اما با کاهش اندازه ترانزیستورها در ابعاد نانومتری این حافظه‌ها با مشکلات جدی همچون نوسانات فرایند ساخت و افزایش توان مصرفی روبه‌رو هستند. از طرفی افزایش اندازه حافظه نیز باعث افزایش توان مصرفی حافظه پویا می‌شود [۴] و [۵].

مشخصاً بخشی از توان مصرفی پردازنده‌ها را حافظه نهان شامل می‌شود. به طور مثال در پردازنده آلفا به طور متوسط ۲۰٪ از توان مصرفی کل تراشه مربوط به توان مصرف‌شده توسط حافظه نهان است [۵]. با کاهش اندازه ترانزیستورها، توان مصرفی ایستای حافظه از توان مصرفی پویا بیشتر می‌شود. با رسیدن به ابعاد ۴۰ نانومتری و کمتر، به دلیل محدودیت نسبت خازن خط بیت هر سلول، مقیاس‌پذیری حافظه‌های پویا محدود می‌شود. همچنین این حافظه‌های پویا به خطاهای ناشی از ذرات پرانرژی حساس هستند و برخورد این ذرات موجب ایجاد خطاهایی موسوم به خطاهای نرم خواهند شد [۶]. با توجه به فناوری‌های موجود، حافظه‌ها به عنوان گلوگاه سرعت و عامل اصلی توان مصرفی در سیستم دیجیتال هستند. این مشکلات در حافظه‌های موجود، توجه شرکت‌های بزرگ را به سرمایه‌گذاری بر روی حافظه‌های جدیدتر جلب کرده است که از این حافظه‌ها می‌توان حافظه‌های PCM [۷]، STTRAM [۸]، MRAM [۹] و RERAM [۱۰] را نام برد. جدول ۱ مقایسه مناسبی از ویژگی‌های اصلی این سلول‌های حافظه به دست می‌دهد.

از بین حافظه‌های جدید، یکی از کاندیدهایی که برای جایگزینی حافظه‌های ایستا و پویا ارائه شده است، STT-RAMها می‌باشد. این حافظه‌ها از مزایایی چون مساحت کم بیتی، سرعت خواندن بسیار مناسب (در حد چند نانوثانیه) و قابلیت نگهداری داده به صورت غیر فرار بهره می‌برند که غیر فرار بودن سبب شده تا توان نشتی کم بوده و برابر با صفر فرض شود. ویژگی‌های ذکرشده باعث گردیده تا این نوع حافظه‌ها به عنوان حافظه‌های روی تراشه استفاده شوند. در این نوع حافظه‌ها داده مورد نظر به صورت یک مقدار مقاومتی ذخیره می‌شود. به صورت پیش‌فرض مقاومت کمینه به عنوان داده صفر و مقاومت بیشینه به عنوان داده یک در نظر گرفته می‌شود هرچند که این سیستم بنا به خواست طراح سیستم قابل جابه‌جایی نیز می‌باشد [۱۱].

یکی از مشکلات حافظه‌های STT-RAM پایین‌بودن نرخ قابلیت اطمینان در آنها است. دلیل اصلی این مشکل، نوسانات فرایند ساخت و همچنین نوسانات دمایی است که سبب ایجاد خطاهایی در عملکرد نوشتن، خواندن و از دست دادن داده موجود در حافظه می‌شود [۱۲] و [۱۳]. برای برطرف‌کردن این مشکلات، راه‌حل‌هایی در سطوح مختلف مداری و معماری ارائه شده است. همچنین نسل جدیدی از این حافظه‌ها به نام SOT برای جداسازی مسیر نوشتن و خواندن داده برای کاهش خطای خواندن طراحی شده است. اگرچه راه‌حل‌های ارائه‌شده کنونی سبب کاهش احتمال رخداد خطای نوشتن می‌شوند ولی از سوی دیگر اغلب سبب افزایش احتمال رخداد خطاهای دیگر همچون خطای خواندن از سلول خواهند شد یا این که سربار غیر قابل قبولی از نظر توان، مساحت و

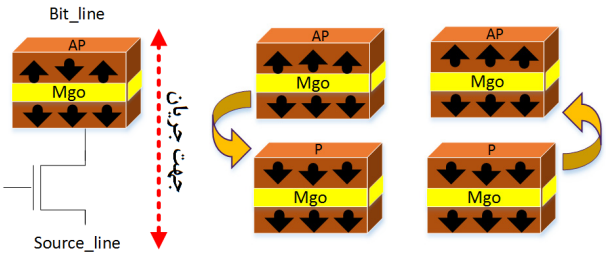
این مقاله در تاریخ ۲۶ دی ماه ۱۳۹۷ دریافت و در تاریخ ۸ شهریور ماه ۱۳۹۸ بازنگری شد. این تحقیق توسط پژوهشگاه فضایی ایران بر اساس طرح پژوهشی شماره ۴۲ از قرارداد شماره ۹۵/۱۰۵۰/۳۸۳/ق پشتیبانی شده است.

حمیدرضا زرندی (نویسنده مسئول)، دانشکده مهندسی کامپیوتر و فناوری اطلاعات، دانشگاه صنعتی امیرکبیر، تهران، ایران، (email: h_zarandi@aut.ac.ir).

شاهرخ جلیلیان، پژوهشکده سامانه‌های ماهواره، پژوهشگاه فضایی ایران، تهران، ایران، (email: sh.jalilian@isrc.ac.ir).

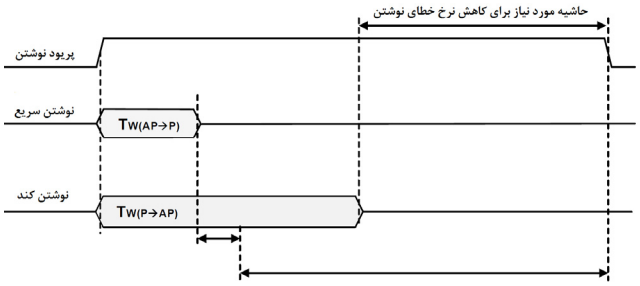
www.SID.ir

Archive of SID



(ب) (الف)

شکل ۱: (الف) المان MTJ و (ب) ساختار ۱T۱MTJ.



شکل ۲: عدم تقارن رفتار سلول MTJ هنگام عملیات نوشتن [۱۴].

جدول ۱: مقایسه بین حافظه‌های موجود و حافظه‌های نوظهور [۸].

نوع حافظه	PCMRAM	RRAM	FLASH	SRAM	DRAM	STTRAM
غیر فرّار بودن	+	+	+	−	−	+
دوام	$۱۰^{۹}$–$۱۰^{۱۲}$	~$۱۰^{۶}$	> $۱۰^{۵}$	$۱۰^{۱۵}$	$۱۰^{۱۵}$	$۱۰^{۱۵}$
اندازه تکنولوژی (nm)	۶۵	۴۰	۱۵	۱۰	۳۲	۴۵
زمان نگهداری (years)	> ۱۰	> ۱۰	۵	> ۱۰	~۱ (ms)	۱۰
تأخیر خواندن (ns)	> ۵	> ۵	۵۶۵/۳۶۵	۲/۱۷	۶۰	> ۵
تأخیر نوشتن (ns)	~۱۰۰	~۵۰	۲×۱۰^{۵}	۲/۰۷	۶۰	~۱۰
انرژی نوشتن (pj)	۲–۲/۵	۵۹۲	۱۰۰	۳۵۵	۱۰۰	۰/۱–۲/۵
شرکت سازنده	Samsung, Intel, WD, IBM	Panasonic, Micron	Micron, Samsung	Qualcom Intel	Samsung, SK Hynix	Toshiba, Hitachi

یا تأخیر خواهند داشت. از بین خطاهای ذکرشده خطای نوشتن داده دارای سربار تشخیص و تصحیح بالاتری نسبت به انواع دیگر خطا است و می‌توان آن را مشکل اصلی عدم استفاده گسترده از این حافظه‌ها عنوان کرد.

متداول‌ترین مدل برای سلول حافظه STT-RAM مدلی است شامل یک عنصر نگهدارنده داده به نام MTJ که با یک ترانزیستور NMOS به عنوان ترانزیستور دسترسی سری شده است. ساختار یک سلول MTJ در شکل ۱- الف نمایش داده شده است. همان طور که می‌بینید یک سلول MTJ متشکل از یک لایه اکسید است که بین دو لایه فرومغناطیس قرار گرفته است. جهت مغناطیسی یکی از لایه‌ها همواره ثابت است و از همین رو به نام لایه ثابت شناخته می‌شود. در مقابل لایه دیگری که جهت مغناطیسی آن در حین عملکرد سلول قابل تغییر و مشخص‌کننده مقاومت ترانزیستور است لایه آزاد نام دارد. اگر میدان مغناطیسی دولایه مرجع و آزاد هم‌جهت باشند آن گاه مقاومت سلول در کمترین حالت خود قرار گرفته و این شرایط را حالت موازی P می‌نامیم. در مقابل اگر جهت میدان مغناطیسی لایه‌ها مخالف همدیگر باشند، سلول در حالت بیشترین مقاومت قرار می‌گیرد و این حالت نیز AP نامیده می‌شود. به صورت معمول از حالت P برای ذخیره داده صفر و از حالت AP برای ذخیره داده یک استفاده می‌شود. در شکل ۱- ب ساختار متداول موجود برای یک سلول حافظه STT-RAM که ۱T۱MTJ نام دارد آورده شده است. یک سلول STT-RAM شامل سه پایه SL، BL و WL است. خط سورس (SL) پایه‌ای است که به سورس ترانزیستور دسترسی متصل می‌شود. خط بیت (BL) به لایه آزاد MTJ متصل می‌شود و در نهایت خط کلمه (WL) به گیت ترانزیستور دسترسی متصل است.

در این مقاله هدف کمک به کاهش خطای نوشتن بر روی سلول‌های STT-RAM است. راهکار پیشنهادی از مشخصه دمایی سلول حافظه و بهره‌گیری از آن برای تسریع عمل نوشتن استفاده خواهد کرد. بدین صورت که ابتدا تأثیر پارامترهای مختلف عناصر تشکیل‌دهنده حافظه بر احتمال بروز خطای نوشتن بررسی می‌شود. این پارامترها شامل اندازه ترانزیستورهای دسترسی، اندازه سلول حافظه، اندازه جریان اعمالی در مدار و فاکتورهای ثابت محیطی مثل دما خواهند بود. در ادامه با بهره‌گیری از تأثیر مثبت هر کدام از پارامترهای فوق به طراحی مداری جهت تسریع عمل نوشتن خواهیم پرداخت و سپس با استفاده از روش دوگان‌سازی منابع ولتاژ، سربار توان مصرفی را حداقل خواهیم کرد.

۲- پژوهش‌های پیشین

عملیات نوشتن در سلول‌های STT-RAM به صورت نامتقارن انجام می‌گیرد و از طرفی این عملیات به صورت غیر معین است به این معنی که میزان و دوره تناوب اعمال جریان برای انجام موفقیت‌آمیز عمل نوشتن در این سلول‌ها در هر بار نوشتن متفاوت است [۱۴]. این مشکل زمانی نمود بیشتری پیدا می‌کند که بدانیم نوشتن مقادیر منطقی صفر و یک در یک سلول زمان و انرژی‌های متفاوتی نیاز خواهد داشت. در شکل ۲ نمودی از این عدم تقارن به وضوح مشاهده می‌شود.

عامل اصلی این عدم تقارن، تأثیر نوسانات فرایند ساخت به هنگام ساخت المان حافظه MTJ و همچنین ترانزیستور دسترسی سری‌شده با آن می‌باشد. بنابراین سلول MTJ دارای عدم ثبات در مساحت، مقدار TMR[1] و همچنین ضخامت لایه اکسید است. این نوسانات در نهایت موجب تغییراتی در دامنه جریان نوشتن می‌شود. نتیجه این تغییرات خود را بر روی جریان نوشتن نشان داده و موجب خواهد شد تا عملیات نوشتن به دو دلیل زیر در زمان مورد انتظار انجام نشود:

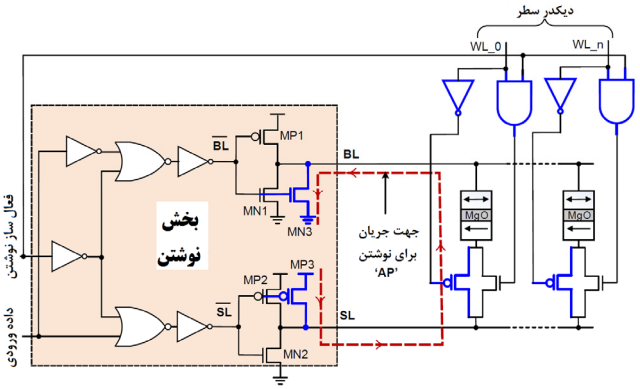
۱) تأثیر نوسانات فرایند ساخت بر ترانزیستور دسترسی، باعث خواهد شد تا در هنگام نوشتن داده در جهت غیر موازی (که در این پژوهش داده یک فرض شده است) یک افتادگی ولتاژ رخ دهد و جریان مورد نیاز برای انجام موفقیت‌آمیز عمل نوشتن در مدت زمان پیش‌بینی شده تأمین نشود.

۲) همچنین مقاومت المان MTJ تحت تأثیر این نوسانات دست‌خوش

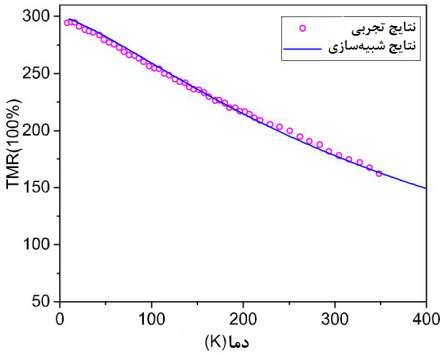
1. Tunneling Magnetoresistance Ratio

www.SID.ir

Archive of SID



شکل ۳: مدار تزریق جریان به صورت ایستا [۱۴].



شکل ۵: رفتار دمایی المان MTJ با افزایش دما.

تغییراتی می‌شود که موجب می‌گردد تا مقاومت‌های بالا و پایین مقدار مشخص و ثابتی نداشته باشد، به این معنی که ممکن است جریان ثابت عبوری برای عملیات نوشتن گاهی به نوشتن موفقیت‌آمیز منجر شده و در مواردی عملیات نوشتن انجام نپذیرد.

نگارش‌های پایان‌نیافته بر روی سلول حافظه MTJ در نهایت منجر به رخداد خطای نوشتن می‌شود که تعداد این خطاهای نوشتن را با پارامتری به نام WER[1] نشان می‌دهند. مقدار این پارامتر طبق (۱) قابل محاسبه است [۱۴]. در این معادله I دامنه جریان نوشتن، I_C جریان آستانه نوشتن در المان MTJ، α ثابت گیلبرت، Δ ثابت پایداری دمایی سلول و H_K ثابت ناهمسان‌گردی مغناطیسی است

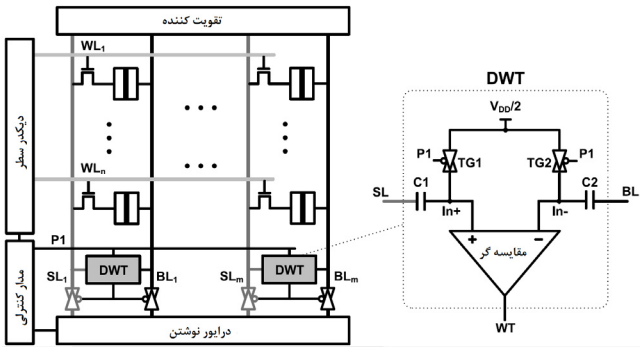
$$WER(t) = 1 - \exp\left[\frac{-\pi\Delta(\frac{I}{I_C})}{\frac{I}{I_C}e^{\frac{4}{2\alpha\gamma H_K t(\frac{I}{I_C}-1)}} - 1}\right] \quad (1)$$

افزایش اندازه و عرض پالس جریان منجر به افزایش احتمال نگارش‌های موفق در زمان ثابت می‌شود. راه‌حل‌های ارائه‌شده تا به امروز برای حل خطای نوشتن بر روی سلول‌های STT-RAM، عموماً بر پایه تلاش برای افزایش جریان نوشتن در هنگام انجام عملیات و کمک به اتمام موفقیت‌آمیز آن استوار بوده‌اند. شاخص‌ترین مدارات ارائه‌شده برای حل این مشکل دو روش زیر می‌باشند که به ترتیب در سال‌های ۲۰۱۶ و ۲۰۱۷ میلادی ارائه شده‌اند.

۲-۱ مدار تزریق جریان به صورت ایستا

همان طوری که در مدار ارائه‌شده در شکل ۳ دیده می‌شود در این

1. Write Error Rate



شکل ۴: مدار نمونه‌بردار [۱۵].

روش ابتدا ترانزیستورهایی از نوع PMOS به صورت موازی با ترانزیستور دسترسی، قرار داده شده است. وجود این ترانزیستورهای از نوع P باعث می‌شود تا اثر افت ولتاژ روی ترانزیستور NMOS در هنگام عملیات نوشتن داده یک، کاهش یابد. بنابراین این روش با استفاده از قراردادن ترانزیستورهایی به صورت ایستا در مسیر نوشتن داده باعث می‌شود تا جریان اضافی به مدار تزریق شود و در نهایت این جریان اضافی به تکمیل موفقیت‌آمیز عملیات نوشتن کمک خواهد کرد. مهم‌ترین ایراد قابل اشاره این روش آن است که تمامی تلاش‌ها برای نوشتن داده به خصوص در نوشتن داده صفر، لزوماً نیازی به تزریق جریان ایستا ندارد و عملاً این جریان اعمالی به مدار موجب افزایش توان مصرفی خواهد شد.

۲-۲ مدار نمونه‌بردار برای حذف اثر نوسانات فرایند ساخت

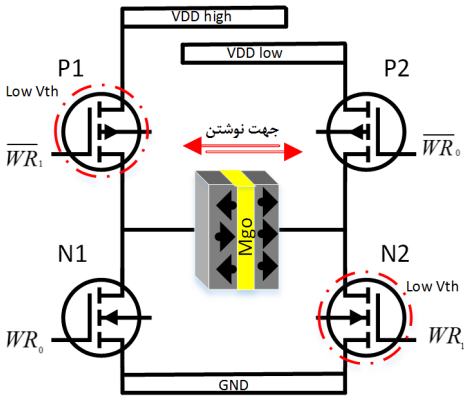
در این روش نویسنده مقاله سعی بر آن داشته که با استفاده از نمونه‌برداری از ولتاژ خطوط بیت و سورس و ذخیره این مقادیر در دو خازن، اثر نوسانات فرایند ساخت را بر تصمیم‌گیری اتمام فرایند نوشتن حذف کند، به این معنا که در شروع فرایند نوشتن، در یک زمان کوتاه ابتدا ولتاژهای خطوط بیت و سورس توسط دو خازن ذخیره می‌شوند، در ادامه تمامی تصمیم‌گیری‌ها از جمله اتمام فرایند نوشتن توسط مقایسه ولتاژها با مقادیر ذخیره‌شده در این خازن‌ها خواهد بود. مشکل اصلی این روش تأخیر زیاد ناشی از اضافه‌شدن مدارات جانبی به سلول حافظه و همچنین سربار مساحت غیر قابل قبول است. ساختار مدار ارائه‌شده در شکل ۴ آورده شده است.

۳- روش پیشنهادی

مشکل اکثر روش‌های پیشین گفته‌شده و همچنین سایر روش‌های موجود عدم بهره‌برداری از خاصیت‌های فیزیکی المان حافظه MTJ است. بررسی‌های انجام‌شده بر خاصیت دمایی المان MTJ نشان می‌دهد که رابطه منطقی بین دمای سلول و مقدار مقاومت‌های بالا و پایین آن وجود دارد. به عبارت دیگر شبیه‌سازی‌ها نشان می‌دهند که با افزایش دما، مقدار پارامتر TMR کاهش می‌یابد. این پارامتر نشان‌دهنده نسبت مقاومت بالا به پایین سلول است و بنابراین کاهش آن به معنای کاهش مقاومت بالا به سبب افزایش دما است. در نتیجه می‌توان از این خاصیت در جهت افزایش سرعت نوشتن و به عبارت دیگر کاهش خطای نوشتن بهره برد. نمودار رفتار دمایی TMR نسبت به افزایش دما در شکل ۵ آمده است. همان گونه که در شکل دیده می‌شود با افزایش دما مقدار مقاومت بالای المان کاهش پیدا می‌کند. همچنین این کاهش مقدار مقاومت بالا با استفاده از روابط دمایی داده‌شده در مدل نیز منطبق است. هم‌راستابودن

www.SID.ir

Archive of SID



شکل ۶ مدار نوشتن پیشنهادی.

نتایج شبیه‌سازی و نتایج حاصل از روابط ریاضی مدل مورد استفاده دال بر درستی این فرضیه است. لازم به ذکر است اگرچه کاهش پارامتر TMR سبب بهبود فرایند نوشتن می‌شود، در مقابل ممکن است موجب افزایش اغتشاش خواندن گردد که با روش‌های ارائه‌شده مرتبط قابل برطرف‌شدن است.

در شکل ۶ هسته اصلی مدار نوشتن پیشنهادی مقاله آورده شده است. این مدار نوشتن، سینگال‌های کنترلی خود را از مدار تشخیص اتمام فرایند نوشتن که در شکل ۷ آورده شده است دریافت می‌نماید.

بهره‌گیری از دو ترانزیستور P۱ و N۲ با ولتاژ آستانه کاهش‌یافته سبب افزایش جریان نشتی این دو ترانزیستور در مدار شده است. این افزایش جریان نشتی بر طبق رابطه ریاضی مابین دما و جریان نشتی موجود در مدل مورد استفاده، سبب افزایش دمای سلول MTJ خواهد شد. بنابراین در حین نوشتن داده یک، دمای سلول به صورت لحظه‌ای بالا خواهد رفت که این بالارفتن دما موجبات نوشتن راحت‌تر و به عبارت دیگر سریع‌تر را طبق توضیحات بیان‌شده به دست خواهد داد. بنابراین برای بالابردن دمای سلول از جریان نشتی بهره برده شد، سپس برای جبران توان مصرفی ناشی از این جریان، تکنیک دوگان‌سازی منابع ولتاژ اتخاذ گردیده است. همچنین با جداسازی مسیر نوشتن داده صفر و یک مشکل توان مصرفی بی‌مورد، در مواقع نوشتن صفر در روش‌های پیشین برطرف شده است. توجه به این نکته ضروری است که مقدار ولتاژ پایین در این روش به نحوی انتخاب شده که سربار را به صفر برساند که مقدار آن تحت عنوان V_D. در شکل ۸ مقاله مشخص است.

٤- نتایج و شبیه‌سازی‌ها

برای بررسی صحت عملکرد مدار و تعیین بهبود و درستی عملکرد این روش، شبیه‌سازی‌ها توسط نرم‌افزار HSPICE و با استفاده از مدل ترانزیستوری ۳۲ نانومتر PTM و مدل حافظه ارائه‌شده در [۱۶] انجام گردیده است. شبیه‌سازی‌ها با در نظر گرفتن ولتاژ سورس برابر ۰٫۹ ولت و مشخصات سلول حافظه برابر با جدول ۲ انجام شد. در جدول ۳ مقایسه‌ای بین نتایج روش پیشنهادی و روش‌های اخیر برای حل مشکل نوشتن دیده می‌شود. شکل موج خروجی مدار همان طور که در شکل ۸ دیده می‌شود با اتمام فرایند نوشتن موجب قطع سیگنال نوشتن شده است. نام‌گذاری شکل موج خروجی، مبتنی بر نام‌گذاری گره‌های شکل ۶ انجام گرفته و در شبیه‌سازی‌ها از مدار تشخیص اتمام فرایند نوشتن [۱۷] مطابق شکل ۷ استفاده شده است.

جدول ۲: مشخصات سلول STT-RAM.

پارامتر	توضیح	مقدار پیش‌فرض
Area	سطح MTJ	$۱۶e^{-۹}$
TMR	TMR ratio with v_{bias} ۰	٪۲۰۰
T_{ox}	ضخامت لایه اکسید	$۸٫۵e^{-۱۰}$
R.A	حاصل‌ضرب مقاومت در مساحت	۵
I_C	جریان آستانه	۲۰۰ u
T	دمای اتاق	۳۰۰ k
Tsl	ارتفاع لایه آزاد	$۱٫۳e^{-۹}$
Rp	مقاومت پایین سلول	۴٫۲ kΩ
Rap	مقاومت بالای سلول	۶٫۶ kΩ

جدول ۳: مقایسه نتایج روش پیشنهادی با روش‌های موجود.

پارامترها	STT-MRAM استاندارد	روش پیشنهادی	[۱۵]	[۱۴]
مساحت [$mm^۲$]	۱٫۳۱	۱٫۳۹	۱٫۳۷	۱٫۲۸
تأخیر نوشتن [ns]	۱۹	۱٫۹۵	۶٫۹	۱۱٫۳
انرژی نوشتن [pJ]	۱۰۴۶	۲۹۲٫۴	۸۴۹	۷۲۳٫۲
توان نشتی [mW]	۱۹۳	۲۱۷٫۳	۱۹۳٫۲	۱۹۳٫۱
مکانیزم خاتمه نوشتن داخلی	خیر	بلی	بلی	بلی
شیوه نظارت	–	پیوسته	پیوسته	دوره‌ای
حاشیه نویز	متوسط	زیاد	زیاد	خیلی زیاد

٥- نتیجه‌گیری

مشکل اصلی حافظه‌های STT-RAM بالابودن احتمال رخداد خطا در آنها است. از عوامل اصلی بالابودن رخداد خطا در این حافظه‌ها می‌توان به نوسانات فرایند ساخت، نوسانات دمایی و وابستگی رخداد خطا به توزیع داده‌ای اشاره کرد. بنابراین احتمال رخداد خطا با توجه به داده در هر سلول با دیگری متفاوت خواهد بود. راه‌حل ارائه‌شده در این مقاله در دو بخش استفاده از خاصیت دمایی سلول MTJ برای کاهش اختلاف بین زمان نوشتن در دو منطق صفر و یک و جداسازی مسیر داده نوشتن عمل کرده و منجر به کاهش ٪۱۱٫۳۸ در میانگین زمان نوشتن داده شده است. همچنین برای کنترل و کاهش توان مصرفی از روش دوگان‌سازی منابع ولتاژ بهره گرفته شده است.

مراجع

[1] S. Borkar and A. A. Chien, "The future of microprocessors," *ACM J. of the Communications*, vol. 54, no. 5, p. 67, May 2011.

[2] W. M. Holt, "1.1 Moore's law: a path going forward," in *Proc. IEEE Int. Solid-State Circuits Conf., ISSCC'16*, pp. 8-13, San Francisco, CA, USA, 31 Jan.-4 Feb. 2016.

[3] S. Rusu, *High-Performance Digital-2015 Trends*, 2015. [Online]. Available: http://isscc.org/doc/2015/isscc2015_trends.pdf. [Accessed: 14-Jul-2018].

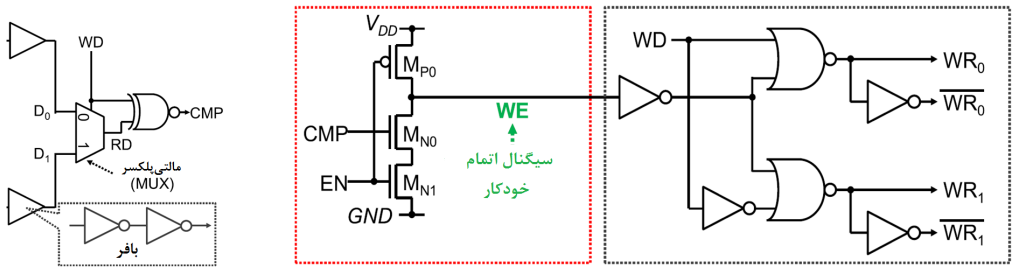
[4] S. Mittal, "A survey of architectural techniques for improving cache power efficiency," *Sustainable Computing: Informatics and Systems*, vol. 4, no. 1, pp. 33-43, ???. 2014.

[5] F. Hamzaoglu, *et al.*, "A 1 Gb 2 GHz embedded DRAM in 22 nm tri-gate CMOS technology," in *Proc. IEEE Int. Solid-State Circuits Conf., ISSCC'14*, pp. 230-231, San Francisco, CA, USA, 9-13 Feb. 2014.

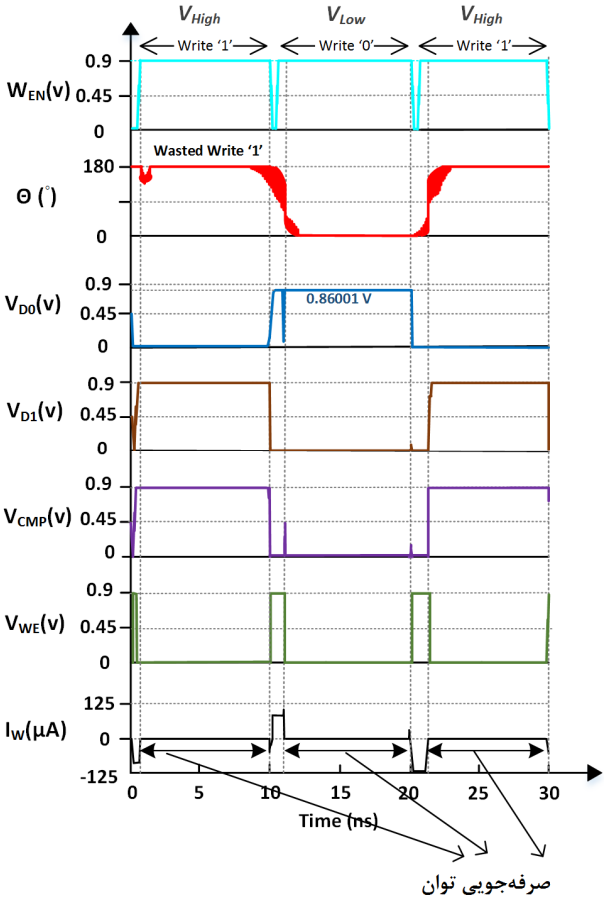
[6] V. Sridharan, *et al.*, "Memory errors in modern systems the good, the bad, and the ugly," in *Proc. of the 20th Int. Conf. on Architectural Support for Programming Languages and Operating Systems, ASPLOS'15*, pp. 297-310, Mar. 2015.

www.SID.ir

Archive of SID



شکل ۷: مدار تشخیص اتمام علمیات نوشتن [۱۷].



شکل ۸: نمودار شکل موج خروجی روش پیشنهادی.

[7] H. S. Philip *et al.*, "Phase change memory," *Proceedings of the IEEE*, vol. 98, no. 12, pp. 2201-2227, Dec. 2010.

[8] C. Augustine, N. N. Mojumder, X. Fong, S. H. Choday, S. P. Park, and K. Roy, "Spin-transfer torque MRAMs for low power memories: perspective and prospective," *IEEE Sensor J.*, vol. 12, no. 4, pp. 756-766, Apr. 2012.

[9] H. F. Liu, S. S. Ali, and X. F. Han, "Perpendicular magnetic tunnel junction and its application in magnetic random access memory," *Chinese Physics*, vol. 23, no. 7, p. 77501, Jun. 2014.

[10] H. Akinaga and H. Shima, "Resistive random access memory (ReRAM) based on metal oxides," *Proceedings of the IEEE*, vol. 98, no. 12, pp. 2237-2251, Dec. 2010.

[11] C. Augustine, *et al.*, "Spin-transfer torque MRAMs for low power memories: perspective and prospective," *IEEE Sensor J.*, vol. 12, no. 4, pp. 756-766, Apr. 2012.

[12] S. Mittal and V. Jeffrey, "Reliability tradeoffs in design of volatile and nonvolatile caches," *J. of Circuits, Systems and Computers*, vol. 25, no. 11, pp. 1650139:1-1650139:14, Jun. 2016.

[13] P. Chi, S. Li, Y. Cheng, Y. Lu, S. H. Kang, and Y. Xie, "Architecture design with STT-RAM: opportunities and challenges," in *Proc. of Asia South Pacific Design Automation Conf., ASP-DAC*'16, , pp. 109-114, Macau, China, 25-28 Jan. 2016.

[14] R. Bishnoi, M. Ebrahimi, F. Oboril, and M. B. Tahoori, "Improving write performance for STT-MRAM," *IEEE Trans. on Magnetics*, vol. 52, no. 8, pp. 1-11, Aug. 2016.

[15] H. Farkhani, M. Tohidi, A. Peiravi, J. K. Madsen, and F. Moradi, "STT-RAM energy reduction using self-referenced differential write termination technique," *IEEE Trans. on Very Large Scale Integration Systems*, vol. 25, no. 2, pp. 476-487, Feb. 2017.

[16] Y. Zhang, *et al.*, "Compact modeling of perpendicular-anisotropy CoFeB/MgO magnetic tunnel junctions," *IEEE Trans. on Electron Devices*, vol. 59, no. 3, pp. 819-826, Mar. 2012.

[17] D. Suzuki, M. Natsui, A. Mochizuki, and T. Hanyu, "Cost-efficient self-terminated write driver for spin-transfer-torque RAM and logic," *IEEE Trans. on Magnetics*, vol. 50, no. 11, pp. 1-4, Nov. 2014.

حمیدرضا زرندی تحصیلات خود را در مقاطع کارشناسی، کارشناسی ارشد و دکتری به‌ترتیب در سال‌های ۱۳۷۹، ۱۳۸۱ و ۱۳۸۵ از دانشگاه صنعتی شریف به پایان رسانده است. نامبرده از سال ۱۳۸۶ در دانشکده مهندسی کامپیوتر دانشگاه صنعتی امیرکبیر (پلی‌تکنیک تهران) به عنوان عضو هیأت علمی شروع به کار کرده است. ایشان هم‌اکنون دانشیار دانشکده و مؤسس آزمایشگاه تحلیل و طراحی سیستم‌های اتکاپذیر می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: تزریق اشکال، قابلیت اطمینان، اتکاپذیری و محاسبات تحمل‌پذیری اشکال و طراحی معماری سیستم‌های انکاپذیر. ایشان عضو هیأت مدیره انجمن فیزیکی سایبری و نیز ریاست قطب اینترنت اشیاء دانشگاه صنعتی امیرکبیر را برعهده دارد.

شاهرخ جلیلیان در سال۱۳۷۴ مدرک کارشناسی مهندسی برق الکترونیک خود را از دانشگاه صنعتی خواجه نصیرالدین طوسی و در سال ۱۳۷۷ مدرک کارشناسی ارشد مهندسی برق الکترونیک خود را از همان دانشگاه دریافت نمود. از سال ۱۳۷۵ الی ۱۳۸۶ نامبرده به عنوان کارشناس ارشد در حوزه سامانه‌های دیجیتال و نرم‌افزار سامانه‌های نهفته در مرکز تحقیقات مخابرات ایران به کار مشغول بود و پس از آن در پژوهشکده سامانه‌های ماهواره (ذیل سازمان فضایی ایران و اکنون ذیل پژوهشگاه فضایی ایران) در حوزه نرم‌افزار روی برد ماهواره ادامه کار داد و از سال ۱۳۹۱ نیز عضو هیأت علمی این پژوهشکده در رتبه مربی است. زمینه‌های علمی مورد علاقه ایشان شامل موضوعاتی مانند سامانه‌های نهفته، معماری نرم افزار روی برد، تست نرم افزارهای نهفته و تحمل‌پذیری خطای نرم‌افزاری است.

www.SID.ir