# تکنیک های جدید برای کاهش نویز فاز در اسیلاتورهای موج میلی متری میتنی بر خطی سازی مدار

میلاد عطائی[۱]

عبدالرضا نبوی[۲]

## چکیده

در این مقاله بر حسب سایز ترانزیستورها و بهره‌ی بازخورد اسیلاتور، نقطه هایی را پیدا می‌کنیم که بهره هسته فعال اسیلاتور در آنها بیشینه باشد. برای پیاده سازی بهره هسته فعال از یک ترانسفورماتور استفاده کرده‌ایم. این ترانسفورماتور را به شکلی در مدار قرار می‌دهیم که هم‌زمان، هم بهره لازم برای بازخورد نوسان ساز تامین گردد و هم قسمتی از خازن‌های پارازیتی حذف شوند. به این نحو در اسیلاتور کارکرد، رنج تنظیم و نویز فاز به ترتیب 70%و 5dB بهبود پیدا خواهد کرد و مشخص خواهد شد که در حالت عمومی با خطی سازی اسیلاتور در موج میلیمتری می‌توانیم حتی کاهش بیشتری در نویز فاز داشته باشیم و براساس این موضوع اسیلاتور را تا جای ممکن خطی می‌کنیم. شبیه سازی ها برای اسیلاتور طراحی شده درفناوری CMOS - 0/18 µm بعد از بدست آوردن پارامترهای پارازیتی Layout نشان می‌دهند که این اسیلاتور دارای نویزفاز 89dB/Hz- در آفست 1MHz و پهنای باند قابل تنظیم 1/9GHzدر اطراف بسامد 57 GHz و توان خروج 10/5 - dBm می‌باشد.

## کلید واژه

اسیلاتور، خطی سازی، عناصر پارازیتی، موج میلیمتری، نویز فاز

۱. کارشناس ارشد برق،دانشگاه تربیت مدرس، m.ataei@modares.ac.ir

۲. دانشیار دانشکده برق، دانشگاه تربیت مدرس

تاریخ دریافت:۹۰/۳/۱۵ تاریخ پذیرش:۹۰/۵/۱۷

Archive of SID

www.SID.ir

## مقدمه

این‌مقاله‌روشی‌جدید برای طراحی اسیلاتور کم نویز در باند بسامدی موج میلیمتری ارائه‌می‌دهد. پهنای باند آزاد و وسیع GHz 7 موجود در آن باند، تداخل اندک و امکان ارسال سیگنال با توان بالا، باعث شده است تا امکان انتقال اطلاعات بصورت بی‌سیم با سرعت‌های بالاتر از چند Gb/sec و با مدولاسیون‌های ساده در بسامدهای موج میلیمتری فراهم باشد. این مزایا باعث توجه روز افزون محققان به طراحی مدارات CMOS در این باند شده است تا بتوان فرستنده گیرنده‌های موج‌میلیمتری ارزان قیمت برای کاربردهایی چون WirelessHD، شبکه محلی (Local Area Network) بی‌سیم، رادار و یا تصویر برداری با دقت بالا، طراحی کرد.

یکی از چالش‌های عمده در طراحی فرستنده-گیرنده‌های بیسیم در بسامدهای موج میلیمتری، مدار نوسان ساز آنها می‌باشد. این نوسان ساز باید دارای نویز فاز کم باشد تا مشکلاتی نظیر تغییر دیاگرام خوشه ای فاز و یا کاهش سیگنال به نویز، روی ندهد. همچنین نوسان ساز باید بتواند در یک پهنای باند وسیع قابل تنظیم باشد.

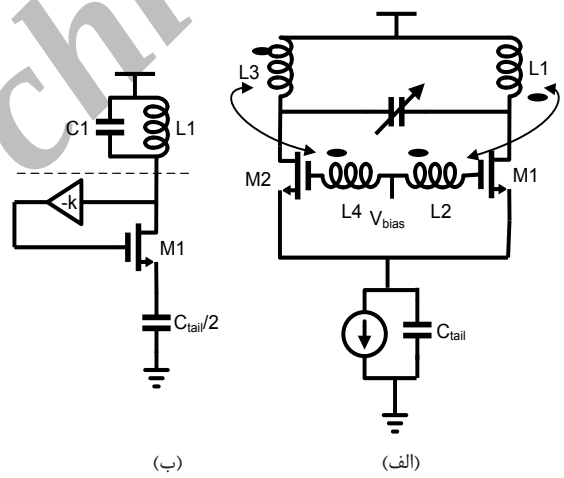
برای کاهش نویز فاز میتوان دامنه خروجی نوسان ساز را زیاد کردکه لازمه این کار افزایش اندوکتانس رزوناتور می‌باشد. با افزایش اندوکتانس رزوناتور در یک بسامد خاص باید مقدار ورکتور را کوچک انتخاب کرد و در نتیجه پهنای باند قابل تنظیم را محدود نمود. راه دیگر افزایش دامنه اسیلاتور، افزایش رسانایی هسته فعال Gm مدار می‌باشد. در بسامدهای پایین با افزایش عرض ترانزیستورهای هسته‌ی فعال میتوان Gm آنها را افزایش داد. لیکن در بسامدهای موج میلیمتری با توجه به اینکه مقدار خازنهای رزوناتور قابل مقایسه با خازن‌های پارازیتی ترانزیستورها می‌باشد، افزایش اندازه باعث محدود کردن پهنای باند قابل تنظیم می‌شود و همینطور در اثر قضیه میلر، این خازن‌ها باعث کاهش Gm مدار نیز می‌گردند [۱]. در نتیجه میتوان این انتظار را داشت که با افزایش اندازه ترانزیستورها از نقطه‌ای به بعد نه تنها Gm افزایش پیدا نکند، بلکه کاهش پیدا کند.

وجود این مقدار رویارویی در طراحی باعث شده تا طراحان فن‌ها و طراحی‌های جدیدی برای شکستن این تقابل‌ها ارائه کنند. بعضی از مقالات ذکر کرده‌اند که با مقیاس کردن اسیلاتور طراحی شده خوب در بسامدهای پایین تر، می‌توان اسیلاتوری خوب در بسامدهای موج میلیمتری ایجاد کرد [۲]. اما همان طور که گفتیم و در ادامه نیز خواهد آمد، ماهیت تلفات و نویز فاز در بسامدهای موج میلیمتری با فرکانس های پایین تر متفاوت می باشد. در نتیجه اسیلاتور طراحی شده به این شکل بهینه نیست. در بعضی از طراحی‌ها از اسیلاتور Push-Push استفاده می‌شود [۳].

Archive of SID
www.SID.ir

در این اسیلاتورها هسته اصلی در بسامد پایین‌تر و در نتیجه با Gm بهتر نوسان میکند، ولی توان خروجی آنها پایین و تک سر هستند و یا در صورت دیفرانسیلی بودن تقارن خوبی بین خروجی های آنها وجود ندارد. بنابراین این نوع از اسیلاتورها برای طراحی بصورت مدار مجتمع مناسب نیستند. در بعضی از مدارها برای افزایش Gm هسته اصلی، از ساختارهای خط انتقالی برای تبدیل ادمیتانس استفاده می‌شود [۴]. بکاربردن خط انتقال در مدارهای CMOS باعث اشغال مساحت زیادی در تراشه می شود و همچنین بدلیل وجود تلفات بالای زیرلایه CMOS و نیاز به جبران سازی آن، باعث افزایش توان نیز خواهد شد. می توان از ساختارهای ترانسفورماتوری نیز برای افزایش Gm استفاده کرد [۵]، اما همانطور که نشان داده خواهد شد، وجود این ساختارها باعث می‌شوند تا اثر عناصر پارازیتی تشدید شود. بنابراین در آن ساختارها، بهره‌ی ولتاژ کمی از ترانسفورماتور می‌گیرند.

ما در اینجا با استفاده از ترانسفورماتور، اسیلاتوری ارائه خواهد شد که Gm آن بر حسب اندازه ترانزیستورها و بهره فیدبک در نقطه‌ی بهینه قرار گرفته است. توپولوژی این مدار به شکلی است که نه تنها ترانسفورماتور باعث تشدید اثر عناصر پارازیتی نمی‌گردد، بلکه قسمتی از این عناصر پارازیتی را حذف می کند. در ادامه نشان داده خواهد شد که ماهیت نویز فاز در بسامدهای موج میلیمتری متفاوت با بسامدهای پایین است و برطبق این موضوع طراحی اسیلاتور کم نویز تکمیل‌خواهد شد. شبیه سازی‌های ما با فناوری ۰/18 µm CMOS - انجام می‌گیرد.




شکل ۱ الف) مدار یک اسیلاتور عمومی تحقق یافته با ترانسفورماتور ب) نیم مدار اسیلاتور



Archive of SID
www.SID.ir

## طراحی اسیلاتور با Gm بهینه

همانطور که گفته شد، با افزایش اندازه ترانزیستور در بسامدهای موج میلیمتری ممکن است که بجای افزایش Gm، شاهد کاهش آن باشیم. بنابراین در این قسمت با استفاده از تحلیل سیگنال بزرگ اثر افزایش اندازه قطعه را بر روی Gm هسته اصلی نوسان ساز می‌بینیم و نقطه‌ای که در آن Gm برحسب اندازه ترانزیستورها بهینه می گردد را بدست می‌آوریم. این تحلیل را همزمان برای ضریب فیدبک اسیلاتور نیز انجام می‌دهیم و اثر آن را روی Gm اسیلاتور ملاحظه می‌کنیم.

ابتدا به مدار یک اسیلاتور عمومی که با استفاده از یک ترانسفورماتور تحقق یافته است (شکل ۱ الف)، توجه کنید. نیم مدار این اسیلاتور را میتوان بصورت شکل ۱ (ب) الگو کرد. با استفاده از الگوی ترانزیستور میتوان مقدار Gm هسته اسیلاتور را بصورت زیر نوشت:

$$Gm = g_{ds}(v) - g_m(v) \times k \qquad (۱)$$

که $g_m$ و $g_{ds}$ به ترتیب ترارسانایی و رسانایی درین – سورس ترانزیستور می باشند. چون این پارامترها سیگنال بزرگ هستند، باید به بایاس وابسته باشند. k ضریب فیدبک اسیلاتور است که آن را بهره ولتاژ ترانسفورماتور ایجاد می‌کند و برابر است با:

$$k = \sqrt{\frac{L_2}{L_1}} \qquad (۲)$$

برای بدست آوردن Gm ابتدا باید $g_m$ و $g_{ds}$ سیگنال بزرگ را در نقطه بایاس بدست آورد. به همین منظور با استفاده از تابع توصیفی مقدار جریان خروجی نیم مدار شکل ۱(الف) را برحسب ولتاژهای ورودی آن بصورت زیر می‌نویسیم:

$$i_D(\omega t) = I_0 + g_m(v_{GS}, v_{DS}) v_{gs} \times \cos(\omega t + \varphi) + g_{ds}(v_{GS}, v_{DS}) v_{ds} \times \cos(\omega t) \qquad (۳)$$

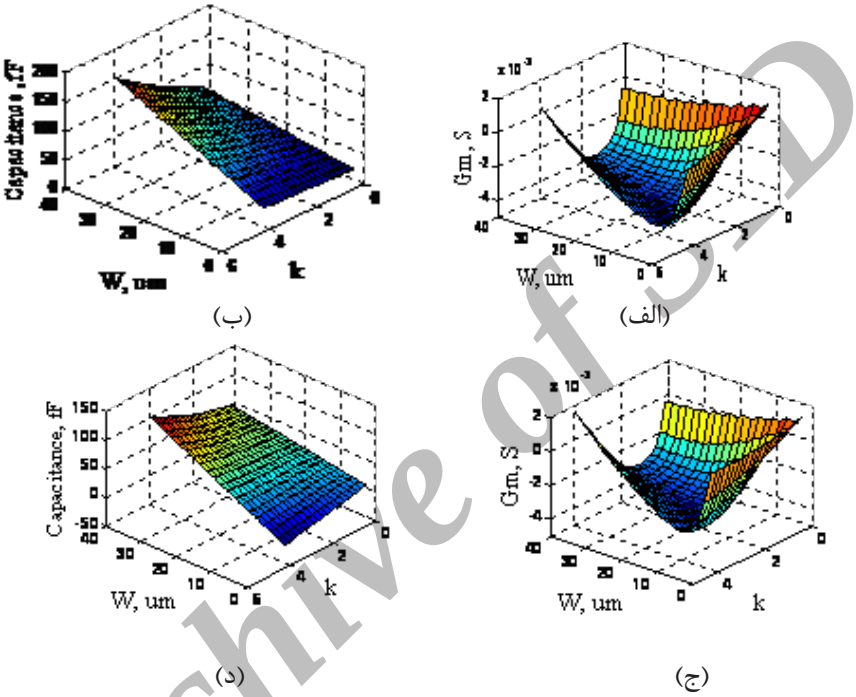
که φ اختلاف فاز جریان خروجی و ولتاژ $v_{gs}$ است. چون هارمونیک بالاتر از هارمونیک اصلی خروجی در اسیلاتورها کمتر از 10% هارمونیک اول می باشند، استفاده از تابع توصیفی برای جریان خروجی دقیق می باشد. با ضرب طرفین رابطه (۳) در sin(ωt) و sin(ωt+φ) به ترتیب میتوان مقدار $g_m$ و $g_{ds}$ را بصورت زیر نوشت:

Archive of SID

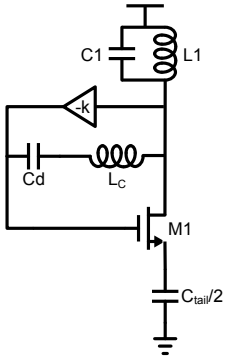
www.SID.ir

$$g_m = \frac{-1}{\pi \times v_{gs} \times \sin(\varphi)} \int_0^{2\pi} i_d(\omega t)\sin(\omega t) d(\omega t) \quad (۴)$$

$$g_{ds} = \frac{1}{\pi \times v_{ds} \times \sin(\varphi)} \int_0^{2\pi} i_d(\omega t)\sin(\omega t + \varphi) d(\omega t) \quad (۵)$$




شکل ۲) شبیه سازی نیم مدار سیگنال بزرگ برای الف) Gm یک اسیلاتور عمومی ب) خازن‌های پارازیتی اسیلاتور عمومی
ج) Gm اسیلاتور با فن حذف خازن‌های پارازیتی د) خازن‌های پارازیتی اسیلاتور با فن حذف خازن‌های پارازیتی




شکل ۳) نیم مدار اسیلاتور با استفاده از فن حذف عناصر پارازیتی

Archive of SID



www.SID.ir

جریان ترانزیستور را می‌توان به صورت زیر نشان داد:

$$I_D = K\left(\frac{W}{l}\right)\frac{(v_{GS}-V_T)^2}{1+\theta(v_{GS}-V_T)}(1+\lambda v_{DS}) \qquad (۶)$$

که $V_T$ ولتاژ آستانه، $\lambda$ پارامتر مدولاسیون کانال، K ثابت وابسته به فناوری و $\theta$ پارامتری است که با کمک آن می‌توان کاهش موبیلیتی به دلیل میدان عمودی را الگوکرد. با جایگذاری رابطه ۶ در معادلات ۴ و ۵ مقدار اولیه $g_m$ و $g_{ds}$ حاصل می‌گردد. بدلیل وابسته بودن مقدار $\varphi$ به مقادیر $g_m$ و $g_{ds}$ سیگنال بزرگ، مقدار $g_m$ و $g_{ds}$ سیگنال بزرگ نهایی با چند بار درون‌یابی معادلات ۴ و ۵ حاصل می‌گردد. با قرار دادن این مقادیر در رابطه ۱، اندازه بیشینه $G_m$ با جریان بایاس ۲/۲mA و دامنه خروجی ۰/۷V، در عرض ترانزیستوری µm ۱۹و بهره فیدبک ۲ بدست می‌آید. برای ارزیابی مقادیر بدست آمده از تحلیل، از شبیه‌سازی هارمونیک بالانس برای نیم مدار شکل ۱ (ب) استفاده کردیم. همانطور که از شکل ۲ (الف) مشخص است، اندازه‌ی بیشینه Gm در عرض ترانزیستوری W µm ۱۶و بهره فیدبک ۲/۵ واقع شده است.

همانطور که گفته شد، خازنهای پارازیتی نیز یکی از چالشهای عمده اسیلاتورهای موج میلیمتری هستند. مقدار خازنهای پارازیتی دیده شده از درین نیم مدار شکل ۱ (ب) برابر است با:

$$C = C_{ds} + C_{gd} \times (k+1) \qquad (۷)$$

که $C_{gd}$ و $C_{ds}$ خازن‌های پیوند گیت-درین و درین-سورس ترانزیستور می‌باشند که مستقیماً با عرض ترانزیستور متناسب‌اند. همانطور که از رابطه‌ی ۷ مشخص است و شبیه سازی هارمونیک بالانس از درین نیم مدار شکل ۱ (ب) نشان می‌دهد، مقدار این خازنها با افزایش اندازه و بهره فیدبک افزایش می‌یابد شکل ۲ (ب). یکی از راه‌حل‌هایی که برای حذف خازن در بسامدی معین پیشنهاد می گردد، استفاده از یک سلف اضافی موازی آن خازن می باشد، به شکلی که آن دو باهم در بسامد مورد نظر رزونانس کنند[۶]. اگر از این فن در مدار اسیلاتور خود استفاده کنیم، نیم مدار شکل ۳ بدست می آید. در این شکل خازن Cd، خازن جدا کننده بایاس می‌باشد. بنابراین میتوان رابطه Gm و خازن پارازیتی دیده شده از درین نیم مدار شکل ۳ را بصورت زیر نوشت:

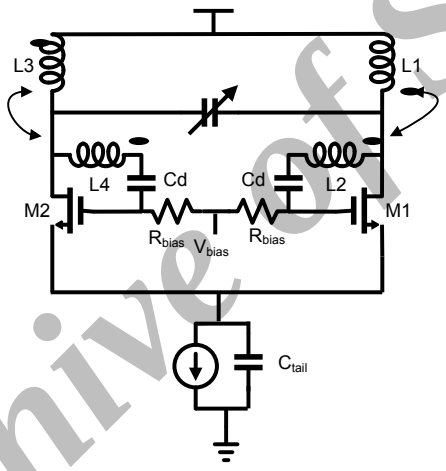
Archive of SID

www.SID.ir

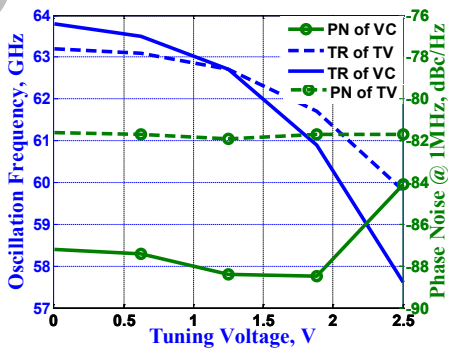
$$Gm \approx g_{ds}(v) - g_m(v) \times k + \frac{(k+1)}{L_C \omega Q_C} \quad (۸)$$

$$C \approx C_{ds} + C_{gd} \times (k+1) - \frac{(k+1)}{L_C \times \omega^2} \quad (۹)$$

که $Q_C$ ضریب کیفیت سلف $L_C$ میباشد. بنابراین اگر Q سلف استفاده شده بین گیت و درین ترانزیستور بزرگ باشد، بدون کاهش اندازه Gm میتوان مقدار زیادی از عناصر پارازیتی را حذف کرد. در شکل(۲ ج و د) شبیه سازی هارمونیک بالانس برای نیم مدار شکل ۳ به ازای $L_C$=۷۰۰ pH و $Q_C$=۱۵ آورده شده است. همانطور که از این اشکال مشخص است - با وجود این سلف - مقدار زیادی از خازن‌های پارازیتی حذف شده‌اند و Gm کاهش زیادی پیدا نکرده است.




شکل ۴) اسیلاتور پیشنهادی با فن حذف عناصر پارازیتی




شکل ۵) پهنای باند قابل تنظیم و نویز فاز اسیلاتور شکل ۴ که دارای فن حذف عناصر پارازیتی (VC) است و اسیلاتور عمومی (TV) شکل ۱ (الف)



Archive of SID
www.SID.ir

وجود یک سلف اضافی در این مدار باعث میگردد تا سطح تراشه بزرگ تر و مراحل طراحی بیشتر شود. برای اجتناب از این موضوع، ما سلف L2 را در شکل ۱ (الف) بین گیت و درین ترانزیستور گذاشتیم تا هم بهره لازم برای نوسانات ایجاد گردد و هم مقداری از عناصر پارازیتی که با سلف L2 در بسامد مطلوب رزونانس می‌کنند، حذف گردند. به این صورت به اسیلاتور شکل ۴ خواهیم رسید. بسامد رزونانس این اسیلاتور و اسیلاتور شکل ۱ (الف) به ترتیب برابرند با:

$$\omega_0 = \frac{1}{\sqrt{L1\times\left(C_{ds}+C_{gs}+\left(C_{gd}+C_{gs}\right)\times k^2-2C_{gs}\times k\right)}} \quad (۱۰)$$

$$\omega_0 = \frac{1}{\sqrt{L1\times\left(C_{ds}+C_{gs}+\left(C_{gd}+C_{gs}\right)\times k^2+2C_{gd}\times k\right)}} \quad (۱۱)$$

همانطور که از روابط ۱۰ و ۱۱ مشخص است، می‌توان در اسیلاتور ارائه شده در شکل ۴ برای یک بسامد دلخواه نوسان، از سلف بسیار بزرگتری نسبت به اسیلاتور عمومی شکل ۱ الف) استفاده کرد. بنابراین این اسیلاتور دارای دامنه بیشتر و نویز فاز کمتر خواهد بود. این دو اسیلاتور را برای یک باند با اندازه ترانزیستورها و ضریب فیدبک بدست آمده در قسمت قبل، ورکتور و بایاس یکسان شبیه سازی کردیم. در شکل 5 بسامد خروجی و نویز فاز در افست 1 MHz برای دو اسیلاتور نشان داده شده است. همینطور که مشخص است، اسیلاتور شکل۴ دارای ۷۰٪ پهنای باند قابل تنظیم بیشتر و 5 dB نویز فاز کمتر در افست 1 MHz نسبت به اسیلاتور شکل ۱ (الف) است.

## خطی کردن اسیلاتور موج میلیمتری

بر اساس نظریه کلاسیک الگوی نویز RF متعلق به Van Der Ziel [۷] نویز سفید ترانزیستور شامل دو نویز درین $i_{nd}$ و گیت $i_{ng}$ خواهد بود که عبارت اند از:

$$\frac{\overline{i_{nd}^2}}{\Delta f} = 4k_BT(\gamma/\alpha)gm,\ \alpha = \frac{g_m}{g_{d0}} \quad (۱۲)$$

$$\frac{\overline{i_{ng}^2}}{\Delta f} = 4k_BT\delta g_g,\ g_g = \frac{\alpha\omega^2 C_{gs}^2}{5gm} \quad (۱۳)$$

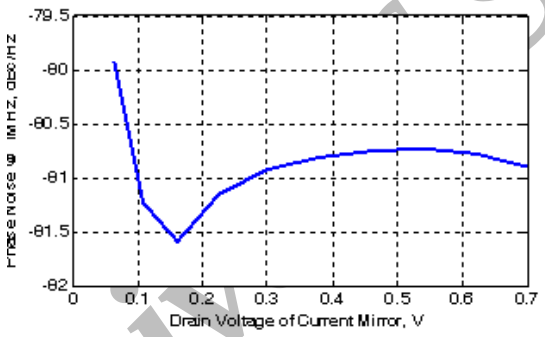
Archive of SID
www.SID.ir

که $\gamma$ و $\delta$ ثابتهای وابسته به فناوری، T دما برحسب کلوین، $k_B$ ثابت بولتزمان، و $g_{d0}$ رسانایی ترانزیستور با ولتاژ درین-سورس صفر ولت، می باشد. از طرف دیگر می دانیم بسامد گذر ترانزیستور برابر است با:

$$\omega_T = \frac{C_{gs}}{g_m} \qquad (۱۴)$$

پس با استفاده از رابطه ۱۴ و با توجه به اینکه در فناوری ما $\delta$ در حدود دو برابر $\gamma$ می باشد، نویز گیت را می توانیم بصورت زیر بنویسیم:

$$\frac{\overline{i_{ng}^2}}{\Delta f} \approx 4k_B T\gamma g_m \frac{2\omega^2}{5\omega_T^2} \qquad (۱۵)$$




شکل ۶) تغییرات نویز فاز خروجی اسیلاتور برحسب تغییرات ولتاژ درین منبع جریان

چون بسامد نوسانات در اینجا نزدیک بسامد گذر میباشد، بنابراین اثر نویز گیت برعکس بسامدهای پایین که معمولاً در نظر گرفته نمیشود، مهم میگردد. از طرف دیگر اگر نویز را بصورت یک خطا e(t) فرض کنیم، این نویز میتواند با تابع تبدیل $\Gamma$ در خروجی اسیلاتور باعث تغییرات فاز شود، بصورتی که:

$$\frac{d\theta(t)}{dt} = \Gamma(\omega_0 t + \theta(t))e(t) \qquad (۱۶)$$

این تابع برای اولین بار در [۸] تعریف و ISF نام گذاری شد. با انتگرال گیری از دو طرف رابطه ۱۶، خواهیم داشت:

$$\theta(t) = \int_{-\infty}^{t} \Gamma(\omega_0 \tau)e(\tau)d\tau \qquad (۱۷)$$



Archive of SID
www.SID.ir

جملات سری فوریه ISF بصورت زیر خواهد بود:

$$\Gamma(\omega_0\tau)=\frac{c_0}{2}+\Re\left\{\sum_{n=1}^{\infty}c_n e^{jn\tau}\right\} \quad (۱۸)$$

پس با قرار دادن رابطه ی ۱۸ در ۱۷ داریم:

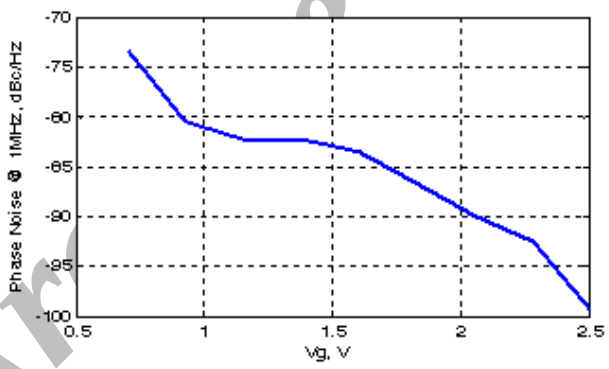
$$\theta(t)=\frac{c_0}{2}\int_{-\infty}^{t}e(\tau)d\tau+\sum_{n=1}^{\infty}c_n\int_{-\infty}^{t}e(\tau)e^{jn\tau}d\tau \quad (۱۹)$$

اگر سیگنال یا نویز تزریق شده به سامانه، اجزایی با بسامدی نزدیک به ضریبی از بسامد حامل را داشته باشد، یعنی

$$e(t)=e_m e^{j(m\omega_0+\Delta\omega t)t} \quad (۲۰)$$

و بدلیل اینکه $\Delta\omega<<\omega$، جمله دوم معادله انتگرالی رابطه ۱۹ برای $n\neq m$را میتوان صرف نظر کرد. پس فاز اضافه شده به صورت زیر خواهد بود:

$$\theta(t)\approx\sum_{m=0}^{\infty}\frac{e_m c_m e^{j(\Delta\omega t)}}{\Delta\omega} \quad (۲۱)$$




شکل ۷) تاثیر ولتاژ گیت اسیلاتور بر روی نویز فاز خروجی

این عبارت نشان می دهد که اگر نویز فیلتر نشده باشد و مولفه‌های آن در اطراف همه بسامد ها مهم باشد، باید تمامی ضرایب سری فوریه ISF موجود را در نظر گرفت. ولی اگر نویز در هارمونیک خاصی باشد - مثلاً هارمونیک اول - فقط لازم است که هارمونیک اول ISF بدست آید. همانطور که از شکل ۱ (الف) یا شکل ۴ مشخص است، نویز درین بدلیل وارد شدن در رزوناتور فیلتر می‌گردد و فقط این نویز در اطراف هارمونیک اول مهم می گردد. در عوض نویز گیت در اطراف تمامی هارمونیک‌های با اهمیت می‌شود و با توجه به اینکه مقدار نویز گیت قابل مقایسه با نویز درین است، نویز گیت در

Archive of SID
www.SID.ir

اسیلاتور موج میلیمتری از اهمیت خاصی برخوردار می‌گردد. برای کاهش این نویز مسلماً باید محتوای هارمونیک‌های اسیلاتور کاهش پیدا کند تا نویز گیت کمتری در خروجی اسیلاتور ظاهر شود و این امر مستلزم خطی کردن هسته و منبع جریان اسیلاتور می‌باشد.

نویز دیگر دارای اهمیت، نویز فلیکر است. این نویز در اطراف DC وجود دارد و با توجه به رابطه ۲۰ در مقدار DC تابع ISF ضرب و روی هارمونیک اصلی می‌آید. همچنین این نویز چون دارای بسامد پایین و اندازه بزرگی است، بصورت نویز دامنه نیز در خروجی ظاهر می‌گردد، ولی میتواند باعث مدوله کردن خازن‌های پیوند ترانزیستورها که به ولتاژ وابسته هستند، شود.

از طرف دیگر می‌دانیم که مقدار خازن رزوناتور در اسیلاتورهای موج میلیمتری قابل مقایسه با مقدار خازنهای پیوند ترانزیستورها می‌باشد. بنابراین اگر اسیلاتور غیر خطی باشد، نویز دامنه مدار باعث تغییر مقدار موثر ظرفیت این خازنها می‌گردد و در نتیجه فاز نوسانات تغییر می‌کند و نویز فاز زیاد می‌گردد. پس برای کاهش اثر نویز دامنه روی نویز فاز، باید اسیلاتور را خطی کرد.

برای اثبات این ادعا از خطی کردن منبع جریان شروع می کنیم. در شکل ۶ نویز فاز اسیلاتور عمومی شکل ۱ (الف) برحسب ولتاژ درین منبع جریان آن نشان داده شده است. این ولتاژ با استفاده از $V_{bias}$ گیت که در شکل ۱ (الف) مشخص است، کنترل می‌شود. همانطور که مشاهده می‌کنید تا زمانی که ترانزیستور در ناحیه‌ی خطی است، با افزایش ولتاژ درین و در نتیجه با افزایش جریان اسیلاتور، نویز فاز آن کاهش می یابد ولی به محض وارد شدن ترانزیستور در ناحیه اشباع نویز فاز زیاد می‌گردد.

برای بررسی بیشتر این رویکرد، به جای منبع جریان ترانزیستوری، از یک مقاومت استفاده کردیم. به ازای جریان‌های برابر، اسیلاتوری که دارای منبع جریان مقاومتی است، نویز فازش در حدودdB 1/5 کمتر از اسیلاتوری است که از منبع جریان ترانزیستوری استفاده می‌کند.

حال می‌توان اثر خطی کردن هسته اصلی را بر روی نویز فاز مشاهده کرد. برای این کار در حالی که از یک منبع جریان مقاومتی استفاده می‌کنیم، $V_{bias}$ گیت را افزایش می دهیم تا ولتاژ گیت–درین اسیلاتور کاهش یابد و در نتیجه هسته اسیلاتور خطی‌تر شود. همانطور که از شکل ۷ مشخص است، با افزایش ولتاژ گیت، نویز فاز کاهش می‌یابد. البته همراه با این کار جریان نیز افزایش می‌یابد، ولی با دو برابر شدن مقدار جریان - بجایdB 3 کاهش در نویز فاز-dB 6 کاهش را در آن می‌بینیم.

این رویکرد ارائه شده، دقیقاً برخلاف رویکرد طراحی در بسامدهای پایین‌تر ازGHz 10 می‌باشد.



Archive of SID
www.SID.ir

برای‌مثال در [۹] (که یکی از معتبرترین مقالات نویز فاز در بسامدهای پایین است) توصیه شده که منبع جریان و هسته اصلی کاملاً غیر خطی باشند و $V_{bias}$ گیت تا جای ممکن کوچک گردد. این رویکرد طراحی در بسامد پایین به این دلیل صحیح است که در آنجا برخلاف بسامدهای موج میلی-متری نویز گیت در مقابل نویز درین و خازن‌های پیوند ترانزیستورها در مقابل خازن رزوناتور، بسیار کوچک می‌باشند.

## نتایج شبیه سازی

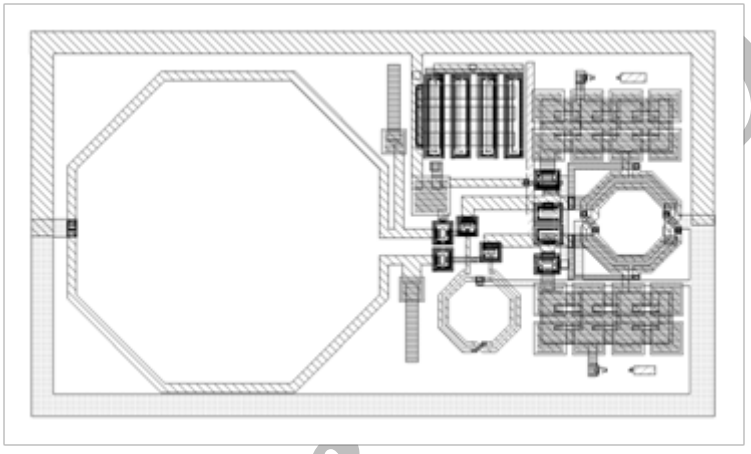
ترانسفورماتور اسیلاتور ارائه شده در شکل ۴ با نرم افزار Agilent Momentum شبیه سازی و طراحی‌شده است. L۱، L۲ و ضریب‌کوپلینگ آن درباند بسامدی موج میلیمتری به‌ترتیب: 75pH، 200pH و 0/75 بدست آمدند. مقدار $Q_1$ و $Q_2$ نیز برای ترانسفورماتور طراحی شده به ترتیب در این باند بزرگتر از ۱۹ و ۳۰ محاسبه شدند. برای بافر کردن سیگنال نیز از مدار ارائه شده در [۱۰] استفاده شده است.

در شکل ۸ قالب بندی کلی اسیلاتور ارائه شده در شکل ۴ که با یک فنّاوری CMOS-0/18 µm طراحی شده، همراه با بافرهای آن نمایش داده‌شده است. مساحت کل این چیپ $650 \times 400\ \mu m^2$ می باشد. در این اسیلاتور ملاحظات مربوط به طراحی اسیلاتور موج میلیمتری که در قسمت قبل ارائه شد، رعایت گشته است. ما از یک منبع جریان خطی استفاده کرده‌ایم و ولتاژ گیت ترانزیستور را تاحدی بالا بردیم که در عین حالی که هسته اصلی خطی است، دامنه خروجی افت زیادی نداشته باشد.در کارهای معتبر در زمینه الگوسازی برای مدار های موج میلیمتری مانند [۱۱] نشان داده شده است که اگر عناصر پارازیتی با شبیه سازی‌های میدانی بدست آورده شوند، مقادیر شبیه سازی تفاوت چندانی با نتایج ساخت نخواهند داشت. بنابراین تمام عناصر پارازیتی این قالب بندی را با شبیه سازی‌های میدانی توسط نرم افزار Agilent Momentum بدست آوردیم. بعد از استخراج تمامی عناصر پارازیتی قالب بندی شبیه سازی‌ها نشان می‌دهندکه توان مصرفی هسته این اسیلاتور در کل باند mW5/8 و بافرهای آن 35 mW است. پهنای قابل تنظیم این اسیلاتور 1/9GHz حول بسامد مرکزی 56/5GHz و نویز فاز آن در آفست1 MHz، 89 dBc/Hz - می‌باشد. همینطور توان خروجی این اسیلاتور روی یک مقاومت50 Ω، 10/5 dBm - است. در جدول ۱خلاصه عملکرد این اسیلاتور آورده شده و با نوسان ساز های مشابه مقایسه گشته است.

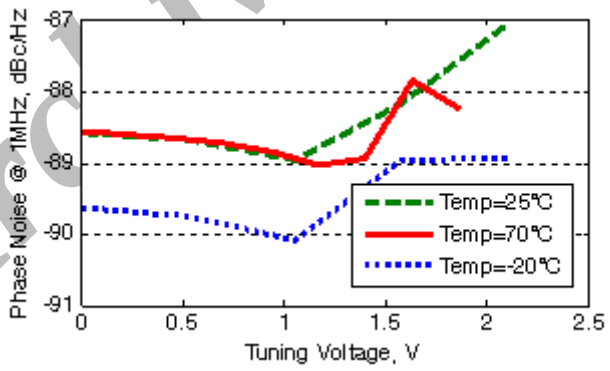
Archive of SID

www.SID.ir

در شکل ۹ (الف تا ج) شبیه سازی های دمایی، گوشه‌های‌فناوری و مونتکارلو برای نویز فاز نوسان ساز آورده شده است.همین‌طور که از این اشکال مشخص‌می باشد، این نوسان ساز نسبت به تغییرات‌فناوری و دمایی نیز پایداری است.



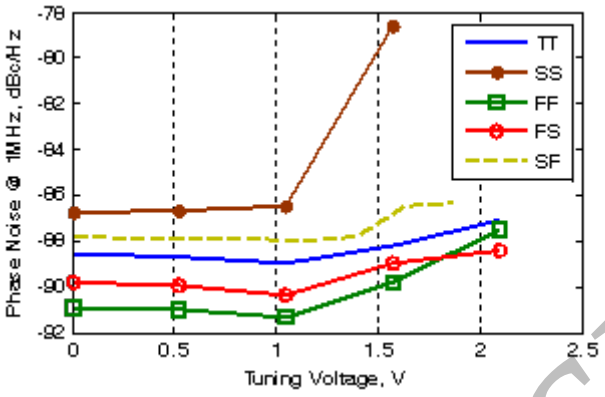
شکل ۸) لی‌اوت اسیلاتور ارائه شده در شکل ۴ همراه با طبقه بافر



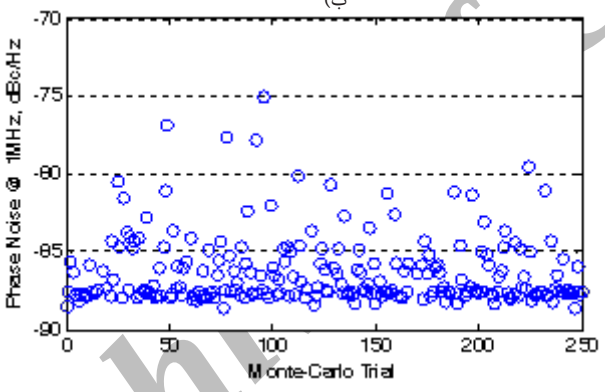

الف)



Archive
www.SID.ir




ب)




ج)

شکل ۹) تغییرات نویز فاز الف) در دماهای مختلف ب) در گوشه‌های متفاوت تکنولوژی ج) با شبیه سازی مونت-کارلو

## نتیجه گیری

دراین مقاله نشان دادیم که بهره فعال اسیلاتور موج میلیمتری در نقطه‌ای برحسب اندازه و بهره فیدبک دارای مقدار بهینه می باشد. همچنین توپولوژی ارائه شد که در آن ترانسفورماتور خود اسیلاتور، قسمتی از خازن‌های پارازیتی اسیلاتور را حذف می کند. نشان دادیم که ماهیت نویز فاز در بسامدهای موج میلیمتری متفاوت با منشا نویز فاز در بسامدهای پایین می باشد. با استفاده از این قضایا اسیلاتوری با فناوری CMOS-0/18 µm طراحی کردیم که دارای پهنای باند قابل تنظیم 1/9GHZ در اطراف بسامد 57GHz و نویز فاز 89 dBc/Hz - در آفست 1 MHz می‌باشد.

Archive of SID
www.SID.ir

جدول ۱) خلاصه عملکرد اسیلاتور ارائه شده و مقایسه با کارهای مشابه

| | این کار | [4]1 | [3]2 | [12]1 |
|---|---|---|---|---|
| تکنولوژی، µm | 0/18 CMOS | 0/18 CMOS | 0/18 CMOS | 0/18 CMOS |
| توان کل، mW | 43 | 99 | 27/5 | 41 |
| مساحت کل، $mm^2$ | 0/26 | 0/67 | 0/21 | 0/8 |
| فرکانس، GHz | 56/5 | 63 | 69 | 53 |
| نویز فاز، dBc/Hz @ 1MHz | -89 | -89 | -76 | -86 |
| پهنای باند، GHz | 1/9 | 0/67 | 5/2 | 0/1 |
| توان خروجی، dBm | -10/5 | -15 | -18/5 | -8 |
| FoM، dBc/Hz | -167/5 | -165 | -158 | -164 |

۱- اسیلاتورهای طراحی شده با رزوناتورها خط انتقالی

۲- اسیلاتور Push-Push

## مراجع

[1]C. Ying, K. Mouthaan, and L. Fujiang, “Design of X-Band and Ka-Band Co`3lpitts Oscillators Using a Parasitic Cancellation Technique,” Circuits and Systems I: Regular Papers, IEEE Transactions on ,vol. 57, pp 1817-1828 2010 .

[2]K. W. Tang, S. Leung, N. Tieu, P. Schvan, and S. P. Voinigescu, “Frequency Scaling and Topology Comparison of Millimeter-Wave CMOS VCOs,” in Compound Semiconductor Integrated Circuit Symposium. CSIC 2006 pp. 55-58 IEEE, 2006 .

[3]C. Hsien-Chin and K. Chih-Pin, “A Wide Tuning Range 69 GHz Push-Push VCO Using 0.18µm CMOS Technology,” Microwave and Wireless Components Letters, IEEE, vol. 20, pp. 97-99. 2010



Archive
www.SID.ir

[4]H. Hsieh-Hung and L. Liang-Hung, “A V-Band CMOS VCO With an Admittance-Transforming Cross-Coupled Pair,” Solid-State Circuits, IEEE Journal of, vol. 44, pp. 1689-1696, 2009.

[5]B. Razavi, “A 300-GHz Fundamental Oscillator in 65-nm CMOS Technology,” in VLSI Circuits (VLSIC) IEEE Symposium on, pp. 113-114, 2010.

[6]B. Razavi, “RF Microelectronic Circuits: Prentice Hall PTR, Upper Saddle River”, pp.100-183, 1999.

[7]A. V. D. Ziel, “Noise In Solid State Devices Circuits”: Wiley, New York,pp.207-245, 1986.

[8]A. Hajimiri and T. H. Lee, “A General Theory of Phase Noise in Electrical Oscillators,” Solid-State Circuits, IEEE Journal of, vol. 33, pp. 179-194, 1998.

[9]A. Mazzanti and P. Andreani, “Class-C Harmonic CMOS VCOs, With a General Result on Phase Noise,” Solid-State Circuits, IEEE Journal of, vol. 43, pp. 2716-2729, 2008.

[10]C. Changhua and K. K. O, “Millimeter-Wave Voltage-Controlled Oscillators in 0.13-μm CMOS technology,” Solid-State Circuits, IEEE Journal of, vol. 41, pp. 1297-1304, 2006.

[11]L. ChuanKang and B. Razavi, “Systematic Transistor and Inductor Modeling for Millimeter-Wave Design,” Solid-State Circuits, IEEE Journal of, vol. 44, pp. 450-457, 2009.

[12]H. Shigematsu, T. Hirose, F. Brewer, and M. Rodwell, “Millimeter-Wave CMOS circuit design,” Microwave Theory and Techniques, IEEE Transactions on, vol. 53, pp. 472-477, 2005.

Archive of SID

www.SID.ir