روشی جدید در جهت بهینه سازی پاسخ لحظه ای جریان بار با بافر ولتاژ در یک رگولاتور LDO و نتایج ساخت آزمایشگاهی

پرویز امیری[۱]

جمیل صدوقی[۲]

چکیده

در این مقاله ایده اضافه کردن یک بافر ولتاژ با انرژی کافی برای یک رگولاتور با افت ولتاژ کم (LDO) مطرح می‌گردد. بافر ولتاژ پیشنهادی اضافه شده، شامل یک مدار افزایش جریان می شود که ویژگی روشن شدن سریع و خاموشی اتوماتیک را دارد و می تواند بصورت لحظه ای یک جریان اضافی برای شارژ و دشارژ خازن بزرگ گیت ترانزیستور قدرت فراهم نماید. بافر ولتاژ همچنین قادر است که Slew Rate (SR) در گیت ترانزیستور قدرت را افزایش دهد، بنابراین جریان خاموشی LDO بصورت ثابت در حالت پایدار، در سطح کمی باقی می ماند. به علاوه مدار افزایش جریان پیشنهادی یک شبکه فیدبک موازی خازنی است که پهنای باند حلقه LDO را بهبود می بخشد. بافر ولتاژ پیشنهادی اعمال شده به یک LDO، با ترانزیستورهای BJT طراحی و شبیه سازی شده است. LDO، با ولتاژ V ۳ عمل کرده و ولتاژ خروجی روی V۲ تنظیم می شود. ماکزیمم جریان ۱۰۰mA بوده و جریان خاموشی (I_q) اندازه‌گیری شده ۴uA است. انحراف گذرای بار ولتاژ تنظیم شده نیز کوچک است. با استفاده از نتایج شبیه سازی و ساخت نمونه آزمایشگاهی به صورت برد مدار چاپی می توان مشاهده نمود که بافر ولتاژ پیشنهادی می‌تواند بصورت موثر اسپایک های ولتاژ گذرا را کاهش دهد.

کلید واژه

کوپلینگ خازنی، رگولاتور با LDO، بافر ولتاژ، فیدبک، منابع تغذیه، شبیه سازی، برد مدار چاپی

---

۱. استادیار دانشکده برق وکامپیوتر، دانشگاه شهید رجایی pamiri@srttu.edu

۲. دانشجوی کارشناسی ارشد برق، دانشگاه شهید رجایی

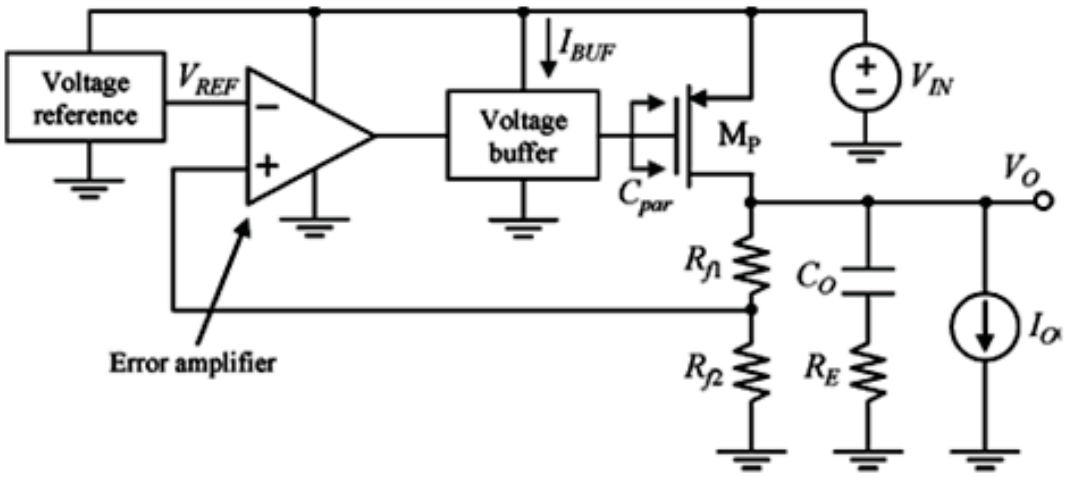
تاریخ دریافت: ۹۰/۶/۱۰ تاریخ پذیرش:۹۰/۷/۲۰

Archive of SID

www.SID.ir

مقدمه

مدارات با عملکرد LDO جزء مباحث جدیدی می باشد که امروزه در مهندسی برق در حال گسترش است و ایده های بهبود آن، از جمله چالش های پژوهش های اخیر می باشد. پاسخ گذرای LDO بوسیله هر دو عامل پهنای باند بهره حلقه (BW_L) و سرعت چرخشی در گیت ترانزیستور قدرت (SR_G) سنجیده و ارزیابی می گردد[۱] تا [۱۱]. همانطوری که در شکل۱ نشان داده می شود یک بافر ولتاژ عموماً بین تقویت کننده خطا و ترانزیستور قدرت جایگذاری می شود تا اینکه مقاومت خروجی تقویت کننده خطا و خازن بزرگ گیت ترانزیستور قدرت C_{par} را ایزوله کند و برای اصلاح پایداری حلقه LDO موثر می باشد[۱]، [۶] و [۱۲]. پاسخ دینامیکی، با اعمال جریان بایاس بیشتر بهبود می یابد تا اینکه بصورت موثر SR_G را بهبود بخشد[۱۳]. هرچند که این رویکرد، کارایی کافی ندارد، مثل جریان خاموشی LDO(I_q) که تحت تمامی شرایط بار این مقدار زیاد است. در این مقاله، یک بافر ولتاژ با افزایش جریان لحظه ای معرفی می شود تا بر چالش های طراحی ذکرشده قبلی برتری یابد. بافر پیشنهاد شده بصورت پایه، یک منبع تعقیب کننده اصلاح شده با دو مدار RC اضافه شده است، برای اینکه ویژگی های افزایش جریان خاموشی خودکار (بطور مثال لحظه ای) و روشن شدن سریع بدست آید[۱]. بافرهای ولتاژ با توان کافی در این زمینه وجود دارد تا مشکل SR_G در LDO حل گردد. جریان بایاس بافر (αI_q) مطابق با اندازه جریان خروجی I_o مقیاس شده، افزایش می یابد، همانطوری که در شکل۲(a) نشان داده می شود.



شکل۱. ساختار یک LDOبا یک بافر ولتاژ

موقعی که I_{BUF} افزایش می یابد، مسلماً پاسخ گذرای LDO اصلاح می گردد. هر چقدر که I_{BUF} افزایش یابد، موقعی که I_o در حالت ماندگار زیاد باشد، سودمند نیست. این حالت زمانی اتفاق می افتد که مصرف توان LDO در حالت ماندگار ضروری تر است. حالت بهبود یافته این است که فقط در حالت گذرا، I_{BUF} افزایش یابد، همانطوری که در شکل ۲(b) نشان داده می شود[۱۲].

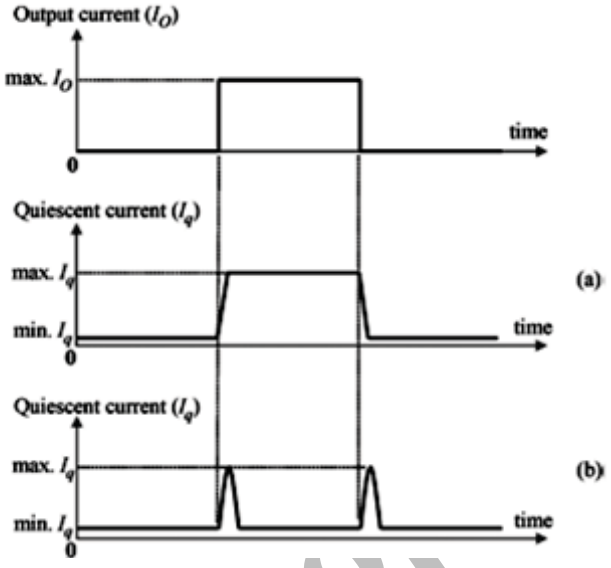
این ایده بکارگیری شده ساده و موثر است، اما دو چالش در طراحی با این رویکرد وجود دارد، آنها

www.SID.ir

به قرار زیراند:

۱- آشکارسازی لحظه گذرای سریع (ویژگی روشن شدن سریع)

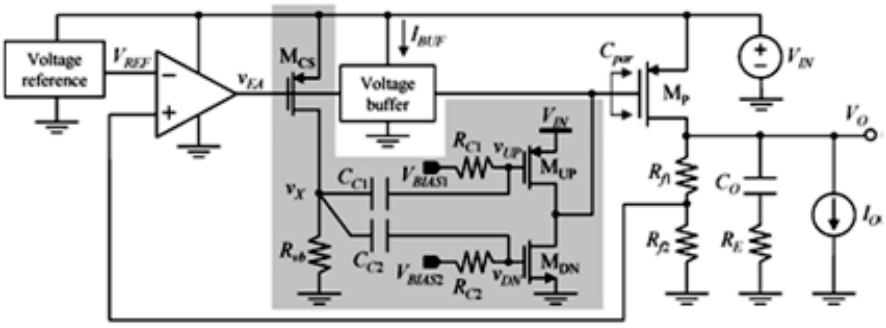
۲- بازگشت خودکار به حالت بایاس اصلی، بعد از افزایش جریان لحظه ای (ویژگی خاموشی خودکار افزایش جریان)



شکل۲. شکل روابط میان Io و Iq در طراحی های بافر ولتاژ مختلف

مفهوم بافر ولتاژ افزایش جریان پیشنهادی

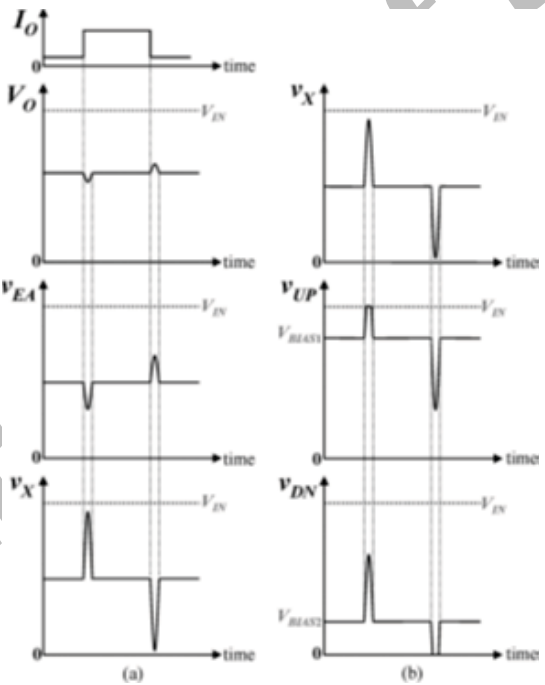
شکل۳، دیاگرام مفهومی یک LDO، همراه با بافر ولتاژ افزایش جریان لحظه ای را نشان می دهد. LDO شامل یک تقویت کننده خطا، یک بافر ولتاژ، یک MOSFET قدرت M_P، مقاومتهای فیدبک R_{f1} و R_{f2}، یک خازن خارج از تراشه C_o، و مقاومت سری معادل R_E است[۱۴]. V_{IN} و V_O بترتیب ولتاژهای ورودی تنظیم نشده و ولتاژ خروجی تنظیم شده است. منبع جریان I_O برای مدل کردن جریان خروجی استفاده می شود. مدار افزایش جریان لحظه ای در شکل۳، در سطح سایه دار مشخص شده است. این مدار اساساً بوسیله یک تقویت کننده سورس مشترک (M_{CS} و R_{vb}) و دو شبکه کوپلینگ خازنی (R_{c1} و C_{C1}) و (R_{c2} و C_{C2}) برای تنظیم لحظه ای ولتاژهای گیت M_{UP} و M_{DN} مدل می شود.



شکل۳. دیاگرام مفهومی LDO با بافر ولتاژ پیشنهادی (سطح سایه دار)

Archive of SID
www.SID.ir

اساس عملکرد می تواند در شکل۴ نمایش داده شود. همانطوری که در شکل ۴(a) نشان داده می شود، Overshoot و Undershoot برای V_O بوسیله تقویت کننده خطا آشکار می شود. زمانی که بار خازنی تقویت کننده خطا بدلیل بافر ولتاژ و فقط M_{CS} زمانی کوچک است، خروجی تقویت کننده V_{EA} می تواند بلافاصله تغییرات را تقویت نماید. تقویت کننده سورس مشترک با M_{CS} و R_{vb}، بیشتر V_{EA} را تقویت می کند تا V_X را تولید کند. شکل ۴(b)، نشان می دهد که سیگنال V_X با C_{C1} و C_{C2} برای تغییر دادن ولتاژ گیت اصلی M_{UP} و M_{DN} می تواند تغییر نماید (به کمک V_{BAIS1} برای V_{UP} و V_{BAIS2} برای V_{DN}). باید به این نکته توجه داشت که R_{C1} و R_{C2} برای تعریف ولتاژهای گیت M_{UP} و M_{DN} در حالت ماندگار استفاده می شوند. مقادیر این خازن ها بزرگ انتخاب می شوند، بطوریکه V_{UP} و V_{DN} بوسیله سیگنالهای ارسالی از C_{C1} و C_{C2} در لحظه گذرای V_x مقدار بزرگی باشند. بنابراین وقتی که Undershoot برای V_O ایجاد می شود، M_{DN} جریانهای بیشتر را از گیت M_P می گیرد تا خازن C_{par} تخلیه گردد. به همان طریق، اگر Overshoot برای V_O ایجاد شود، سبب می شود که M_{UP} جریان بیشتری را برای گیت M_P وارد کند تا خازن C_{par} شارژ گردد. این رویکرد، بصورت موثر SR_G گیت را بهبود می بخشد[۱].



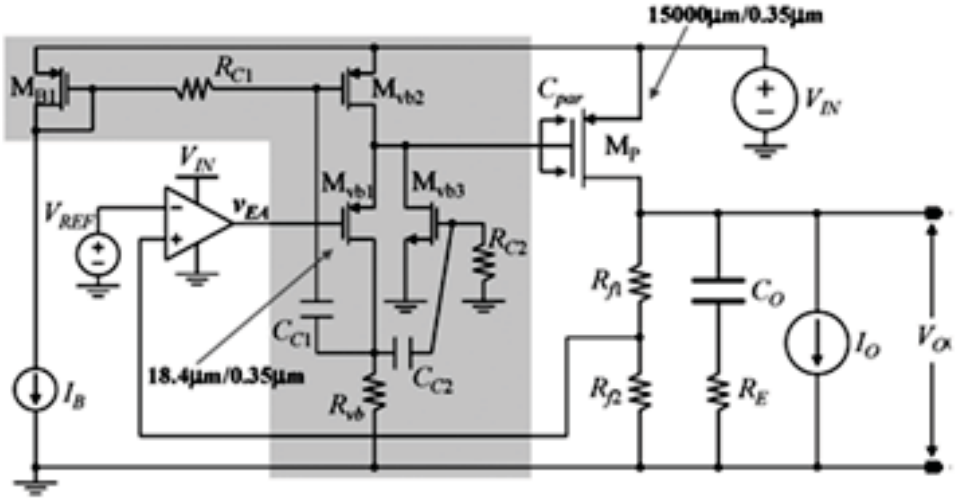
شکل ۴. دیاگرام های زمانی برای نشان دادن اساس عملکرد LDO در شکل ۳

همانگونه که از تحلیل های قبلی بر می آید، آشکارسازی اسپایک ولتاژ پیشنهاد شده می تواند ویژگی نیازمندی روشن شدن سریع را برآورده سازد. به علاوه، سیگنال کوپلینگ خازنی از طریق C_{c1} و C_{c2} فقط یک سیگنال ضربه است. بدین معنی که V_{UP} و V_{DN} می تواند دوباره بوسیله V_{BAIS1} و V_{BAIS2} بعد از لحظه گذرا تعریف شده و این خاصیت نیز، ویژگی خاموشی سریع بافر افزایش جریان پیشنهادی را تایید می کند.

Archive of SID
www.SID.ir

کاربردهای مداری بافر ولتاژ افزایش جریان لحظه ای

کاربرد مداری بافر ولتاژ افزایش جریان لحظه ای ایجاد شده در بخش قبلی، در شکل ۵ نشان داده می شود. سطح سایه دار، بافر ولتاژ پیشنهادی است. منبع جریان I_B، تولید کننده جریان بایاس می باشد. برای ساده کردن مداربافر ولتاژ پیشنهادی، کاربرد مستقیم مدار نشان داده شده در شکل۳ استفاده نمی شود. به جای آن، ایده پیشنهادی در قالب یک سورس پیرو براساس مدار معرفی شده در [۱۵] پیشنهاد می شود. قلب مدار بافر پیشنهادی از M_{vb1}، M_{vb2} و R_{vb} تشکیل شده است. M_{vb1} برای شکل دادن هر دو بافر ولتاژ (مثل سورس پیرو) و تقویت کننده سورس مشترک نشان داده شده در شکل ۳ استفاده می شود. سورس پیرو، یک ورودی در V_{EA} داشته و خروجی آن در درین M_{vb1} است. M_{vb1} بوسیله M_{B1} و مقاومت بزرگ R_{C1} بایاس می شود. در حالت ماندگار، جریانی از R_{C1} عبور نمی کند، بنابراین ولتاژهای سورس گیت M_{B1} و M_{vb2} یکسان اند. به علاوه، دو شبکه کوپلینگ خازنی برای اصلاحSR_G اضافه می شود که ترکیب R_{C1} و C_{C1} برای افزایش ولتاژ گیت M_P استفاده می گردد، همچنان که R_{C2} و C_{C2} برای کاهش ولتاژ گیت M_P بکار گرفته می شود.



شکل ۵. LDO با بافر ولتاژ پیشنهادی (سطح سایه دار)۳

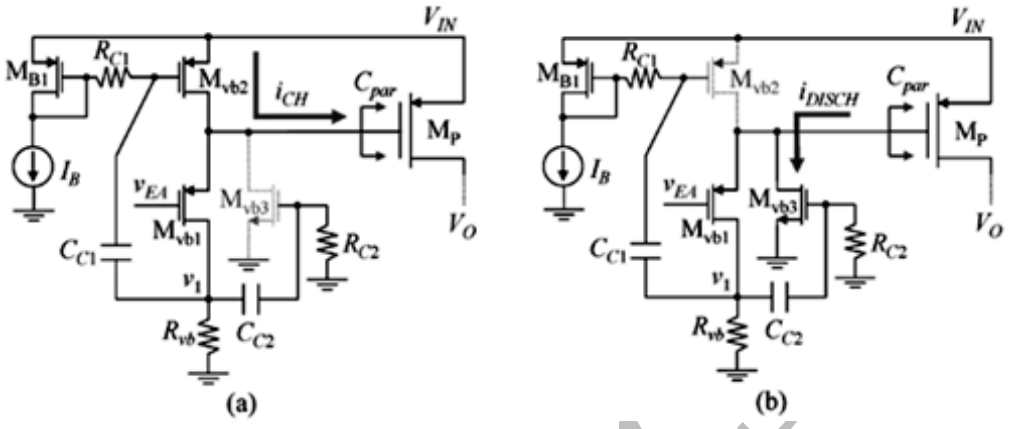
مدل حالت ماندگار(Steady State)

در حالت ماندگار، هر دو خازن C_{C1} و C_{C2} مدار بازند. جریان بایاس M_{vb1} بوسیله I_B از طریق M_{B1} و M_{vb2} تامین می شود. در حالی که R_{C2} بین گیت M_{vb3} و زمین متصل می شود، M_{vb3} در حالت ماندگار خاموش است. R_{vb} باید کوچک طراحی شود تا پاسخ فرکانسی بهینه بافر ولتاژ بدست آید، بنابراین M_{vb1} همیشه در ناحیه اشباع عمل می کند مگر آنکه موقعیتی پیش آید که ولتاژ سورس درین بوسیله R_{vb} خیلی کاهش نیابد.

www.SID.ir

پاسخ سیگنال بزرگ

همانطوری که در بخش ۲ بحث شد، وقتی که I_O بصورت ناگهانی کاهش می یابد، سبب ایجاد یک Overshoot در V_O می شود. تقویت کننده خطا، Overshoot در V_O را آشکار کرده و یک اختلاف ولتاژ در V_{EA} ایجاد می گردد.



شکل۶. پاسخ سیگنال بزرگ بافر ولتاژ پیشنهادی. (a)وقتی که I_O کاهش می یابد. (b) وقتی که I_O افزایش می یابد.

همانطوری که در شکل ۶(a) نشان داده شده، وقتی که V_{EA} افزایش می یابد، V_1 با دامنه بزرگتر، کاهش می یابد و این به دلیل خاصیت بهره بالای تقویت کننده سورس مشترک است. C_{C1}، تغییرات ولتاژ V_1 را کوپل می کند تا ولتاژ گیت M_{vb2} کاهش یابد، بنابراین جریان درین بیشتر از قبل برای M_{vb2} تولید می شود تا اینکه شارژ خازن C_{par} تغییر کند (همانگونه که i_{CH} در شکل ۶(b) نشان داده شده است). باید به این نکته توجه داشت که M_{vb3} در ناحیه خاموشی به سر می برد و تاثیری روی عملکرد مدار ندارد.

بصورت مشابه، همانطوری که در شکل ۶(b) نشان داده شده، وقتی که I_O بصورت ناگهانی افزایش یابد و سبب ایجاد یک Overshoot در V_O شود، V_{EA} کاهش می یابد. C_{C2} تغییر ولتاژ V_1 را به گیت M_{vb3} متصل می کند و آن روشن می شود که سبب می شود جریان اضافی تامین شده و خازن C_{par} تخلیه می گردد (همانطوری که در شکل ۶(b) با عنوان I_{DISCH} نشان داده شده است). در همان لحظه تغییر V_1 به گیت M_{vb2} نیز وصل شده و سبب می شود که M_{vb2} بصورت لحظه ای خاموش شود. بنابراین در هر دو حالت، خروجی بصورت پوش-پول بوسیله M_{vb2} و M_{vb3} شکل بندی می شود.

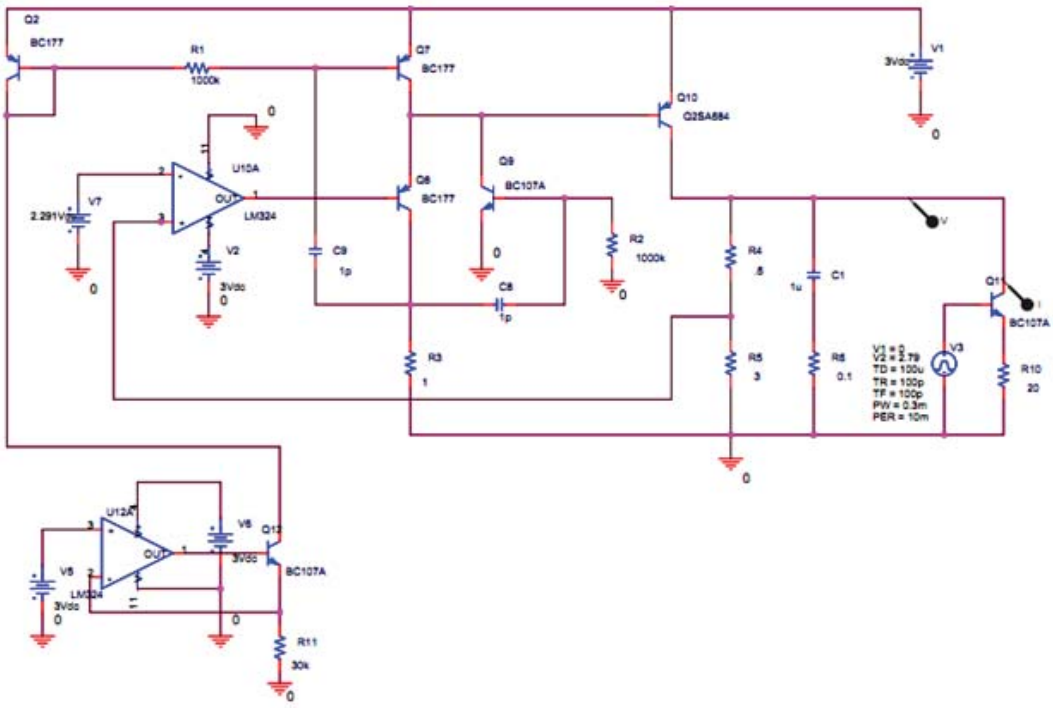
وقتی که Io بصورت ناگهانی افزیش می یابد، Vo سقوط می کند بنابراین تا زمانی که LDO زمان پاسخ غیر صفر دارد، آنگاه Co بوسیله بار تخلیه می گردد. موقعی که LDO می تواند به تغییرات بار پاسخ دهد، این حالت، جریان بیشتری را برای بار تهیه کرده و Vo مقدار بازیابی شده قبلی را به مقدار فعلی برمی گرداند. بنابراین یک Undershoot ولتاژ Vo ایجاد می شود. بصورت مشابه، وقتی که I_O بصورت ناگهانی کاهش می یابد، LDO نمی تواند بلافاصله به توقف جریان تحویلی به

Archive of SID
www.SID.ir

بار پاسخ دهد. این سبب افزایش شارژ C_O شده، سپس Vo افزایش می یابد. وقتی که LDO به تغییر بار پاسخ می دهد، مقدار V_O به مقدار از قبل تعیین شده برمی گردد و یک جهش Overshoot در ولتاژ V_O ایجاد می شود. مسلماً هردو مقدار Overshoot و Undershoot، بشدت وابسته به دو مقدار BW_L و SR است.

برای اینکه نشان داده شود که بافر ولتاژ پیشنهادی پاسخ گذرای بار را اصلاح می کند، دو LDOهمراه با بافر ولتاژ پیشنهادی و بدون بافر ولتاژ پیشنهادی در نرم افزار PSPICE شبیه سازی می شود. شکل۷ شکل مدار طراحی شده را نمایش می دهد. برای مطالعه مدار در حالت بدون بافر ولتاژ پیشنهادی، کافی است که خازن های C_{C1} و C_{C2} اتصال باز گردند.

همانگونه که از مدار پیداست، برای مدل سازی تغییرات لحظه ای بار، از یک منبع ولتاژ پله ای استفاده شده که بهمراه Q_1 و R_{10} تشکیل یک منبع جریان متغیر را می دهد. این مدل سازی جهت ارزیابی مدار تحت تغییرات شدید بار می باشد. در قسمت نتایج این مقاله مزیت عملکرد این مدل سازی و عملکرد خوب این مدار تحت تغییرات نشان داده شده است.

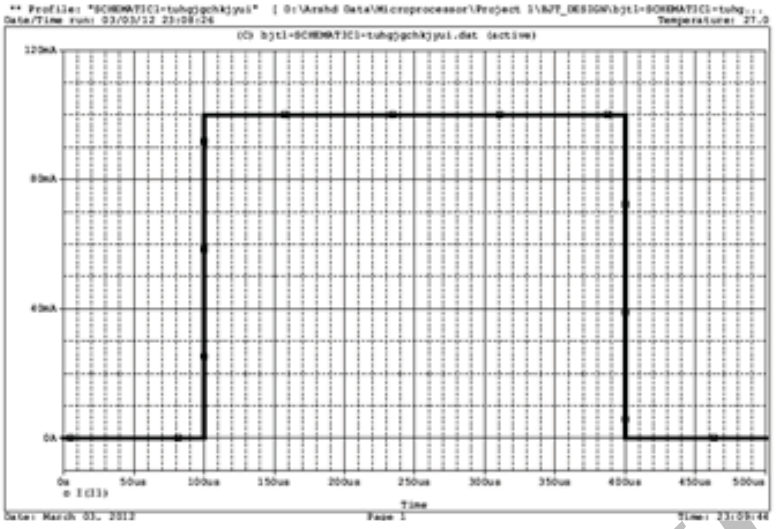


شکل۷. مدار رگولاتور LDO با بافر ولتاژ پیشنهادی

نتایج شبیه سازی

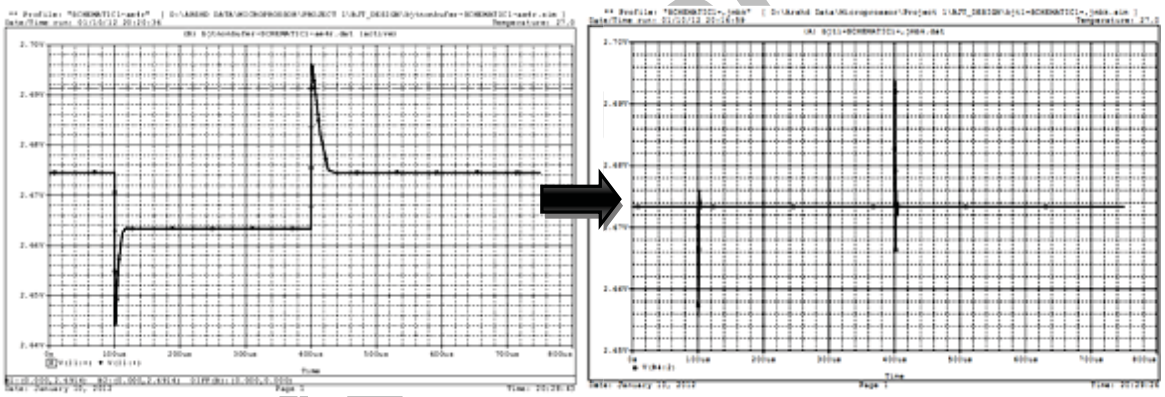
برای بررسی هر چه واقعی تر ایده مطرح شده فوق، تمام اجزا در سطح مداری وتوسط نرم افزار SPICE مورد شبیه سازی قرار گرفت. در شکل۸ شکل موج تغییرات جریان خروجی به ازای تغییرات جریان از ۰ به ۱۰۰mA مشاهده می گردد که نشان می دهد جریان بایاس اضافی برای بافر ولتاژ، می تواند پاسخ گذرا را بهبود بخشد، زیرا I_q بصورت ثابت در حالت ماندگار، کم باقی می ماند.

www.SID.ir



شکل ۸. شکل موج تغییرات جریان خروجی

همچنین همانگونه که در شکل ۹ دیده می شود، ولتاژ خروجی با بافر ولتاژ تحت تغییرات بار اعمال شده تغییر می کند، یعنی در لحظه افزایش شدید جریان در خروجی، ولتاژ آن یک اسپایک لحظه ای متناسب با نوع بافر استفاده شده دارد.

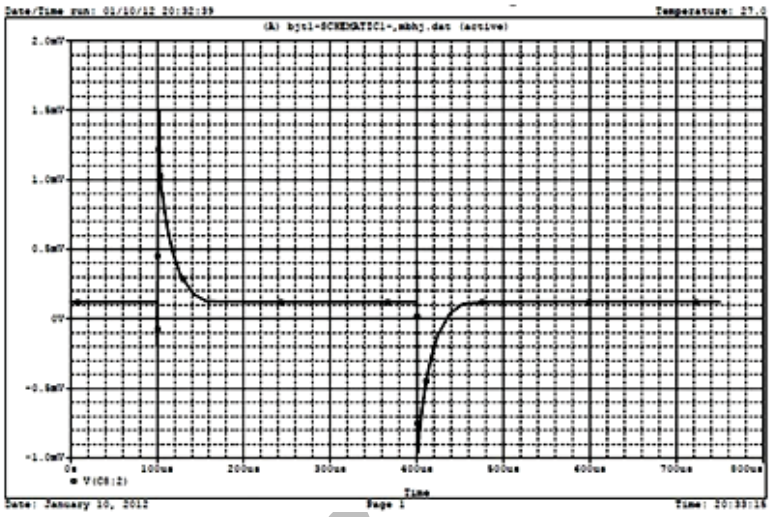


شکل ۹. تغییرات ولتاژ خروجی تحت تغییرات بار. با بافر ولتاژ مرسوم(سمت چپ) $V_{O(conv)}$.
با بافر پیشنهادی (سمت راست)$V_{O(prop)}$

از نتایج دریافته می شود که LDO با بافر ولتاژ پیشنهادی، اسپایک های ولتاژ کمتری دارد. برای تمامی اندازه گیری های LDO بدون بافر ولتاژ پیشنهادی، تنظیم بار ضعیفی وجود دارد. دلیل آن، این است که وقتی I_O از ۱۰۰mA به ۰ می رسد، پاسخ نمی تواند بصورت سریع اعمال شود، زیرا SR_G محدودیت دارد. بنابراین خازن خروجی بیش از اندازه شارژ شده و $V_{O(conv)}$ بیش از مقدار از پیش تعیین شده می گردد. بنابراین $V_{O(conv)}$ برای بازگشت به مقدار از پیش تعیین شده، زمان زیادی طول می کشد و این سبب می شود که تنظیم بار ضعیفی وجود داشته باشد. همانطور که از نتیجه شکل۹ مشاهده می شود، LDO با بافر ولتاژ پیشنهادی این مسئله را حل می کند زیرا می تواند ولتاژ گیت ترانزیستور قدرت را بسرعت تغییر دهد. بنابراین $V_{O(prop)}$ می-تواند بسرعت به حالت از پیش تعیین شده برگردد.

www.SID.ir

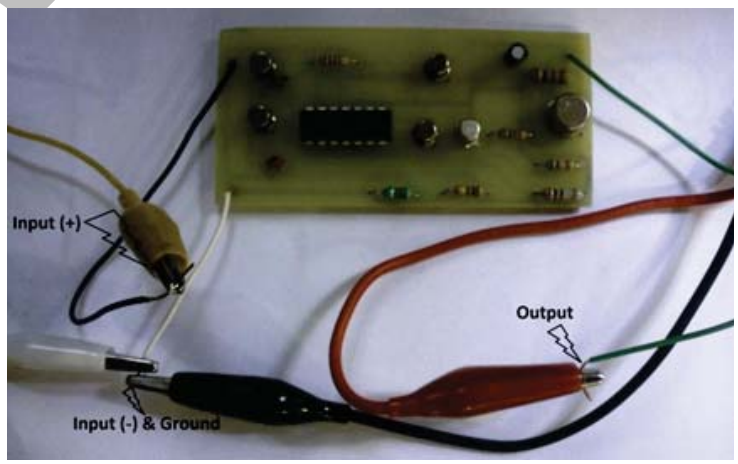
همانطور که از شکل۷ مشاهده می گردد، ولتاژ نمونه گیری شده از خروجی به تقویت کننده خطا می رسد و با مقایسه با ولتاژ مرجع، به تقویت کننده امیتر مشترک می رسد. انتظار می رود که سیگنال دریافتی با سیگنال نمونه برداری شده ۱۸۰ درجه اختلاف فاز داشته باشد، این سیگنال پس از عبور از خازن های مشتق گیر بصورت شکل۹ قابل مشاهده می باشد که متناسب با سیگنال ورودی به آن، خازن ترانزیستور قدرت خروجی را شارژ کرده و موجب سریعتر شدن پاسخ خروجی می شود بدون آنکه ولتاژ خروجی افت نماید.



شکل ۱۰. تغییرات ولتاژ بعد از خازن های مشتق گیر

نتایج آزمایشگاهی

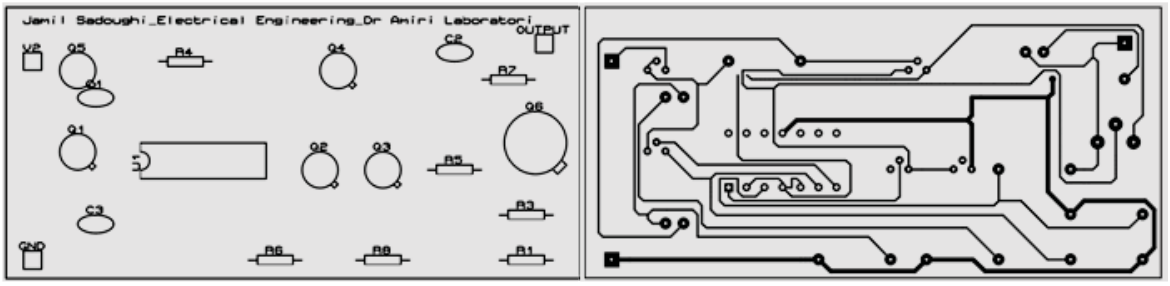
برای اینکه از صحت عملکرد این مدل پیشنهادی اطمینان حاصل گردد نمونه آزمایشگاهی طبق نمونه ای که در شکل۱۱ نشان داده شده است ساخته شده است. در این مدل به جای استفاده از ترانزیستورهای MOSFET از ترانزیستورهای BJT استفاده شده است که نتایج آن نشان می دهد که با نمونه شبیه سازی شده آن که در بالا توضیح داده شد،کاملا مطابقت دارد.



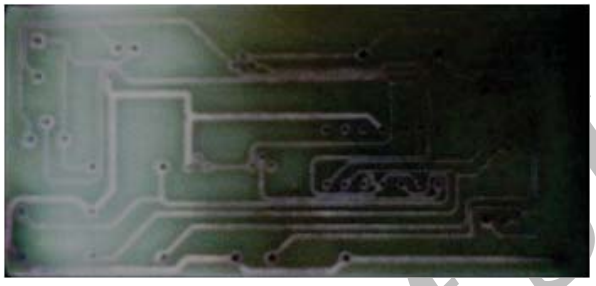
شکل۱۱. نمونه آزمایشگاهی ساخته شدهمدار پیشنهادی

Archive
www.SID.ir

در شکل۱۲، PCB مدار شبیه سازی شده و در شکل ۱۳ PCB مدار ساخته شده نشان داده شده است.



شکل۱۲. شکل PCB مدار پیشنهادی(سمت راست) ونمای نصب قطعات استفاده شده (سمت چپ)



شکل۱۳. نمای PCB واقعی

در این مطالعه آزمایشگاهی مدار تحت بدترین شرایط تست گردید. در اینجا فرض شده است که بار خروجی از ۰mA به ۱۶۰mA با فرکانس ۱kHz تغییر می کند که این مدل با یک مبدل ولتاژ به جریان پیاده سازی شده است. مقدار دامنه و فرکانس این پالس در فانکشن ژنراتور شکل۱۴ قابل مشاهده است.

شکل۱۴. دامنه و فرکانس تغییرات بار خروجی در تست های آزمایشگاهی

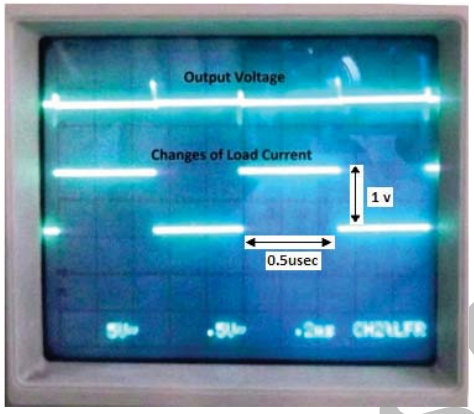
برای افزایش بیشتر جریان لحظه ای و بالا بردن کیفیت مدار، ساختار بافر ولتاژ پیچیده تر می گردد، زیرا که برای آشکارسازی سریعتر و دقیقتر حالت گذرای لحظه ای، مدارات پیچیده تری با مصرف توان بیشتر مورد نیاز است.

نتایج خروجی مشتمل بر دو شکل است که در شکل ۱۵تغییرات بار خروجی بهمراه ولتاژ خروجی تحت این شرایط نشان داده می شود و در شکل۱۶ نیز این تغییرات بهمراه اسپایک های ولتاژ مشهود است. این اسپایک های ولتاژ ناشی از خازن های مشتق گیر بوده که ایده اصلی این مقاله می باشد.

Archive of SID

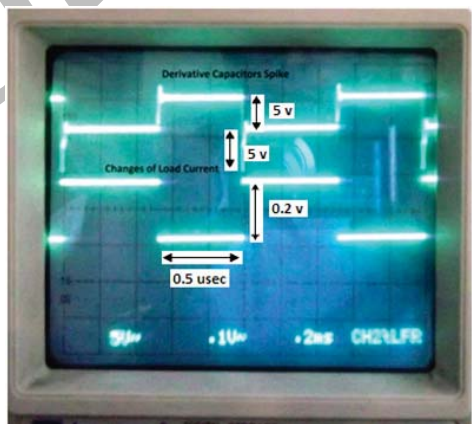
www.SID.ir

همانگونه که از تحلیل های قبلی بر می آید، آشکارسازی اسپایک ولتاژ پیشنهاد شده می تواند ویژگی نیازمندی روشن شدن سریع را برآورده سازد. به علاوه، سیگنال کوپلینگ خازنی از طریق Cc۱ و Cc۲ فقط یک سیگنال ضربه است. بدین معنی که V_{UP} و V_{DN} می تواند دوباره بوسیله $V_{BAIS۱}$ و $V_{BAIS۲}$ بعد از لحظه گذرا تعریف شود. این خاصیت نیز، ویژگی خاموشی سریع بافر افزایش جریان پیشنهادی را تایید می کند.



شکل۱۵. شکل موج های آزمایشگاهی ولتاژ خروجی و تغییرات بار خروجی

برای بدست آوردن کوپلینگ مناسب، هر دو خازن $C_{C۱}$ و $C_{C۲}$ باید بزرگ انتخاب شوند، این مقادیر باید در محدوده بین ۰.۵ تا ۲ پیکو فاراد باشد تا به صورت مدار مجتمع نیز قابل پیاده سازی باشد و چون ترانزیستور قدرت همیشه سطح بیشتری را اشغال می کنند، لذا این مقادیردر شکل بندی LDO تاثیر زیادی نخواهد داشت. مقادیر $R_{C۱}$ و $R_{C۲}$ نیز باید بزرگ انتخاب شوند تا کوپلینگ مناسب با خازن های مربوطه در لحظه گذرا ایجاد کند. هر دو مقاومت $R_{C۱}$ و $R_{C۲}$ باید در محوده بین ۱ تا ۲ مگا اهم باشد. دقت در مقادیر خازن ها و مقاومت های کوپلینگ زیاد مهم نیست. این نتایج بدست آمده از تست آزمایشگاهی نشان می دهند که مدار فوق با توجه به اندازه خازن های کوپلینگ قابلیت تحقق به صورت مدار مجتمع را نیز خواهد داشت.



شکل۱۶. شکل موج های آزمایشگاهی اسپایک های ولتاژ خازن و تغییرات بار خروجی

همانگونه که از شکل موج ها مشاهده می گردد مقدار Volt/Dive کانال۱ برابر با ۵V و این میزان برای کانال۲ برابر با ۰.۱V است و نیز میزان Time/Dive روی ۰.۲mS تنظیم شده است. با این مقادیر داده شده براحتی می توان مقادیر اصلی ولتاژ و فرکانس را بدست آورد. نتایج شبیه سازی و نتایج عملی کاملا باهم مطابقت داشته و اختلافی بین آن ها مشاهده نمی شود.

Archive of SID
www.SID.ir

نتیجه‌گیری

یک بافر ولتاژ افزایش جریان لحظه ای برای LDO در این مقاله معرفی شده است. بافر ولتاژ پیشنهادی هر دو حالت پهنای باند حلقه(BW_L) و سرعت چرخشی (SR_G) را در گیت ترانزیستور قدرت فراهم می کند، بطوریکه پاسخ گذرای بار می تواند بصورت خیلی مناسب بالا رود. با استفاده از این منبع تغذیه می توان در مواردی آن را بکار بست که تغییرات بار زیاد است و در خروجی نیاز به یک ولتاژ پایدار می باشد. سرعت تغییرات بار مدل سازی شده و مشاهده شد که با وجود این تغییرات در بار، ولتاژ خروجی تغییر بسیار سریعی داشته و سریعا توسط خازن های بکارگیری شده که ایده این مقاله می باشد، جبران می گردد. جزئیات طراحی که شامل عملکرد در حالت پایدار و پاسخ سیگنال-بزرگ برای بافر ولتاژ پیشنهادی است، معرفی گردیده است. نتایج شبیه سازی و ساخت آزمایشگاهی بر روی برد مدارچاپی به عنوان مکمل روش بررسی ارائه شد، که بهبود پاسخ گذرا بوسیله بافر ولتاژ پیشنهادی را ثابت کرده است.

مراجع

[1] G. A. Rincon-Mora and P. E. Allen, "A low-voltage, low quiescent current, low drop-out regulator," IEEE J. Solid-State Circuits, vol. 33, no. 1, pp. 36–44, Jan. 1998.

[2] K. N. Leung and P. K. T. Mok, "A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation" IEEEJ. Solid-State Circuits, vol. 38, no. 10, pp. 1691–1702, Oct. 2003.

[3] C. K. Chava and J. Silva-Martinez, "A frequency compensation scheme for LDO voltage regulators," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 51, no. 1, pp. 1041–1050, Jun. 2004.

[4] P. Hazucha, T. Karnik, B. A. Bradley, C. Parsons, D. Finan, and S. Borkar, "Area-efficient linear regulator with ultra-fast load regulation," IEEE J. Solid-State Circuits, vol. 40, no. 4, pp. 933–940, Apr. 2005.

[5] S. K. Lau, P. K. T. Mok, and K. N. Leung, "A low-dropout regulator for SoC with reduction," IEEE J. Solid-State Circuits, vol. 42, no. 3, pp. 658–664, Mar. 2007.

[6] M. Al-Shyoukh, H. Lee, and R. Perez, "A transient enhanced low-quiescent current low-dropout regulator with buffer impedance attenuation," IEEE J. Solid-State Circuits, vol. 42, no. 8, pp. 1732–1742, Aug. 2007.

[7] R. J. Milliken, J. Silva-Martinez, and E. Sánchez-Sinencio, "Full on-chip CMOS low-dropout voltage regulator," IEEE Trans. Circuits Syst. I, Reg.

Archive of SID

www.SID.ir

Papers, vol. 54, no. 9, pp. 1879–1890, Sep. 2007.
[8] W. Oh and B. Bakkaloglu, "A CMOS low-dropout regulator with current feedback buffer amplifier," IEEE Trans. Circuits Syst. II, Exp.Briefs, vol. 54, no. 10, pp. 922–926, Oct. 2007.
[9] T. Y. Man, P. K. T. Mok, and M. Chan, "A high slew-rate push-pull output amplifier for low-quiescent current low-dropout regulators with transient-response improvement," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 54, no. 9, pp. 755–759, Sep. 2007.
[10] T. Y. Man, K. N. Leung, C. Y. Leung, P. K. T. Mok, and M. Chan, "Development of single-transistor-control LDO based on flipped voltage follower for SoC," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 55, no. 5, pp. 1392–1401, Jun. 2008.
[11] H.-C. Lin, H.-H.Wu, and T.-Y. Chang, "An active frequency compensation scheme for CMOS low-dropout regulators with transient-response improvement," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 55, no. 9, pp. 853–857, Sep. 2008.
[12] H. Lee, P. K. T. Mok, and K. N. Leung, "Design of low-power analog drivers based on slew-rate enhancement circuits for CMOS low-dropout regulators," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 52, no. 9, pp. 563–567, Sep. 2005.
[13] P. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, 4th ed. Hoboken, NJ: Wiley, 2001.
[14] K, N. Leung, Y. S. Ng, K. Y. Yim, and P. Y. Or,"An adaptive currentboosting voltage buffer for low-power lowdropout regulators," in Proc. IEEE Int. Conf. Electron Devices Solid-State Circuits, Dec. 2007, vol. I, pp. 485–488.
[15] J. Ramirez-Angulo, A. J. Lopez-Martin, R. G. Carvajal, A. Torralba, and M. Jimenez, "Simple class-AB voltage follower with slew rate and bandwidth enhancement and no extra static power or supply requirements," Electron. Lett, vol. 42, no. 14, pp. 784–785, Jul. 2006.

Archive of SID
www.SID.ir