طراحی مبدل RFDAC با استفاده از نگه دار مرتبه اول

شعیب رحمت اللهی[۱]

ابومسلم جان نثاری[۲]

چکیده

در این مقاله ساختاری برای تبدیل مستقیم دیجیتال به آنالوگ فرکانس رادیویی بر مبنای نگه دار مرتبه اول پیشنهاد شده است.مبدل شامل مدولاتور دلتا-سیگما با نرخ نمونه برداری ۴۰۰MS/s، مدار پمپ بار و میکسر با فرکانس محلی ۲/۴GHz است. ساختار ارائه شده موجب تضعیف طیف خارج باند شده و طراحی دلتا-سیگما و فیلتر میان‌گذردر فرکانس‌های رادیویی را ساده تر می‌کند. این تکنیک بر پایه استفاده از فیلتر نگه دار مرتبه اول بجای نگه دار مرتبه صفر می‌باشد. نتایج شبیه سازی نشان می‌دهد که تضعیف نویز خارج باند برای این ساختار در حدود ۱۳dB بیش تر از ساختار معمولی است. در این ساختار مدولاتور دلتا_سیگما دارای نسبت توان سیگنال به نویز در حدود ۷۹dBدر پهنای باند ۵MHz می باشد.توان خروجی ۴dBm- و توان مصرفی بخش آنالوگ ۲/۵۵mW است.

کلید واژه

پیش فیلتر کردن، دلتا-سیگما، جیتر، نگه دار مرتبه اول، پمپ بار، مبدل دیجیتال به آنالوگ فرکانس رادیویی.

۱. کارشناس ارشد برق الکترونیک، دانشگاه تربیت مدرس s.rahmatollahi@modares.ac.ir

۲. استادیاردانشکده برق، دانشگاه تربیت مدرس

تاریخ دریافت: ۱۵ مهر ۱۳۹۰ تاریخ پذیرش: ۳ اسفند ۱۳۹۰

Archive of SID

www.SID.ir

مقدمه

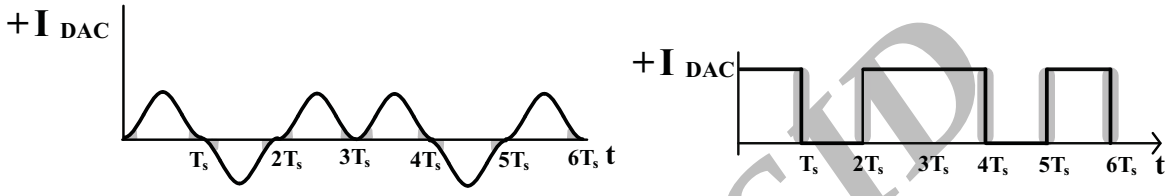
از بلوک‌های اصلی فرستنده های مخابراتی بی سیم، مبدل‌های دیجیتال به آنالوگ با سرعت و دقت بالا است. اگر چه اینمبدل هااغلب در سیستم‌های مخابراتی استفاده می‌شود، ولی همچنان مشکلاتی دارند که حل نشده باقی مانده است. مهم‌ترین مشکل مبدل دیجیتال به آنالوگ با نرخ بالا، اعوجاج خروجی مبدل در لحظه کلید زنی است. از جمله‌ی این خطاها می‌توان به خطای تداخل بین سمبل‌ها و پالس سوزنی و جیتر اشاره کرد. در راه حل‌های زیادی برای غلبه بر این مشکلات پیشنهاد شده است. تداخل بین سمبل‌ها باعث غیرخطی شدن مبدل از طریق وابستگی خروجی آن به لحظات قبلی (اثر حافظه) می شود. استفاده از مبدل NRZ موجب ایجادحالت گذار وابسته به ورودی در خروجی مبدل می‌شود که ناشی از خازن‌های پارازیتی در مدار است. حتی اگر مبدل به صورت تفاضلی پیاده سازی شود تا زمان نشست و صعود برابر باشند، باعث حذف خطای ISI نمی شود. از راه حل‌هایی که برای این مشکل پیشنهاد شده است، استفاده از مبدلRZDAC است که بعد از هر کلاک مقدارش به صفر بازمی‌گردد[۲]. در این ساختار همه ی پالس ها مستقل از ورودی شامل دو لبه گذار هستند، در حالی که در مبدل معمولی با توجه به اتفاقی بودن الگوی ورودی منجر به داشتن یک یا دو لبه می گردد، موجب خطایی می شود که به الگوی ورودی وابسته است.
خطای پالس سوزنی زمانی رخ می دهد که لحظه کلید زنی بیت های مختلف در مبدل همزمان نباشد. این خطا موجب می شود در زمان کوتاهی از پریود کلاک، مقداری خطابه خروجی ارسال شود. این پدیده موجب خطای وابسته به الگوی ورودی،که پدیده ای اتفاقی است، می شود. برای رفع این مشکل از بلوک‌های همزمان کننده[۳] یا از جانمایی مناسب استفاده می‌شود تا تأخیر کلاک به همه بیت ها یکسان باشد [۴].
با افزایش سرعت کلاک در مبدل، جیتر در کلاک موجب خطای بیشتری در خروجی می شود. همان‌طور که از شکل ۱-الف مشخص است، عدم قطعیت کلاک در لحظات $n*T_s$ موجب می‌شود که مقداری نادرست در آن لحظه به خروجی ارسال شود.
در[۵] شکل موج‌های مختلفی برای کاهش اثر جیتر معرفی شده است که از آن جمله می‌توان به موج های سینوسی و مثلثی اشاره کرد. در[۶] با کاهش جریان خروجی به صورت نمایی دامنه جریان در انتهای کلاک کاهش یافته و اثر خطای جیتر کاهش می یابد. این مدار به کمک خازنی که در نصف پریود کلاک بر روی مقاومت تخلیه می شود ساخته شده است. نکته مهم و مشترک در این شکل موج ها، دامنه‌ی نزدیک به صفر در لبه ی کلاک است تا دامنه ی خطای ناشی از جیتر را کاهش دهند. در[۷] به وسیله‌ی یک خازن کمکی، کاهش نمایی جریان را بر روی کل پریود کلاک بجای نصف آن انجام می‌دهد و مقدار دامنه جریان نزدیک به لبه کلاک را کمتر کند. در[۸] مطابق شکل ۱-ب استفاده از شکل موج سینوسی پیشنهاد شده است و علاوه بر این که دامنه سیگنال خروجی نزدیک کلاک صفر است، شیب آن نیز صفر است، که اصطلاحاً به آن عدم حساسیت به جیتر تا مرتبه دوم گویند. به مبدل هایی که از موج سینوسی به عنوان خروجی استفاده می‌کنند RFDAC گویند.
مشکلی که شکل موج‌های کاهش جیتر(بجز سینوسی) دارند اثر نامطلوب آن‌ها بر روی طیف سیگنال ورودی است. برای درک این اثر، مبدل با خروجی نمایی را به صورت شکل ۲-الف مدل می کنیم. همان‌طور که در این شکل مشاهده می‌شود خروجی در حوزه‌ی زمان مانند ضرب سیگنال ورودی در شکل موج متناوب نمایی

Archive of SID

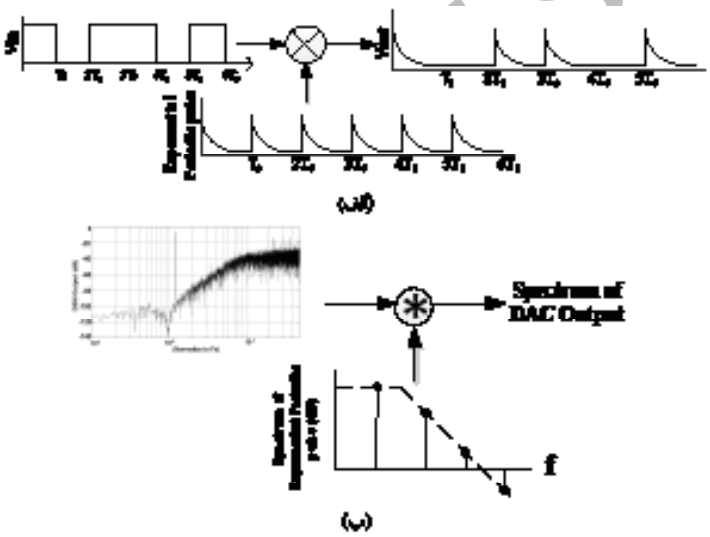
www.SID.ir

است یا به عبارتی مطابق شکل ۲-ب طیف خروجی مبدل حاصل کانولوشن طیف ورودی با طیف سیگنال متناوب است. مؤلفه‌ی دوم و سوم در طیف سیگنال ضرب شونده هرچند کوچک هستند اما موجب خرابی در طیف می‌شوند.ساختار RFDAC علاوه بر اینکه مشکل فوق را ندارد، از مزیت جابجایی فرکانسی هم بهره می برد و نیاز به میکسر اضافی در طرف فرستنده ندارد[۹].

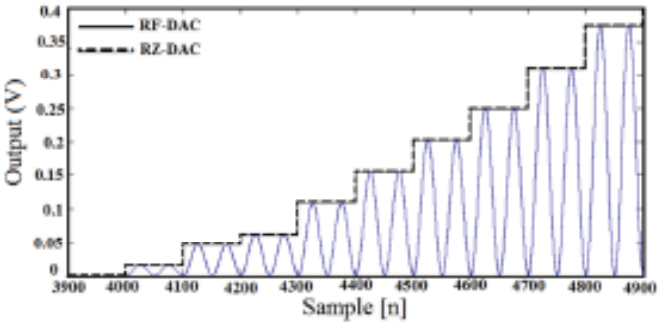
در شکل ۳ که خروجی نوعی RFDAC شش بیتی را نشان می‌دهد، مشخص شده است که بجای هر پالس، یک سینوسی به خروجی ارسال می‌شود. به این معنی که سیگنال ورودی در یک سینوسی ضرب شده است. فرکانس سینوسی برای این که در لبه پالس مقدارش صفر باشد می‌بایست همزمان با کلاک و ضریبی از فرکانس کلاک باشد.



شکل ۱. خطای ناشی از عدم قطعیت در لبه کلاک (جیتر) الف) مبدل‌های معمولی ب) RFDAC

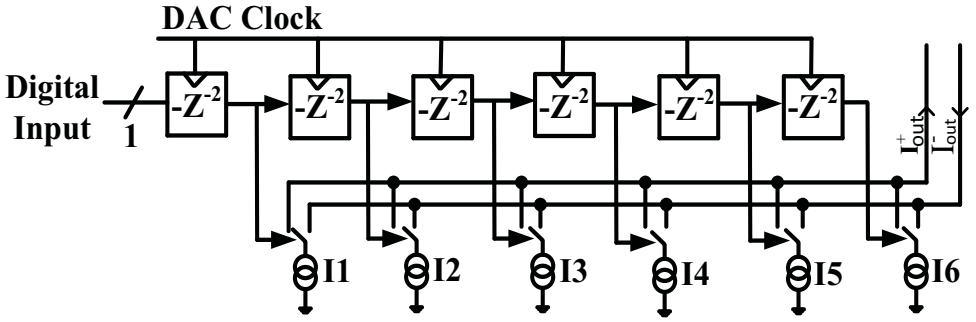


شکل ۲. مدل بلوکی برای مبدل با خروجی نمایی الف) در حوزه زمان ب) در حوزه‌ی فرکانس



شکل ۳. خروجی RFDAC در مقایسه با خروجی مبدل معمولی

www.SID.ir



شکل ۴. ساختار RFDACبرایفیلتر کردن همزمان نویز خارج باند و تبدیل سیگنال دیجیتال به آنالوگ

در طراحی مبدل های دیجیتال به آنالوگ سرعت بالا معمولاً از ساختار Current Steering استفاده می‌شود. در این ساختار با افزایش تعداد بیت ها منابع جریان موازی افزایش یافته و مشکلاتی از جمله عدم انطباق بین ترانزیستورها و امپدانس محدود منابع جریان، موجب غیرخطی شدن مدار می شود. برای برطرف کردن خطای عدم انطباق بین ترانزیستورها راه حل‌هایی پیشنهاد شده که از آن جمله می‌توان به استفاده از ساختار پیچیده‌ی Mismatch Shaping اشاره کرد[۱۰]. در[۱۱] بخشی از کلیدها به صورت کد دماسنجی و بخشی به صورت باینری ساخته شده است که اصطلاحاً به آن بخش بندی بیت‌های باینری و دماسنجی گویند. راه حل دیگر استفاده از مدولاتور دلتا-سیگما است تا بتواند تعداد بیت‌ها و در نتیجه منابع جریان موازی را کاهش دهد، در عین حال رزولوشن را حفظ کند. با کاهش منابع جریان موازی می توان انتظار داشت مشکل امپدانس محدود، در مبدل کاهش یابد. مشکل اصلی استفاده از مدولاتور دلتا-سیگما، ایجاد نویز در خارج باند است که باید فیلتر گردد. برای اجتناب از طراحی فیلتر اضافی، فیلتری که قبل از تقویت کننده‌ی توان وجود دارد باید با Q بالاتری طراحی شود. در[۱۲] با طراحی همزمان دلتا-سیگما و فیلتر میان‌گذرمصالحه ای بین OSR در دلتا-سیگما و ضریب کیفیت Qدر فیلتر میان‌گذررا نشان می‌دهد که به صورت رابطه‌ی(۱) است.

$$Q_{ind} \geq \frac{f_{Lo}}{BW} \Rightarrow f_{Lo} \leq Q_{ind} * BW. \qquad (۱)$$
$$f_{clk} = OSR * BW. \Rightarrow OSR \leq \frac{Q_{ind}}{n}$$

این رابطه نشان می دهد که با افزایش OSR برای SNR بالاتر، طراحی فیلتر میان‌گذر پیچیده تر می‌شود و Q بالاتری نیاز دارد، در نتیجه برای افزایشOSR محدودیت داریم. از طرفی به ازای OSR ثابت، افزایش مرتبه مدولاتور موجب افزایش شیب نویز خارج باند شده و لذا به فیلتر با مرتبه بیشتر یا Q بالاتری دارد. [۱۳] برای شکستن این مصالحه، ساختاری مطابق شکل ۴ پیشنهاد کرده است که همزمان با تبدیل دیجیتال به آنالوگ و انتقال آن‌ها به فرکانس‌های بالا، توسط فیلتر نیمه دیجیتال FIR نویز خارج باند را تضعیف می کند و طراحی فیلتر را برای OSR بالا راحت تر می سازد. استفاده از فیلتر نیمه دیجیتال بجای تمام دیجیتال ساختار را قادر به استفاده از RFDAC تک بیتی نموده است. شیفت یافته های تک بیتی بر خلاف فیلتر دیجیتال، به صورت آنالوگ جمع می شود.همان‌طور که در شکل ۴ مشاهده می شود با افزایش مرتبه‌ی فیلتر FIR تعداد Tap های این ساختار زیاد شده و در نتیجه منابع جریان موازی شده افزایش می‌یابد. به دلیل محدود بودن امپدانس خروجی منابع جریان می توان هر منبع جریان را به صورت ایده آل و امپدانس موازی

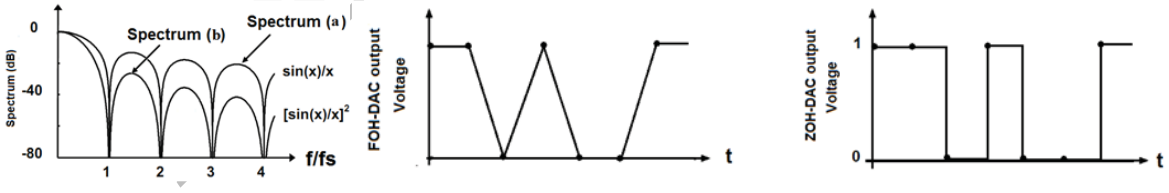
Archive of SID
www.SID.ir

با آن در نظر گرفت. در این ساختار موازی شدن منابع جریان، باعث موازی شدن امپدانس منابع جریان شده و امپدانس خروجی کل را کاهش می دهد و مدار خاصیت غیرخطی بیشتری از خود نشان می-دهد.از آنجا که دلتا-سیگما برای کاهش اثر غیرخطی امپدانس محدود در مبدل بکار رفته است، استفاده از فیلتری که برای حذف نویز آن، اثر غیرخطی امپدانس محدود را افزایش دهد، دچار مشکلات ساختار مبدل چند بیتی می شود. در این مقاله ساختاری جدید پیشنهاد شده است تا فیلتر درونی ساختار RFDAC بدون مشکل امپدانس محدود بر سیگنال اعمال شود.

در ادامه، در بخش دوم به توضیح ساختار ارائه شده برای RFDAC می پردازیم، در بخش سوم طراحی مداری این ساختار ارائه شده است، بخش چهارم به نتایج شبیه سازی اختصاص یافته است و در نهایت نتیجه گیری در بخش پنجم ارائه می‌شود.

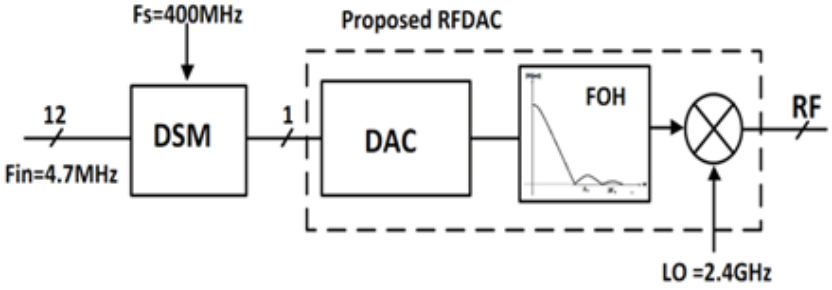
ساختار RFDAC پیشنهاد شده

همان‌طور که در قسمت قبل بیان شد مشکل اصلی استفاده از شکل موج‌هایی که برای کاهش جیتر معرفی شده‌اند تخریب طیف در حوزه ی فرکانس می باشد، از این رو برای ساختار RFDAC از سینوسی استفاده شده است. در این مقاله برای حل این مشکل ترتیب مثلث‌ها به نحوی عوض شده است تا موجب اعوجاج در طیف سیگنال نشده، بلکه نویز خارج باند را نیز تضعیف دهد. یک مبدل معمولی با تبدیل هر نمونه دیجیتالی به ولتاژ آنالوگ و نگه داشتن آن تا کلاک بعدی موجی آنالوگ تولید می‌کند (شکل ۵-الف). این عمل که معادل نگه دار مرتبه‌ی صفر است و در حوزه‌ی فرکانس معادل اعمال فیلتر Sinc بر طیف ورودی می باشد. در طراحی مبدل های معمولی فیلتر آنالوگ دیگری برای تضعیف تکرارهای طیف در مضارب فرکانس کلاک بکار می رود که در طراحی RFDAC این فیلتر از بخش باند پایه به بخش RF منتقل شده است و معمولاً با طراحی پیچیده تر فیلتر میان گذر، این فیلتر را حذف می‌کنند. بنابراین از مهم‌ترین مشکلات طراحی RFDAC طراحی فیلترمیان گذراست.



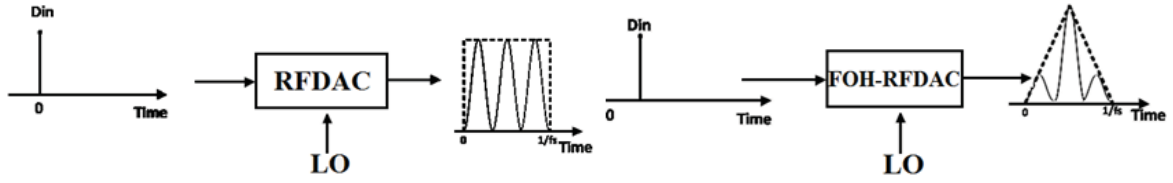
(ج) (ب) (الف)

شکل ۵. الف) نگه دار مرتبه صفر ب) نگه دار مرتبه اول ج) طیف فرکانسی الف و ب



شکل ۵. ساختار بلوکی RFDAC پیشنهادی

Archive of SID
www.SID.ir



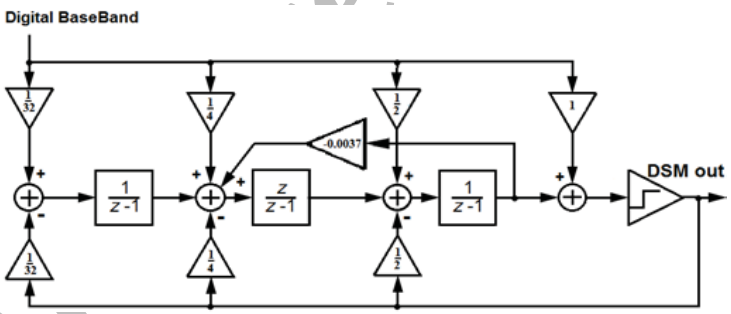
(ب) (الف)

شکل ۷. الف) پاسخ ضربه در حوزه زمان برای الف) RFDAC پیشنهادی ب) RFDAC معمولی

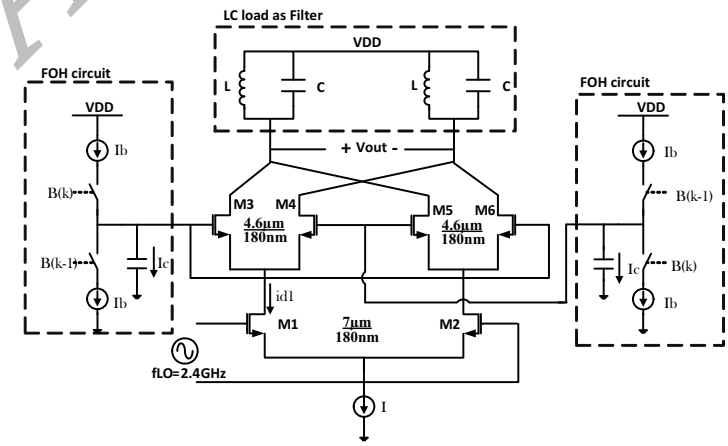
نشان می‌دهد که اگر نمونه های دیجیتالی را با خط به هم وصل کنیم تا این مثلث‌ها را تشکیل دهیم، در این حالت مبدل مانند نگه دار مرتبه ی اول عمل می کند که نسبت به نگه دار مرتبه‌ی صفر تضعیف بیشتری در خارج باند دارد (شکل ۵-ج).

ساختار RFDAC تک بیتی پیشنهادی در شکل ۶ نمایش داده شده است. مدولاتور دلتا-سیگما ورودی ۱۲ بیتی را به رشته تک بیتی تبدیل می کند. این رشته تک بیتی توسط مدار نگه دار مرتبه اول به شکل مثلث تبدیل می شود. سنتز کننده‌ی فرکانسی سیگنال سینوسی، که با فرکانس کلاک همزمان است، را تولید می کند و میکسر سیگنال را به حوزه ی RF منتقل می کند. شکل ۷ پاسخ ضربه ی RF-DAC معمولی و FOH-RF-DAC پیشنهادی را در حوزه ی زمان مقایسه می کند.

در این مقاله از مدولاتور دلتاسیگمای مرتبه ۳ مطابق شکل ۸ استفاده شده است. تضعیف نویز خارج باند توسط نگه دار مرتبه‌ی اول و فیلتری که به عنوان بار در خروجی میکسر به کار رفته است، استفاده از مدولاتور با مرتبه‌ی بالاتر با نویز خارج باند بیشتری را امکان می سازد. در این مدولاتور از ساختار دلتا-سیگما CRFB استفاده شده است، تا به کمک صفر بهینه بتوان به مقدار SNRبالاتری دست یافت [۱۴].



شکل ۸. ساختار دلتا-سیگما مرتبه سه، تک بیتی به کمک تشدید کننده در فیدبک



شکل ۹. شمای مداری هسته اصلی در FOH-RFDAC

A. of SID
www.SID.ir

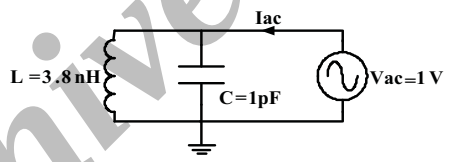
طراحی میکسر

شکل ۹ شمای مداری هسته FOH-RFDAC را نمایش می‌دهد. جریان Ic متناسب با تفاضل بیت‌های متوالی تشکیل می‌شود، سپس این جریان توسط خازن به شیب ولتاژی تبدیل می‌شود. این سیگنال ولتاژی به میکسر با ساختار گیلبرت اعمال می‌شود تا به کمک موج سینوسی قفل شده به فرکانس کلاک بتوان از ایده های کاهش جیتر دوباره استفاده کرد و همزمان سیگنال را به فرکانس‌های بالا منتقل نمود. ترانزیستورهای M۱ و M۲ جریان سینوسی به فرم (۳) را از جریان ثابت بایاس می‌سازند.

$$id1 \propto [\, I\times(1-\cos(\omega_{LO}t))] \qquad (۳)$$

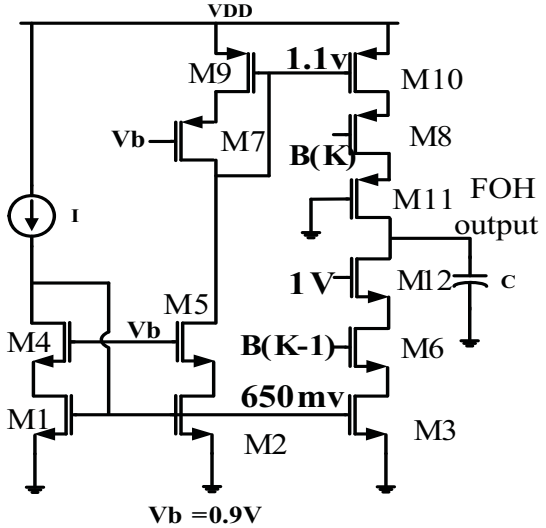
در ادامه ترانزیستورهای M۳و M۴جریان سینوسی را با ولتاژ خروجی نگه دار مرتبه‌ی اول ضرب می‌کنند و جریان حاصل توسط فیلتر LC که فرکانس مرکزی آن روی۲/۴GHzتنظیم شده است، فیلتر می‌شود. سلفی که به عنوان بار در خروجی میکسر قرار گرفته است موجب حذف خازن‌های پارازیتی طبقه‌ی بعد شده است.از طرفی بار سلفی، ولتاژ DC ناچیزی مصرف می‌کند، که این موجب می‌شود دامنه نوسان بزرگ‌تری در خروجی داشته باشیم. برای طراحی میکسر از ساختار Double Balance گیلبرت سل استفاده شده است تا اثر اعوجاج هارمونیک های ورودی را به حداقل برسانیم. مقدار سلف در خروجی میکسر با توجه به فرکانس مرکزی ۲/۴GHz و بار خازنی۱pF از طبقه بعد محاسبه می شود.

مقدار سلف در خروجی میکسر با توجه به فرکانس مرکزی ۲/۴GHz و بار خازنی ۱pF از طبقه بعد محاسبه می شود. رابطه (۴) نحوه‌ی محاسبه ی این سلف را نشان می‌دهد.



شکل ۱۰. مدل مداری برای تعیین مقاومت سلف

$$\omega_{res} = \frac{1}{\sqrt{LC}} \Rightarrow L=\frac{1}{\omega^2 C}=\frac{1}{(2\pi*2.4*10^9)*10^{-12}} \approx 4nH \qquad (۴)$$



شکل ۱۱. مدار پیشنهادی برای تولید مثلثی

Archive of SID

www.SID.ir

در این طراحی از سلف ۳/۸nH استفاده شده است تا علاوه بر اثر خازن طبقه بعد بتواند اثر خازن‌های خروجی میکسر ناشی از ترانزیستورهای $M_{۳-۵}$ را جبران نماید. با توجه به محدود بودن ضریب کیفیت Q، سلف دارای مقاومت محدود به صورت موازی است که برای محاسبه آن می‌توان مدار ساده شکل ۱۰ را استفاده نمود.جریان گذرنده از منبع ولتاژ در فرکانس ۲/۴GHz برابر ۱/۷۹mA است که به ازای منبع یک ولتی معادل مقاومت موازی حدود Rp=۵۵۵Ω است.

توان خروجی۴dBm- لحاظ شده است که مناسب برای تقویت کننده‌ی توان طبقه بعد باشد. این توان معادل ۰/۴ ولت نوسان بر روی مقاومت ۵۰ اهمی می‌باشد. روابط (۵-۶) نحوه محاسبه جریان شاخه دنباله را نشان می‌دهد. سایز ترانزیستورهای $M_{۱-۶}$ به نحوی محاسبه شده اند که ولتاژ موثر آن‌ها در حدود ۰/۲ باشد تا در همه شرایط در ناحیه اشباع قرار گیرند.

$$Rp * I = 0.4\ V_{p-p} \quad (۵)$$

$$I = \frac{0.4\ V}{555\Omega} = 720\mu\ A \quad (۶)$$

طراحی مدار پمپ بار

در این مقاله برای اینکه بتوانیم شیب را متناسب با تفاضل دو بیت متوالی بسازیم، از ساختار پمپ بار مطابق شکل ۱۱استفاده کرده ایم. در شکل ۱۱ ترانزیستورهای M۱-۲ و M۴-۵ و M۷ و M۹ آینه جریان کاسکود برای ولتاژهای پایین را تشکیل می‌دهد. M۳ و M۱۰ به عنوان منابع جریان شارژ و تخلیه استفاده می‌شوند،M۱۱و M۱۲برای افزایش مقاومت خروجی منابع جریان بکار رفته اند و در نهایتM۶و M۸به عنوان کلید عمل می‌کنند. ولتاژ کنترلاین کلیدها توسط بیت دیجیتالی خروجی دلتا-سیگما تولید می‌شود. در این شکل B(k) و B(k-۱)بیت‌های باینری متوالی خروجی دلتا-سیگما هستند.برای کاهش عواملی چون نشت کلاک به بخش آنالوگ، سایز ترانزیستورهای M۶,۸که به قسمت دیجیتال متصل شده‌اند مینیمم در نظر گرفته شده است.

سیگنال خروجی پمپ باربه طبقه میکسر اعمال می‌شود که زیاد بودن دامنه آن، موجب به ترایود رفتن و غیرخطی شدن این طبقه می گردد و کم بودن آن موجب کاهش سطح توان سیگنال خروجی یا کاهش SNR می شود. مقدار مناسب برای ولتاژ خروجی مدار پمپ بار را از روی P۱dB طبقه بعد می یابیم که در این شبیه سازی ۴۸۵ mV بدست آمده است. رابطه ی (۷) نحوه‌ی محاسبه مقدار جریان DC شارژ و تخلیه و خازن انتگرال گیر را مشخص می کنند.

$$C \times \Delta V_C = T_{CLK} \times I_C \quad (۷)$$

و با توجه به اینکه T_{clk}=۱/Fs=۱/۴۰۰(µs) است و ΔV_C=۴۸۵mV است می توان نسبت جریان منبع جریان و خازن انتگرال گیر را به صورت (۸) یافت:

$$I_C / C = 0.16\ (mA / pF) \quad (۸)$$

جدول (۱) سایز ترانزیستورهای پمپ بار را نمایش می دهد.

Archive of SID

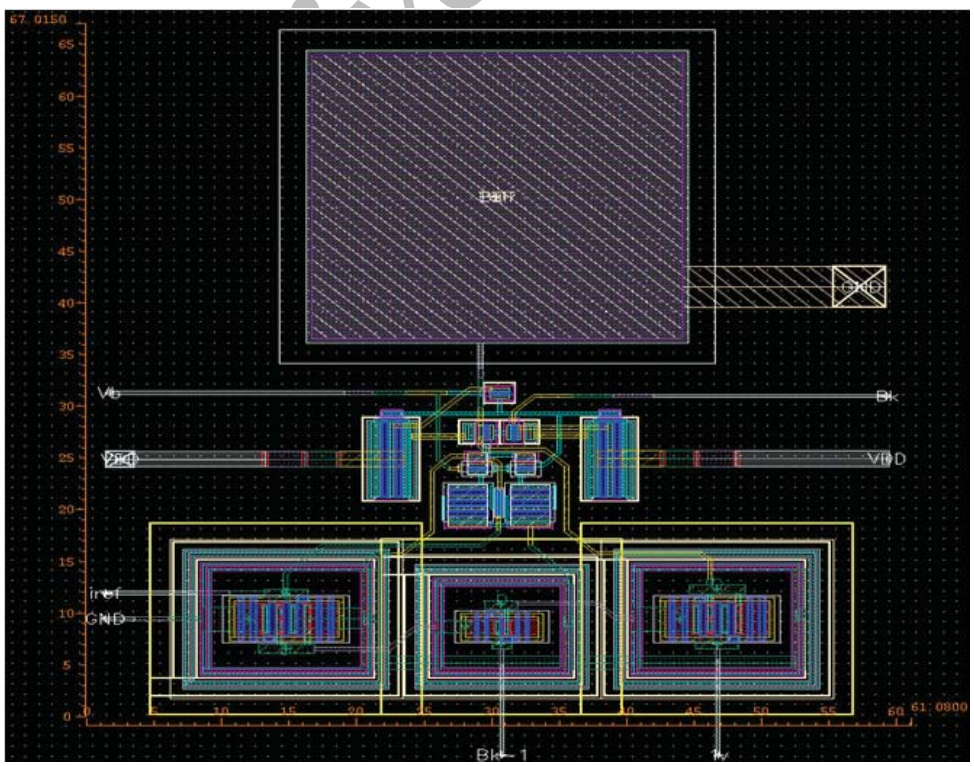
www.SID.ir

Transistor	W/L
M۳	۹μm/۵۰۰nm
M۶,۸	۱,۵μm/۱۸۰nm
M۱۰	۱۴,۵μm/۴۵۰nm
M۱۱	۱,۵μm/۲۷۰nm
M۱۲	۹μm/۵۰۰nm

جدول ۱. سایز ترانزیستورهای پمپ بار

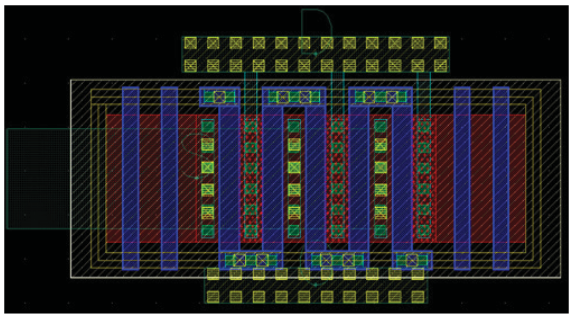
فیلتر کردن سیگنال در مبدل، موجب افزودن مدار پمپ بار به ساختار RFDAC شده است. شکل ۱۲ نشان می دهد مساحت این بخش در حدود $۶۱*۶۷\mu m^۲$ می باشد. مطابق طرح بندی مدار پمپ بار در شکل ۱۲، سهم بزرگی از مساحت این قسمت را خازن تشکیل داده است. خازن بزرگ برای کاهش دامنه جریان شارژ و تخلیه در نظر گرفته شده است.

از مهم‌ترین عوامل خطا در مدار پمپ بار عدم انطباق بین جریان شارژ و تخلیه می باشد که ناشی از امپدانس محدود در منابع جریان است؛ لذا علاوه بر افزایش طول کانال منابع جریان، تکنیک‌هایی چون طرح بندی با مرکز مشترک و ترانزیستور چند انگشتی برای Matching بهتر بین المان‌های تفاضلی استفاده شده است. به کمک طراحی متقارن مطابق شکل ۱۲ سعی شده انطباق بین المان های تفاضلی و آینه جریان برقرار شود. شکل ۱۳ طرح بندی مربوط به M۱۲ را نمایش می دهد که به کمک قطعه مجازی تقارن در طرح بندی برقرار شده است.

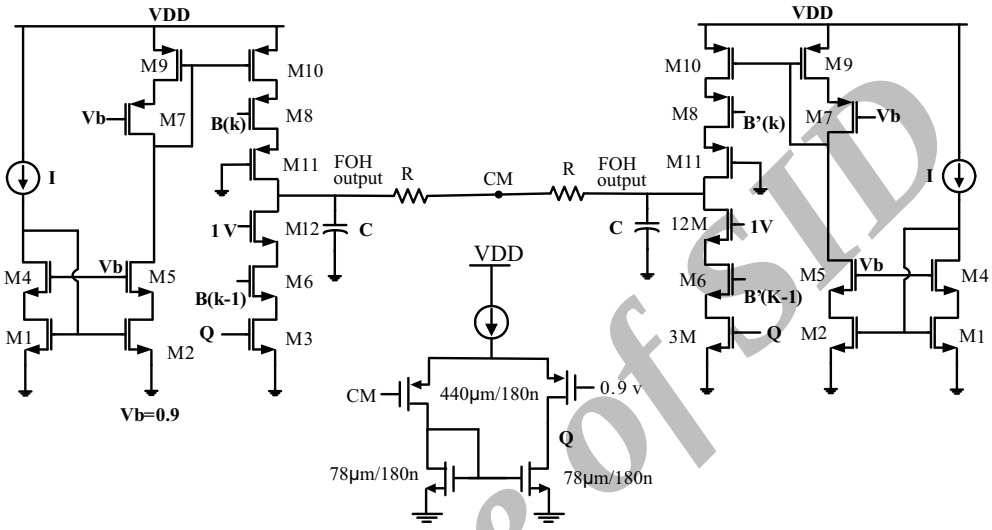


شکل ۱۲.طرح بندی مدار پمپ بار

Archive of SID
www.SID.ir



شکل ۱۳. طرح بندی M۱۲در مدار پمپ بار



شکل ۱۴. مدار تفاضلی پمپ بار به همراهCMFB

مدار پمپ بار به همراه مدار CMFB در شکل ۱۴ نشان داده شده است. برای ثابت نگه داشتن ولتاژ DC در اتصال درین به درین از ساختار CMFB استفاده شده است به نحوی که ابتدا متوسط خروجی را با ولتاژ مورد نظر مقایسه نموده و انحراف ولتاژ DC خروجی را از حالت ایده آل بدست آورده سپس به کمک آن جریان تخلیه را کنترل می کنیم. در صورتی که ولتاژ DC خروجی از ۰/۹V افزایش یافت جریان تخلیه افزایش یافته و ولتاژ خروجی را پایین می آورد.

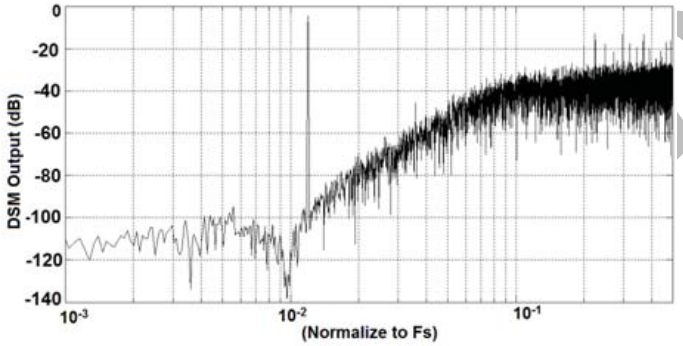
نتایج شبیه سازی

شبیه سازی قسمت سیستمی، شامل مدولاتور دلتا-سیگما در نرم افزار MATLAB انجام گرفته است. طیف خروجی مدولاتور دلتا سیگما به ازای ورودی تن با فرکانس ۴/۷MHz و سطح ۴dBFS- در شکل ۱۵ نشان داده شده است. قسمت مداری سیستم شامل پمپ بار و میکسر با تکنولوژی CMOS استاندارد ۰/۱۸µm طراحی و به کمک نرم افزار Spectre(Cadence) شبیه سازی شده است. شکل ۱۶-الف طیف خروجی را برای دو حالت RFDAC معمولی و FOH-RFDAC پیشنهادی مقایسه می‌کند. ساختار معمولی RFDAC با حذف مدار پمپ بار از ساختار پیشنهادی در نظر گرفته شده است که در این حالت سینوسی با تک بیت B(k) ضرب می‌شود. دو ساختار حول فرکانس اسیلاتور ۲/۴GHz، طیف یکسانی دارند که می‌توان SNR یکسانی در پهنای باند ۱۰MHzمیان گذر انتظار داشت. FOH-RFDAC در باند

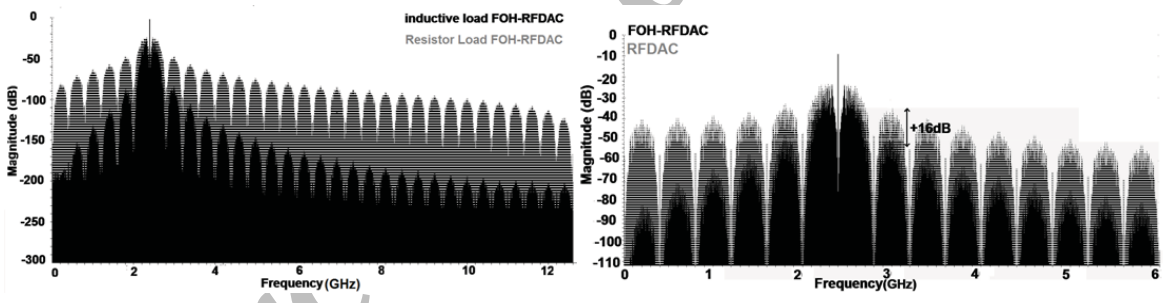
Archive of SID
www.SID.ir

کناری در حدود ۱۳dB تضعیف بیشتر نسبت به ساختار معمولی RFDAC از خود نشان می‌دهد، که این به دلیل قدرت تضعیف تابع نگه دار مرتبه اول نسبت به نگه دار مرتبه صفر است.

افزودن فیلتر در ساختار درونی RFDAC چه به صورت FOH و چه به صورت FIR موجب کاهش خطسانی مدار می شود. افزایش منابع جریان موازی شده در فیلتر FIR باعث کاهش امپدانس خروجی و افزایش غیرخطسانی و در نتیجه کاهش میزان SNR می شود. خطسانی در مدار پمپ بار ناشی از عدم تطابق بین جریان شارژ و تخلیه به وجود می‌آید. مدار پمپ بار و میکسر نوعی طراحی شده در این مقاله موجب کاهش ۱۵dBدر SNR شده است به نحوی که SNR در خروجی مبدل حول فرکانس ۲/۴GHz معادل ۶۴dB می باشد، که ناشی از غیرخطی بودن فیلتر به همراه میکسر می باشد.



شکل ۱۵. طیف خروجی مدولاتور دلتا-سیگما



ب الف

شکل ۱۶. الف)مقایسه طیف خروجی برای دو مدولاتور RFDAC معمولی و FOH-RFDAC پیشنهادی ب) اثر تانکLC به عنوان بار میکسر در طیف خروجی

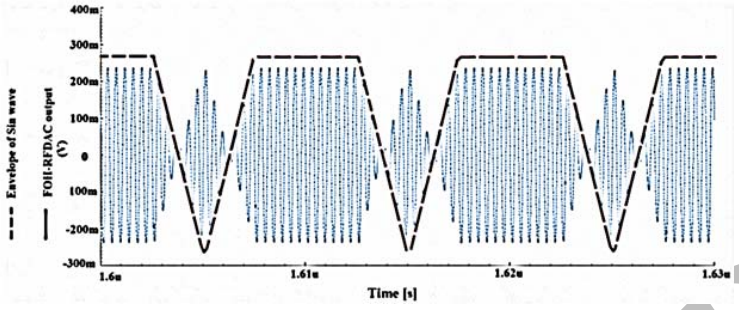
با استفاده از تانک LC که به عنوان بار میکسر به کار رفته است این فیلترینگ باریک‌ترشده است. در شکل ۱۶-ب خروجی FOH-RFDAC را برای دو حالتی که بار مقاومتی و بار سلفی در میکسر بکار رفته است مقایسه شده است. ضریب کیفیت تانک LC که به عنوان بار میکسر به کار رفته است به کمک رابطه (۹) قابل محاسبه است. از خازن پارازیتی خروجی میکسر در مقابل خازن بزرگ بار صرف نظر شده است.

$$Q = R\sqrt{C/L} = 555\Omega * \sqrt{1pF/3.8nH} = 9 \quad (۹)$$

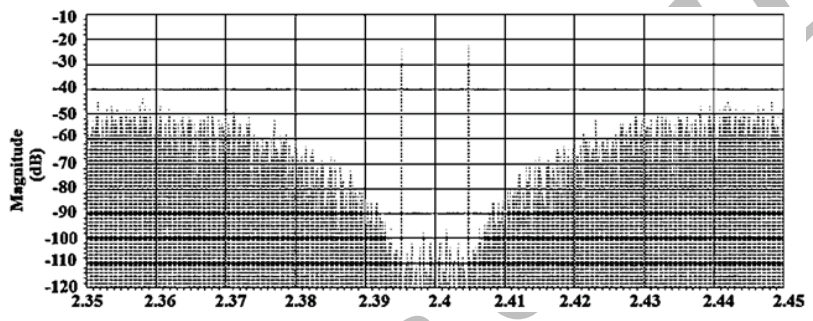
مطابق شکل ۱۷ جریان سینوسی که توسط طبقه LO ساخته می‌شود در شکل موج مثلثی ضرب شده و بجای سینوسی مدوله شده با پالس، سینوسی مدوله شده با مثلثی را نتیجه می‌دهد. فرکانس اسیلاتور ۲/۴GHz می باشد وفرکانس نوسان ساز ۶ برابر فرکانس پالس ساعت است بنابراین در هر مثلث ۶ سینوسی قرار گرفته شده است.

www.SID.ir

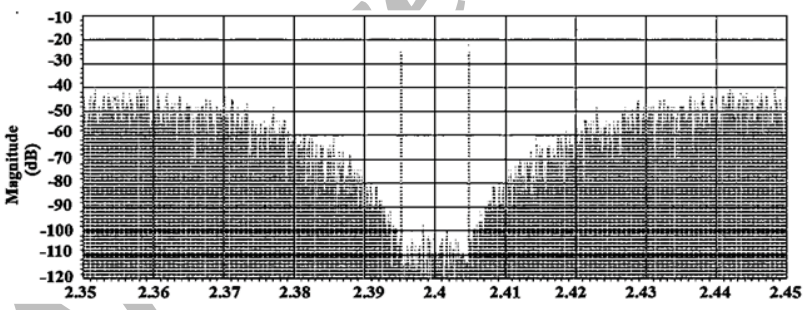
ترانزیستورهای ماسفت وابستگی دمایی از خود نشان می‌دهند. برای مثال افزایش در دما مدارها را کند ساخته و جریان زیر آستانه را افزایش می‌دهند. پارامترهایی چون قابلیت تحرک و ولتاژ آستانه به دما وابسته است؛ لذا نتایج شبیه سازی به ازای دمای های مختلف و در گوشه های مختلف نمایش داده شده است.



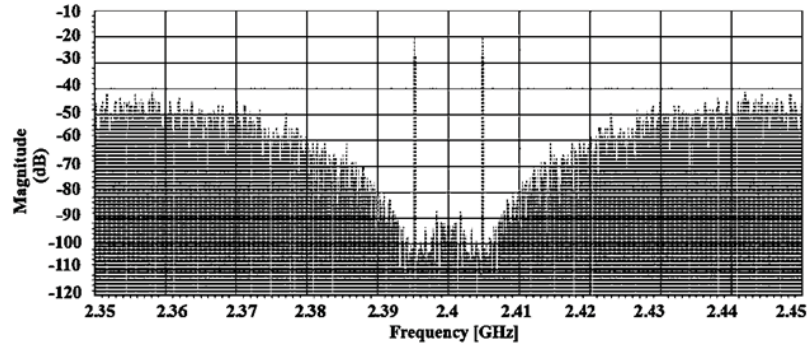
شکل ۱۷. نمایش شکل موج خروجی FOHRFDAC در حوزه زمان



الف



ب

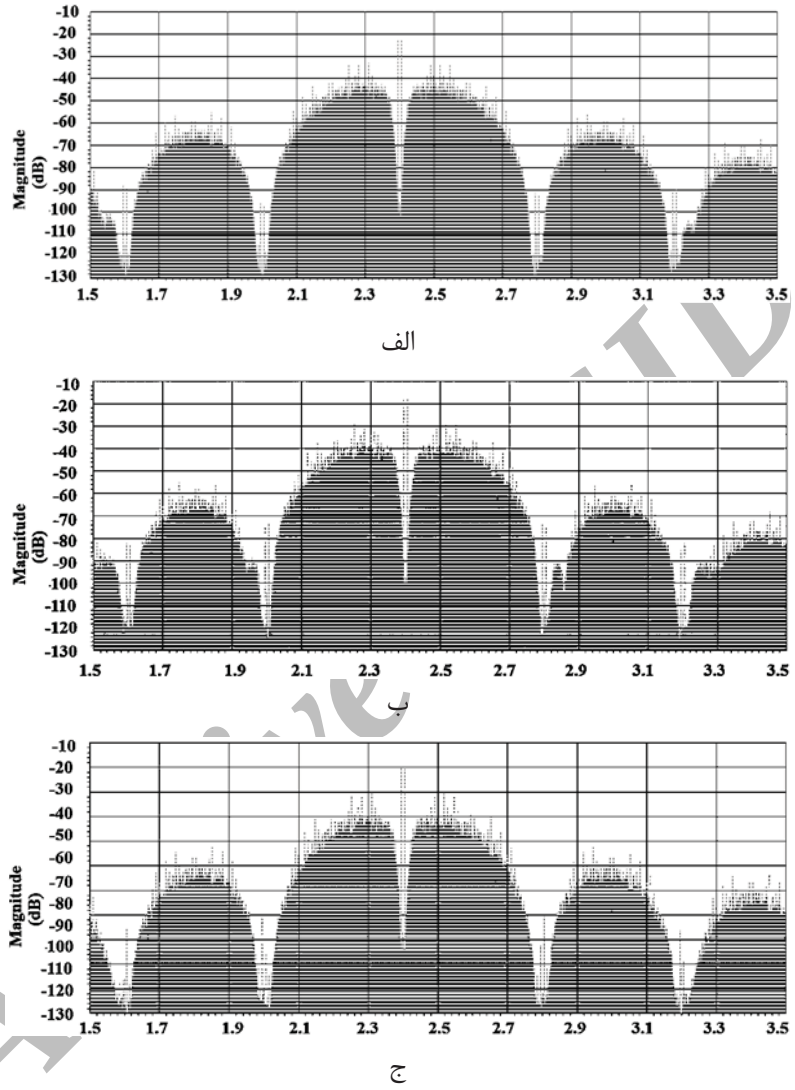


ج

شکل ۱۸. مقایسه طیف داخل باند خروجی مبدل برای گوشه های پروسه و دمای کاری الف) معمولی ۲۷ درجه ب) سریع ۴۰- درجه ج) کند ۱۲۰ درجه

www.SID.ir

در این شبیه سازی به ازای ترانزیستور نوع سریع، عملکرد مدار در باند مطلوب نسبت به حالت معمولی بهبود یافته ولی در حالت کند مدار دچار افت کیفیت در باند سیگنال است (شکل ۱۸). با توجه به شکل ۱۹ می توان نتیجه گرفت که قدرت فیلترینگ که هدف اصلی این ساختار است تغییری نکرده و تضعیف در باند کناری ۱۳dB باقی مانده است.



شکل ۱۹. مقایسه طیف خروجی مبدل برای گوشه های پروسه و دمای کاری الف) معمولی ۲۷ درجه ب) سریع ۴۰- درجه ج) کند ۱۲۰ درجه

نتیجه‌گیری

یک مبدل با ساختار دیجیتال به RF بر اساس پیش فیلترینگ نگه دار مرتبه اول ارائه شده است. استفاده از نگه دار مرتبه اول بجای نگه دار مرتبه صفر، ضمن فیلتر کردن و بهبود طیف خروجی مبدل با تابع Sinc۲ به جای Sinc، به دلیل استفاده از موج مثلثی و صفر شدن دامنه مثلث در لبه کلاک، اثر جیتر را نیز کاهش داده است. از شکل موج مثلثی که از شکل موج های شناخته شده برای کاهش جیتر است به نحوی استفاده شده است که موجب تضعیف نویز خارج باند شود و از شکل موج سینوسی همزمان برای کاهش بیشتر حساسیت

www.SID.ir

به جیتر و انتقال سیگنال به فرکانس‌های رادیویی استفاده می شود. در این ساختار به کمک میکسر با بار سلفی توانسته ایم نویز خارج باند را بیشتر تضعیف کنیم. با توجه به مصالحه ی قدرت فیلترینگ (Q) و OSR می توان به کمک این تکنیک به نسبت سیگنال به نویز بالاتری دست یافت و همچنین از پیچیدگی طراحی فیلتر میان گذر در حوزه ی RF کاست.

مراجع

[1] J. Wikner and N. Tan, "Modeling of CMOS digital-to-analog converters for telecommunication," IEEE Transactions on Circuits and Systems, vol. 46, no. 5, May 1999.

[2] R. Adams, K. Nguyen and K. Sweetland "A 113 dB SNR oversampling DAC with segmented noise-shaped scrambling," IEEE ISSCC Dig. Tech.pp. 62–63, Feb. 1998.

[3] A. Van den Bosch, A. F. Borremans, S. J. Steyaertand W. Sansen "A 10-bit 1-G sample/s nyquist current-steering CMOS D/A converter" IEEE J. Solid-State Circuits, vol. 36, no. 3, pp. 315–324, Mar. 2001.

[4] D. Mercer, "A 16-b D/A converter with increased spurious free dynamic range" IEEE J. Solid State Circuits, vol. 29, pp. 1180–1185, Oct. 1994.

[5]M.OrtmannsandF.Gefers"Continuous-TimeSigma-DeltaA/DConversion—Fundamentals, Performance Limits and Robust Implementations"Springer, 2005, pp. 100106-.

[6] M. Ortmanns, F. Gerfers, and Y. Manoli, "A continuous-time modulator with switched capacitor controlled current mode feedback"Proc. Eur. Solid-State Circuits Conf., 2003.

[7] A.V.Bosch, A. F. Borremansand W. Sansen "A 20-MHz Bandwidth Continuous-Time Sigma-Delta Modulator With Jitter Immunity Improved FullClock Period SCR (FSCR) DAC and High-Speed DWA," IEEE J. Solid-State Circuits, vol. 46, pp. 2469 - 2477, Nov. 2011.

[8] B. Zhang, "Delta-sigma modulators employing continuous-time circuits and mismatch-shaped DACs," Ph.D. thesis, Oregon State Univ., Cor-vallis, OR, 1996.

[9] S. Luschas, R. Schreier, and H. Seung Lee, "Radio frequency digital-to-analog converter," IEEE J. Solid-State Circuits , vol. 39, pp. 1462–1467, Sep. 2004.

Archive of SID

www.SID.ir

[10] N. Sun, "High order mismatch-shaping in multibit DAC," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 58, pp. 346350-, June 2011.
[11] J. Hyde, T. Humes, C. Diorio, M. Thomas, and M. Figueroa, "A 300-Ms/s 14-bit digital-to-analog converter in logic CMOS," IEEE J.Solid-State Circuits, vol. 38, no. 5, pp. 734–740, May 2003.
[12] A. Jerng and C. G. Sodini, "A wideband digital-RF modulator for high data rate transmitters," IEEE J. Solid-State Circuits, vol. 42, no. 8, pp. 1710–1722, Aug. 2007.
[13] S. Taleie, T. Copani,B. Bakkaloglu and S. Kiaei, "A Linear delta sigma Digital IF to RF DAC Transmitter With Embedded Mixer," IEEE J. Solid-State Circuits , vol. 42, no. 8, pp. 1710–1722, Aug. 2007.
[14] R. Schreier and G. C. Temes, "Understanding Delta-Sigma Data Converters" Piscataway, NJ: IEEE Press/Wiley, 2005.
[15] R. Schreier, ΔToolbox. [Online]. Available: http://www.math-works.com/matlabcentral/fileexchange/loadFile.do?objectId=19&objec Type=file.

Archive of SID

www.SID.ir