Archive of SID

طراحی جمع‌کننده‌های BCD تحمل‌پذیر اشکال در منطق برگشت‌پذیر

محبوبه میرشکار[1]، مجتبی ولی‌نتاج[2]، حمید جزایری[3]

۱کارشناسی ارشد کامپیوتر-معماری کامپیوتر، دانشگاه صنعتی نوشیروانی بابل

۲استادیار گروه کامپیوتر، دانشکده برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، m.valinataj@nit.ac.ir

۳استادیار گروه کامپیوتر، دانشکده برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل

تاریخ دریافت: ۹۳/۸/۱۲ تاریخ پذیرش: ۹۴/۶/۱۸

چکیده

در سال‌های اخیر مدارهای برگشت‌پذیر به خاطر کاربرد در محاسبات کوانتومی مورد توجه زیادی قرار گرفته‌اند. این مدارها به علت داشتن توان مصرفی بسیار ناچیز، علاوه بر کاربرد در محاسبات کوانتومی، می‌توانند در بهینه‌سازی توان مصرفی مدارهای CMOS توان پایین هم استفاده شوند. از طرف دیگر، با توجه به آسیب‌پذیری روزافزون مدارها در برابر عوامل محیطی، ویژگی تحمل‌پذیری اشکال یکی از نیازهای حیاتی مدارهای جدید محسوب می‌شود. در این مقاله، با توجه به این که جمع‌کننده‌ها جزء اساسی انواع پردازش و محاسبات محسوب می‌شوند، یک گیت جدید برای طراحی تمام‌جمع‌کننده تحمل‌پذیر اشکال که نگهدارنده پریتی است و سپس دو ساختار جدید برای جمع‌کننده‌های BCD در منطق برگشت‌پذیر، با قابلیت تحمل‌پذیری اشکال ارائه می‌شود. مقایسه ساختارهای پیشنهادی با گیت‌ها و جمع‌کننده‌های متناظر موجود نشان می‌دهد که این مدارها از لحاظ تعداد گیت‌های مصرفی، پیچیدگی محاسباتی، تأخیر و هزینه کوانتومی بهترین بوده یا در وضعی مطلوب قرار دارند.

کلیدواژه

منطق برگشت‌پذیر، محاسبات کوانتومی، تحمل‌پذیری اشکال ، تمام‌جمع‌کننده، جمع‌کننده BCD.

مقدمه

مبنای محاسبات در سیستم های کامپیوتری عادی، همگی برگشت‌ناپذیر[1] است. بنابراین، داده‌های حذف شده یا از بین رفته قابل بازگشت نیستند. لانداور در سال ۱۹۶۱ نشان داد که در محاسبات منطقی برگشت‌ناپذیر، برای هر بیت از اطلاعات که گم شود به اندازه $KT\times\ln 2$ ژول انرژی گرمایی آزاد می‌شود که در آن K ثابت بولتزمن و T دمای مطلقی است که محاسبات در آن انجام می‌شود [۱]. بانت در سال ۱۹۷۳ نشان داد در صورتی که از گیت‌های منطقی برگشت‌پذیر[2] استفاده شود، هیچ مصرف توانی وجود نداشته و انرژی تلف نمی‌شود [۲]. به یک گیت یا یک مدار، برگشت‌پذیر گویند اگر یک نگاشت یک به یک بین ورودی‌ها و خروجی‌های آن برقرار باشد. بنابراین، نه تنها خروجی می‌تواند از ورودی منحصر به فرد خود بازیابی شود، بلکه ورودی‌ها نیز می‌توانند از خروجی‌ها بازیابی شوند [۳]. اطلاعات زمانی از دست می‌رود که نتوان ورودی‌ها را از خروجی‌ها بازیابی کرد. در مدارهای برگشت‌پذیر با توجه به نگاشت واحد بین ورودی‌ها و خروجی‌ها، اطلاعاتی از دست نمی‌رود. با استفاده از محاسبات برگشت‌پذیر، طراحی مدارهای با اتلاف توان صفر ممکن می‌شود. مدارهای برگشت‌پذیر با مدارهای برگشت‌ناپذیر کلاسیک، تفاوتی بنیادی دارند. بنابراین، یکی از بهترین راهکارها برای بهینه‌سازی مصرف توان در CMOS های توان پایین، محاسبات کوانتومی و فناوری نانو، می‌تواند استفاده از منطق برگشت‌پذیر باشد. در واقع، دستیابی به محاسبات کوانتومی بدون استفاده از منطق برگشت‌پذیر امکان ندارد. با وجود قابلیت بازیابی بیت‌های گمشده ورودی در منطق برگشت‌پذیر، در صورت بروز خطای بیتی در خروجی، شناسایی آن امکان‌پذیر نیست. بنابراین می‌بایست این مدارها را به قابلیت تحمل‌پذیری اشکال مجهز کرد [۴]. در واقع، یک مدار برگشت‌پذیر بایستی قابلیت تحمل‌پذیری اشکال را داشته باشد تا از بروز خطای بیتی در خروجی مدار جلوگیری شود یا حداقل رخداد خطا در آن

۱ Irreversible

۲ Reversible logic gates

www.SID.ir

Archive of SID

قابل تشخیص باشد. با توجه به این که بازخورد[۳] و فن‌آوت در خروجی گیت‌های برگشت‌پذیر مجاز نیست، در نتیجه، سنتز مدارهای برگشت‌پذیر با مدارهای برگشت‌ناپذیر متفاوت بوده و همچنین، تحمل‌پذیری اشکال در این مدارها مشکل است.

تاکنون گیت‌ها و مدارهای برگشت‌پذیر متنوعی با قابلیت تحمل‌پذیری اشکال ارائه شده‌اند. اما در این مقاله، یک گیت برگشت‌پذیر کم‌هزینه با پنج ورودی و پنج خروجی (۵×۵) ارائه می‌شود که اگرچه در حالت کلی با اعمال ورودی‌های متغیر، نگهدارنده پریتی[۴] نیست، اما اگر به دو ورودی آخر آن، مقدار ثابت صفر اعمال شود، یک تمام‌جمع‌کننده[۵] (FA) با قابلیت تحمل‌پذیری اشکال ایجاد می‌شود که دارای کمترین تعداد ورودی ثابت[۶] و خروجی بی‌حاصل[۷] است (به ترتیب دو و سه). این تمام‌جمع‌کننده برگشت‌پذیر از نظر تأخیر و هزینه کوانتومی[۸]، عملکرد بهتری نسبت به بسیاری از طرح‌های مشابه قبلی دارد. در ادامه، جمع‌کننده‌های BCD[۹] با قابلیت تحمل‌پذیری اشکال ارائه می‌شوند که علاوه بر استفاده از گیت‌های کم‌هزینه، در آنها برای تشخیص سرریز و تصحیح نتیجه در عملیات جمع BCD از ساختاری جدید و به صورت ترکیبی استفاده شده است. با بررسی معیارهای طراحی شامل تعداد گیت‌های مورد استفاده، تعداد خروجی‌های بی‌حاصل، پیچیدگی محاسباتی، تأخیر و هزینه کوانتومی، نشان می‌دهیم که تمام‌جمع‌کننده جدید و جمع‌کننده‌های BCD پیشنهادی در بیشتر این معیارها از مدارهای قبلی مناسب‌تر بوده و خصوصاً در پیچیدگی محاسباتی و هزینه کوانتومی بهترین هستند.

ادامه این مقاله بدین صورت است: در بخش دوم، گیت‌های پایه در منطق برگشت‌پذیر معرفی می‌شوند. سپس، در بخش سوم کارهای گذشته در طراحی تمام‌جمع‌کننده‌ها و جمع‌کننده‌های BCD که دارای ویژگی تحمل‌پذیری اشکال هستند، ارائه می‌شود. بخش چهارم درباره طراحی گیت پیشنهادی و استفاده از آن به صورت یک تمام‌جمع‌کننده تحمل‌پذیر اشکال و مقایسه آن با مدارهای قبلی است. در بخش پنجم، دو جمع‌کننده BCD جدید با قابلیت تحمل‌پذیری اشکال و مقایسه و ارزیابی آنها با جمع‌کننده‌های BCD موجود ارائه می‌شود. در انتها در بخش ششم، نتیجه‌گیری مقاله ارائه می‌گردد.

مروری بر گیت‌های پایه در منطق برگشت‌پذیر

مفاهیم پایه

تعریف ۱: یک عنصر[۱۰] از مدارهای برگشت‌پذیر را گیت برگشت‌پذیر گویند اگر تعداد ورودی‌های آن با تعداد خروجی‌های آن برابر بوده و یک نگاشت یک به یک بین ورودی‌ها و خروجی‌های آن برقرار باشد.

اگر بردار ورودی، $I_v = \{I_1, I_2, \dots, I_n\}$ باشد و بردار خروجی، $O_v = \{O_1, O_2, \dots, O_n\}$ باشد، طبق تعریف ۱، در یک گیت برگشت‌پذیر رابطه (۱) برقرار است.

$$I_v \leftrightarrow O_v \qquad (۱)$$

وقتی یک گیت برگشت‌پذیر به صورت n×n معرفی می‌شود، این بدان معنی است که این گیت دارای n ورودی و n خروجی است.

مدار برگشت‌پذیر مداری است که تمام عناصر ساختاری آن، گیت‌های برگشت‌پذیر باشند. در مدارهای برگشت‌پذیر علاوه بر ویژگی‌های بالا موارد زیر نیز بایستی رعایت شود [۵]:

۱. فن‌آوت مجاز نیست.
۲. بازخورد از خروجی گیت به ورودی گیت مجاز نیست.

در مدارهای برگشت‌پذیر ممکن است برای دستیابی به توابع مورد نظر، اعمال ورودی‌هایی ثابت به گیت‌های آن مورد نیاز باشد. علاوه بر این، در این گیت‌ها برای برقراری نگاشت یک به یک، نیاز به خروجی‌هایی داریم که به عنوان خروجی‌های مفید و اصلی کاربرد ندارد. در واقع، این خروجی‌ها به عنوان ورودی‌های گیت بعدی استفاده نمی‌شوند و به آنها خروجی‌های بی‌حاصل می‌گویند. هزینه یک مدار برگشت‌پذیر، در واقع هزینه کوانتومی آن است. هزینه کوانتومی یک مدار برابر است با تعداد گیت‌های کوانتومی ۱×۱ یا ۲×۲ که در ساخت آن مورد استفاده قرار گرفته‌اند. هزینه گیت‌های کوانتومی ۱×۱ و ۲×۲ برابر واحد در نظر گرفته می‌شود.

برای طراحی مدارهای ترکیبی برگشت‌پذیر، می‌بایست به موارد زیر توجه نمود:

۱. استفاده از حداقل تعداد ورودی ثابت.
۲. تولید حداقل تعداد خروجی بی‌حاصل.
۳. استفاده از حداقل تعداد گیت پشت سرهم برای رسیدن به کمترین تأخیر مداری.
۴. کمترین بودن هزینه کوانتومی مدار.

گیت‌های پایه

تاکنون گیت‌های زیادی در منطق برگشت‌پذیر طراحی شده‌اند. اما تعدادی از آنها را می‌توان به عنوان گیت‌های پایه‌ای و پرکاربرد در نظر گرفت. این گیت‌ها را می‌توان به دو دسته ساده و نگهدارنده پریتی تقسیم نمود. با دادن ورودی‌های متفاوت به این گیت‌ها، انواع توابع منطقی را می‌توان تولید کرد. مهم‌ترین گیت‌های دسته

---

۳ Feedback
۴ Parity preserving
۵ Full Adder
۶ Ancilla inputs
۷ Garbage outputs
۸ Quantum cost
۹ Binary Coded Decimal
۱۰ Entity

www.SID.ir

Archive of SID

اول FG[11] [۶]، TG[12] [۷] و PG[13] [۸] هستند. ساختار کوانتومی، نمودار بلوکی و جدول درستی FG به ترتیب در شکل ۱ و جدول ۱ نشان داده شده است. این گیت یک گیت ۲×۲ است حاوی یک ورودی کنترلی (A) و یک ورودی معمولی(B). اگر A یک باشد، مکمل B به خروجی رفته و اگر A صفر باشد، مقدار B به خروجی می‌رود. در واقع این گیت، عملکردی همانند گیت XOR دارد. از این گیت می‌توان برای تولید فن‌آوت در خروجی استفاده کرد. فن‌آوت در مدارهای برگشت‌پذیر مجاز نیست؛ زیرا هر فن‌آوت، یک ورودی و دو خروجی دارد. اما با صفر قرار دادن ورودی B در FG، مقدار ورودی A دو بار در خروجی تولید می‌شود که همان عملکرد فن‌آوت است.

(ب) (الف)

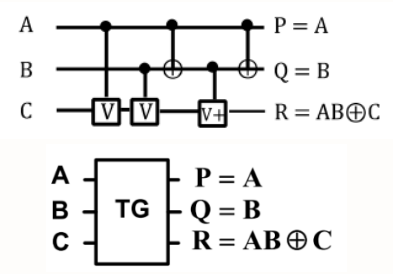
شکل۱. (الف) ساختار کوانتومی و (ب) نمودار بلوکی FG [۶]

جدول۱. جدول درستی FG

خروجی‌ها		ورودی‌ها	
A⊕B	A	B	A
۰	۰	۰	۰
۱	۰	۱	۰
۱	۱	۰	۱
۰	۱	۱	۱

ساختار کوانتومی و نمودار بلوکی TG به عنوان یک گیت ۳×۳ در شکل ۲ مشاهده می‌شود. همانند FG می‌توان جدول درستی TG و بقیه گیت‌ها را بدست آورد. طبق عملکرد تعریف شده، این گیت، K ورودی از K+1 ورودی اول را به خروجی منتقل می‌کند. اگر همه K ورودی، برابر یک باشند، مکمل ورودی آخر به خروجی آخر منتقل می‌شود، در غیر این صورت، ورودی آخر در خروجی آخر تکرار می‌شود. در شکل ۲ منظور از V و V^+ گیت‌های کوانتومی ۲×۲ ای است که ریشه دوم گیت NOT هستند، بدین نحو که $V \times V = V^+ \times V^+ = NOT$ و $V \times V^+ = V^+ \times V = I$ که همان تابع همانی است.

(الف)

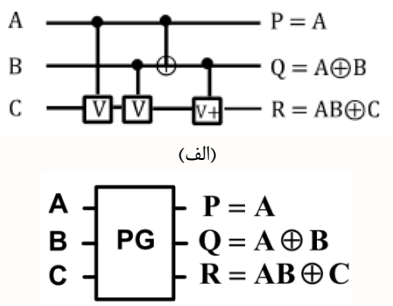


(ب)

شکل۲. (الف) ساختار کوانتومی و (ب) نمودار بلوکی TG [۷]

ساختار کوانتومی و نمودار بلوکی PG در شکل ۳ نشان داده شده است. عملکرد PG در واقع ترکیب عملکردهای FG و TG است که باعث کاهش هزینه کوانتومی آن نیز شده است. هزینه کوانتومی گیت‌های FG، TG و PG با توجه به شکل‌های ۱ تا ۳ به ترتیب برابر است با یک، پنج و چهار.

(الف)



(ب)

شکل۳. (الف) ساختار کوانتومی و (ب) نمودار بلوکی PG [۸]

مهم‌ترین گیت‌های دسته دوم که نگهدارنده پریتی هستند، FRG[14] [۹]، F2G یا DFG[15] [۱۰]، NFT [۱۱] و MIG[16] [۱۲] می‌باشند. برای جلوگیری از رخداد خطای بیتی در خروجی یا تشخیص آن، مدارهای برگشت‌پذیر بایستی با قابلیت تحمل‌پذیری اشکال طراحی شوند. در منطق برگشت‌پذیر، استفاده از روش‌های استاندارد موجود برای تشخیص خطا مشکلاتی از قبیل نیاز به فن‌آوت و افزایش تعداد خروجی بی‌حاصل را به همراه دارد. اما بررسی پریتی که از قدیمی‌ترین روش‌ها برای شناسایی خطا در سیستم‌های دیجیتال است، می‌تواند بهترین راهکار برای تشخیص خطا در مدارهای برگشت‌پذیر باشد. اگر محاسبات به گونه‌ای انجام شود که پریتی داده‌های ورودی در طول محاسبات حفظ شود، دیگر نیازی به چک کردن پریتی در میانه محاسبات نیست [۱۳].

تعریف۲: یک گیت دارای قابلیت تحمل‌پذیری اشکال است اگر وزن همینگ ورودی و خروجی آن گیت با هم برابر باشد؛ یعنی با

۱۱Feynman Gate
۱۲ Toffoli Gate
۱۳ Peres Gate

۱۴ Fredkin Gate
۱۵ Double Feynman Gate
۱۶ Modified Islam Gate

www.SID.ir

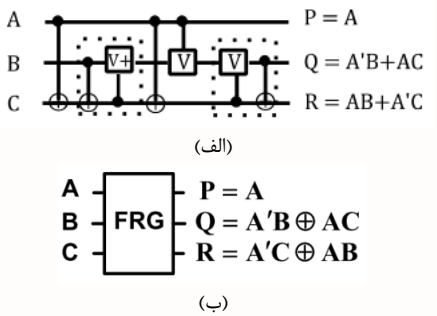
Archive of SID

داشتن بردارهای ورودی $I_v = \{I_1, I_2, \dots, I_n\}$ و خروجی $O_v = \{O_1, O_2, \dots, O_n\}$، رابطه زیر برقرار باشد:

$$I_1 \oplus I_2 \oplus \dots \oplus I_{n-1} \oplus I_n = O_1 \oplus O_2 \oplus \dots \oplus O_{n-1} \oplus O_n \quad (۲)$$

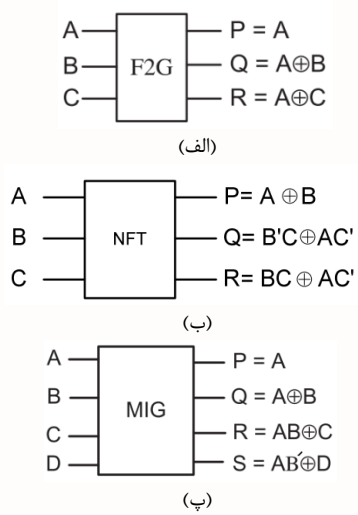
در صورتی که رابطه بالا برای گیتی برقرار باشد، می‌گوییم این گیت نگهدارنده پریتی است.

ساختار کوانتومی و نمودار بلوکی FRG به عنوان یک گیت ۳×۳ و با هزینه کوانتومی پنج، در شکل ۴ نشان داده شده است. منظور از نواحی خط‌چین، گیت‌های کوانتومی ۲×۲ و با هزینه کوانتومی برابر با یک است. با توجه به منطق خروجی‌های Q و R که مقادیر آنها توسط ورودی A کنترل می‌شود، عمل‌گرهای OR و XOR نشان داده شده در شکل ۴ عملکرد یکسانی خواهند داشت. مطابق شکل زیر، اگر ورودی A برابر با صفر باشد، ورودی‌های B و C به خروجی‌های مقابل خود منتقل می‌شوند. اما اگر ورودی A برابر با یک باشد، آن‌گاه با تغییر مکان به خروجی منتقل می‌شوند.



شکل۴. (الف) ساختارکوانتومی و (ب) نمودار بلوکی FRG [۹]

نمودار بلوکی گیت‌های F2G، NFT و MIG در شکل ۵ مشاهده می‌شود. هزینه کوانتومی این گیت‌ها به ترتیب برابر است با دو، پنج و هفت.



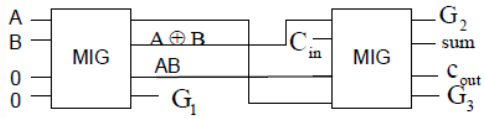
شکل۵. نمودار بلوکی (الف) F2G، (ب) NFT و (پ) MIG

تحقیقات مرتبط

تمام‌جمع‌کننده‌های برگشت‌پذیر تحمل‌پذیر اشکال

با توجه به اهمیت ویژگی تحمل‌پذیری اشکال در انواع محاسبات، طراحی تمام‌جمع‌کننده‌های برگشت‌پذیر تحمل‌پذیر اشکال به عنوان جزء اساسی بسیاری از جمع‌کننده‌ها و ضرب‌کننده‌ها مورد توجه قرار گرفته است. در [۱۴] نشان داده شده است که یک مدار تمام‌جمع‌کننده برگشت‌پذیر می‌تواند با حداقل دو خروجی بی‌حاصل و یک ورودی ثابت طراحی شود. اما برای ساختن تمام‌جمع‌کننده برگشت‌پذیر تحمل‌پذیر اشکال، با توجه به لزوم برابری پریتی ورودی‌ها با پریتی خروجی‌ها به حداقل سه خروجی بی‌حاصل و دو ورودی ثابت نیاز است [۱۵،۱۶]. دو طرح از طرح‌های اولیه برای مدار تمام‌جمع‌کننده در [۱۰] ارائه شده است. طرح اول با استفاده از یک گیت از نوع FG و پنج گیت از نوع FRG و با هزینه کوانتومی ۲۶ ساخته شده است که پس از اعمال تغییری در آن برای رسیدن به نوع تحمل‌پذیر اشکال، هزینه کوانتومی آن به ۲۷ افزایش یافته است که هزینه بالایی است. در طرح دوم تمام‌جمع‌کننده، تنها دو گیت از نوع PG استفاده شده است که در نتیجه به هزینه کوانتومی هشت رسیده است. اما این مدار به علت عدم یکسان بودن پریتی ورودی‌ها و خروجی‌های آن قابلیت تحمل‌پذیری اشکال ندارد.

در [۱۷] با استفاده از گیتی جدید که نگهدارنده پریتی است و عمل TG را انجام می‌دهد، یک تمام‌جمع‌کننده با قابلیت تحمل‌پذیری اشکال ارائه شده است که دارای هزینه کوانتومی برابر با ۱۸ بوده و از شش گیت تشکیل شده است. این تمام‌جمع‌کننده پنج ورودی ثابت داشته و شش خروجی بی‌حاصل تولید می‌کند. در [۱۲] با معرفی گیتی جدید به نام MIG، تمام‌جمع‌کننده‌ای با قابلیت تحمل‌پذیری اشکال و هزینه کوانتومی برابر با ۱۴ طراحی شده است که از دو گیت از نوع MIG استفاده می‌کند. ساختار این تمام‌جمع‌کننده در شکل ۶ نشان داده شده است.



شکل۶. ساختار تمام‌جمع‌کننده ارائه شده در [۱۲]

در [۱۸] گیتی ارائه شده است که با اعمال ورودی‌های مناسب به تنهایی می‌تواند به عنوان یک تمام‌جمع‌کننده برگشت‌پذیر با قابلیت تحمل‌پذیری اشکال عمل کند. این گیت که در شکل ۷ نشان داده شده است، دارای هزینه کوانتومی برابر با ۱۴ است. در [۱۹] ساختاری حاوی چهار گیت برای تمام‌جمع‌کننده با قابلیت

www.SID.ir

Archive of SID
محبوبه میرشکار

تحمل‌پذیری اشکال ارائه شده است که دارای هزینه کوانتومی برابر با ۱۱ است.

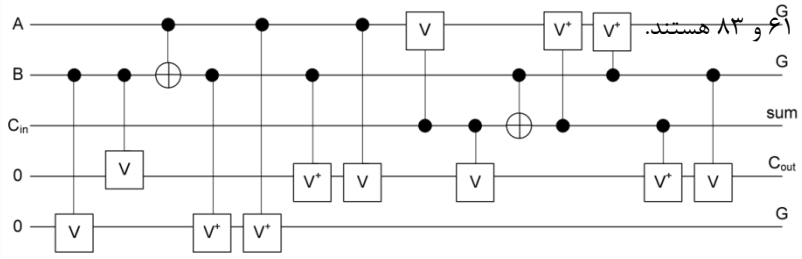
جمع‌کننده‌های BCD برگشت‌پذیر با قابلیت تحمل‌پذیری اشکال

در [۱۶] یک جمع‌کننده BCD یک رقمی برگشت‌پذیر با قابلیت تحمل‌پذیری اشکال ارائه شده است که با استفاده از ۱۵ گیت و تولید ۳۶ خروجی بی‌حاصل به هزینه کوانتومی برابر با ۱۴۸ رسیده است. در [۲۰] طرحی دیگر برای جمع‌کننده BCD یک رقمی با قابلیت تحمل‌پذیری اشکال ارائه شده است که با استفاده از ۱۳ گیت و تولید ۲۹ خروجی بی‌حاصل، هزینه کوانتومی را به ۱۳۱ کاهش داده است. در طراحی این جمع‌کننده BCD، از تمام‌جمع‌کننده نشان داده شده در شکل ۷ استفاده شده است. در [۲۱] جمع‌کننده‌ای دیگر از این نوع ارائه شده است که با رساندن هزینه کوانتومی و تعداد خروجی بی‌حاصل به ترتیب به ۸۴ و ۱۴، بهبود قابل توجهی حاصل نموده است. در [۲۲] سه گیت جدید که یکی از آنها مختص طراحی جمع‌کننده BCD است، معرفی شده است. با استفاده از این سه گیت جدید و گیت‌های پایه قبلی، دو جمع‌کننده BCD

لم ۱: یک تمام‌جمع‌کننده برگشت‌پذیر با قابلیت تحمل‌پذیری اشکال را می‌توان تنها با استفاده از یک گیت برگشت‌پذیر ساخت.

اثبات: گیت جدیدی که در این مقاله ارائه شده است، با توجه به شکل ۱۰ و دادن دو ورودی D = 0 و E = 0، عمل جمع را روی سه ورودی دیگر (A، B و C) انجام می‌دهد، به نحوی که Sum= $A \oplus B \oplus C$ حاصل‌جمع و $C_{out} = (A \oplus B)C \oplus AB$ رقم نقلی خروجی است. با توجه به جدول درستی این گیت که در جدول ۲ نشان داده شده است، علاوه بر وجود تناظر یک به یک میان ورودی‌ها و خروجی‌ها که برای برگشت‌پذیری لازم است، این جدول گویای این است که پریتی بردارهای ورودی با پریتی بردارهای خروجی برابر است و در نتیجه نگهدارنده پریتی است. بنابراین، این گیت می‌تواند به عنوان یک تمام‌جمع‌کننده برگشت‌پذیر با قابلیت تحمل‌پذیری اشکال استفاده شود.

یک رقمی که در یکی از آنها از RCA[۱۷] استفاده شده است و دیگری بر پایه CSKA[۱۸] است، طراحی شده است که به ترتیب دارای هزینه کوانتومی ۶۱ و ۸۳ هستند.

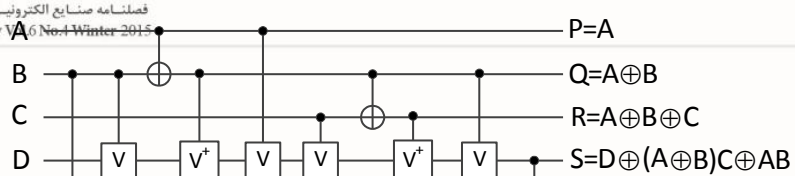


شکل۷. ساختار کوانتومی تمام‌جمع‌کننده تحمل‌پذیر اشکال ارائه شده در [۱۸]

تمام‌جمع‌کننده پیشنهادی با قابلیت تحمل‌پذیری اشکال

معرفی

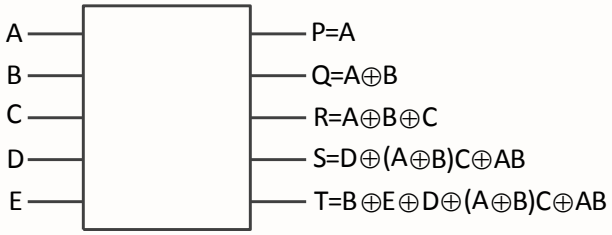
ساختار کوانتومی و نمودار بلوکی گیت جدید ۵×۵ پیشنهادی به ترتیب در شکل‌های ۸ و ۹ مشاهده می‌شود. با توجه به شکل ۸ که در آن از ۱۰ عدد گیت ۲×۲ استفاده شده، هزینه کوانتومی این گیت برابر با ۱۰ است. این گیت با توجه به ورودی‌های متغیر آن و نحوه محاسبه خروجی‌ها، قابلیت نگهداری پریتی را ندارد. اما اگر به دو ورودی D و E آن مقدار ثابت صفر داده شود، آن‌گاه به عنوان یک تمام‌جمع‌کننده برگشت‌پذیر با قابلیت تحمل‌پذیری اشکال عمل می‌کند. نمودار بلوکی این گیت زمانی که با اعمال ورودی‌های مناسب به صورت یک تمام‌جمع‌کننده عمل می‌کند، در شکل ۱۰ نشان داده شده است. با توجه به این شکل، خروجی‌های بی‌حاصل، P، Q و T و بنابراین تعداد آنها برابر با سه است که کمترین تعداد ممکن می‌باشد. خروجی‌های اصلی نیز بیت‌های جمع (Sum که همان خروجی S است) و رقم نقلی خروجی (Cout که همان خروجی R است) هستند.



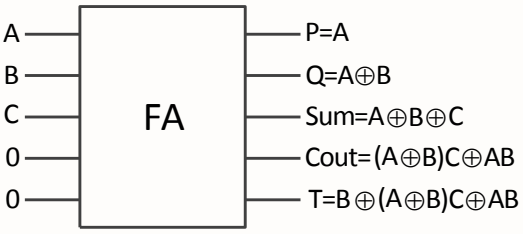
۱۷ Ripple Carry Adder
۱۸ Carry Skip Adder

www.SID.ir

Archive of SID



شکل۹. نمودار بلوکی گیت پیشنهادی



شکل۱۰. نمودار بلوکی تمام‌جمع‌کننده پیشنهادی

جدول۲. جدول درستی تمام‌جمع‌کننده پیشنهادی

A	B	C	D	E	P	Q	Sum	Cout	T
۰	۰	۰	۰	۰	۰	۰	۰	۰	۰
۰	۰	۱	۰	۰	۰	۰	۱	۰	۰
۰	۱	۰	۰	۰	۰	۱	۱	۰	۱
۰	۱	۱	۰	۰	۰	۱	۰	۱	۰
۱	۰	۰	۰	۰	۱	۱	۱	۰	۰
۱	۰	۱	۰	۰	۱	۱	۰	۱	۱
۱	۱	۰	۰	۰	۱	۰	۰	۱	۰
۱	۱	۱	۰	۰	۱	۰	۱	۱	۰

www.SID.ir

Archive of SID

ارزیابی و مقایسه

از مزیت‌های گیت پیشنهادی این است که به تنهایی می‌تواند برای عملکرد یک تمام‌جمع‌کننده برگشت‌پذیر با قابلیت تحمل‌پذیری اشکال به‌کار رود که به معنای استفاده از تنها یک گیت و تأخیری برابر یا یک واحد زمانی است. در مقایسه مدارهای مختلف، پارامتر تأخیر را برابر با حداکثر تعداد گیت‌هایی در نظر می‌گیریم که در حداقل یک مسیر از ورودی‌ها به خروجی‌ها وجود دارند [۲۲]. مقایسه میان تمام‌جمع‌کننده پیشنهادی با مدارهای مشابه قبلی در جدول ۳ ارائه شده است. در [۲۳] تمام‌جمع‌کننده‌ای با استفاده از چهار گیت از نوع FRG ارائه شده است که در نتیجه هزینه کوانتومی آن برابر با ۲۰ شده است. اما تأخیر آن به علت قرار گرفتن حداکثر سه گیت میان ورودی‌ها و خروجی‌های مفید برابر با سه واحد زمانی است. تمام‌جمع‌کننده ارائه شده در [۱۷] به علت استفاده از چهار گیت از نوع F2G و دو گیت از نوع FRG دارای هزینه کوانتومی برابر با ۱۸ بوده اما مسیر حاوی بیشترین گیت از ورودی‌ها به خروجی‌های مفید آن از چهار گیت تشکیل شده است. بنابراین، تأخیر آن برابر با چهار واحد زمانی است. این مدار دارای پنج ورودی ثابت است و شش خروجی بی‌حاصل تولید می‌کند. تعداد خروجی‌های بی‌حاصل تمام‌جمع‌کننده‌های ارائه شده در [۱۲] و [۱۸] به ترتیب در شکل‌های ۶ و ۷ قابل مشاهده است. با توجه به این که در ساختار ارائه شده در [۱۹] از سه گیت از نوع F2G و یک گیت از نوع NFT به صورت سری استفاده شده است، تأخیر آن برابر با چهار واحد زمانی و هزینه کوانتومی آن برابر با ۱۱ شده است. همچنین، تعداد خروجی‌های بی‌حاصل این تمام‌جمع‌کننده برابر با سه است.

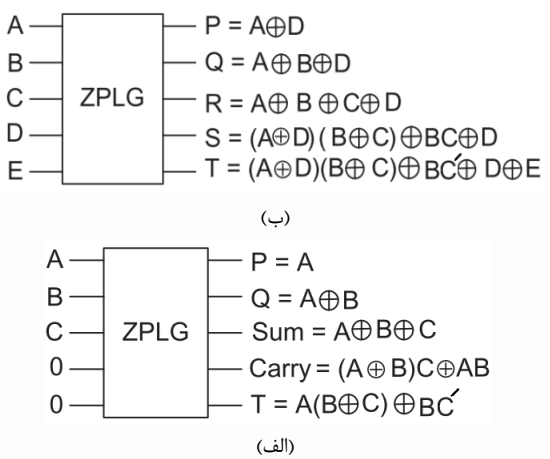
با توجه به جدول ۳، برتری تمام‌جمع‌کننده پیشنهادی نسبت به تمام‌جمع‌کننده‌های ارائه شده در [۲۳، ۱۹-۱۷، ۱۲] مشهود است. اما تمام‌جمع‌کننده‌ای که در [۲۲] ارائه شده دارای کمترین هزینه کوانتومی در میان همه تمام‌جمع‌کننده‌های طراحی شده تاکنون است. با این حال، تمام‌جمع‌کننده پیشنهادی در این مقاله در سه معیار دیگر همانند تمام‌جمع‌کننده ارائه شده در [۲۲] عمل می‌کند. تمام‌جمع‌کننده ارائه شده در [۲۲]، همانند تمام‌جمع‌کننده پیشنهادی در این مقاله با صفر قرار دادن دو ورودی D و E اما در گیتی دیگر به نام ZPLG [۲۲] بدست آمده است. نمودار بلوکی این گیت و نحوه استفاده از آن به صورت تمام‌جمع‌کننده تحمل‌پذیر اشکال در شکل ۱۱ مشاهده می‌شود. با مقایسه تمام‌جمع‌کننده پیشنهادی طبق شکل‌های ۸ و ۹ با تمام‌جمع‌کننده ارائه شده در [۲۲] (شکل ۱۱) درمی‌یابیم که پیچیدگی محاسباتی (تعداد عملیات XOR، AND و NOT) تمام‌جمع‌کننده پیشنهادی در این مقاله نسبت به [۲۲] کمتر است. اگر تعداد عملیات XOR، AND و NOT را به ترتیب با α، β و γ نشان دهیم، پیچیدگی محاسباتی گیت پیشنهادی (با توجه به اشتراک عملیات میان خروجی‌ها) برابر با $6\alpha+2\beta$ اما پیچیدگی محاسباتی ZPLG برابر با $9\alpha+3\beta+1\gamma$ خواهد شد. پیچیدگی محاسباتی بقیه تمام‌جمع‌کننده‌ها نیز مطابق جدول ۳ بیشتر از تمام‌جمع‌کننده پیشنهادی در این مقاله است. این بدان معنی است که برای پیاده‌سازی مدارهای CMOS توان پایین که یکی از کاربردهای مهم مدارهای برگشت‌پذیر است، تمام‌جمع‌کننده پیشنهادی نسبت به تمام‌جمع‌کننده‌های قبلی به هزینه کمتری نیاز دارد. بنابراین، استفاده از تمام‌جمع‌کننده پیشنهادی در این مقاله برای ساختن انواع جمع‌کننده‌های برگشت‌پذیر تحمل‌پذیر اشکال، خصوصاً در مدارهای CMOS توان پایین به‌صرفه است.

جدول۳. ارزیابی تمام‌جمع‌کننده پیشنهادی در مقایسه با تمام‌جمع‌کننده‌های موجود

پیچیدگی محاسباتی	هزینه کوانتومی	تأخیر	تعداد خروجی‌های بی‌حاصل	تعداد گیت‌های مورد استفاده	تمام‌جمع‌کننده تحمل‌پذیر اشکال
$\gamma4\beta+16\alpha+8$	۲۰	۳	۴	۴	[۲۳]
$\gamma2\beta+8\alpha+12$	۱۸	۴	۶	۶	[۱۷]
$\gamma2\beta+4\alpha+6$	۱۴	۲	۳	۲	[۱۲]
$\gamma2\beta+7\alpha+9$	۱۴	۱	۳	۱	[۱۸]
$\gamma2\beta+3\alpha+9$	۱۱	۴	۳	۴	[۱۹]
$\gamma1\beta+3\alpha+9$	۸	۱	۳	۱	[۲۲]
$\beta2\alpha+6$	۱۰	۱	۳	۱	مدار پیشنهادی

www.SID.ir

Archive of SID



شکل ۱۱. (الف) نمودار بلوکی ZPLG و (ب) نحوه عملکرد به صورت یک تمام‌جمع‌کننده [۲۲]

جمع‌کننده‌های BCD پیشنهادی با قابلیت تحمل‌پذیری اشکال

معرفی

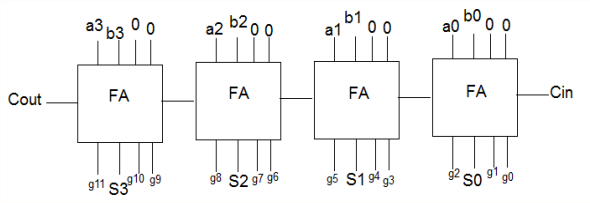
ساختار کلی یک جمع‌کننده BCD یک رقمی را می‌توان به سه بخش تقسیم کرد. بخش اول، یک جمع‌کننده مانند RCA به اندازه چهار بیت است که حاصل‌جمع اولیه را تولید می‌کند. بخش دوم، واحد تشخیص دهنده سرریز است که تشخیص می‌دهد آیا حاصل‌جمع تولیدی در محدوده مجاز ارقام BCD قرار دارد یا خیر. به بیان دیگر، آیا نیاز به تصحیح نتیجه وجود دارد یا خیر. بخش سوم که تصحیح کننده نام دارد به جمع‌کننده‌ای دیگر مانند RCA به اندازه چهار بیت نیاز دارد تا حاصل‌جمع اولیه را با عدد شش جمع نماید.

برای طراحی یک جمع‌کننده BCD برگشت‌پذیر با قابلیت تحمل پذیری اشکال، در بخش اول به یک جمع‌کننده چهاربیتی که در ساده‌ترین حالت جمع‌کننده‌ای از نوع RCA است، احتیاج است. جمع‌کننده چهار بیتی از نوع RCA را می‌توان از کنار هم قرار دادن چهار عدد تمام‌جمع‌کننده پیشنهادی مطابق شکل ۱۲ ساخت. در این مقاله، برای بخش‌های تشخیص دهنده سرریز و تصحیح کننده نتیجه، با استفاده از چینش خاص گیت‌های از نوع F2G، FRG و MIG، ساختاری جدید ارائه می‌نماییم که این دو عمل را به صورت ترکیب شده با یکدیگر انجام می‌دهد و در آن دیگر نیازی به RCA دوم وجود ندارد.

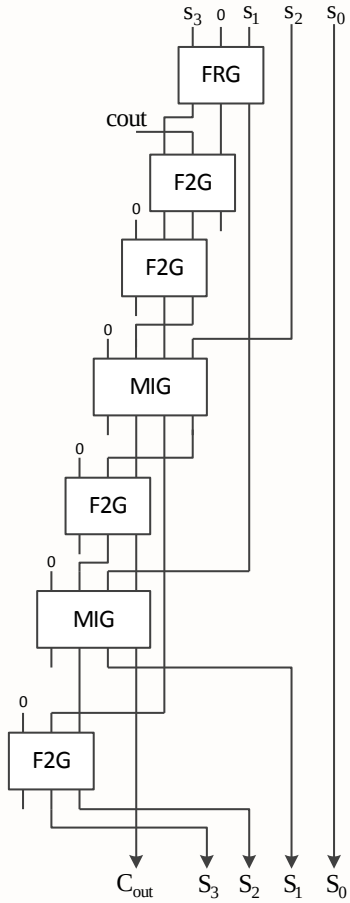
بنابراین مداری با تعداد گیت، تعداد خروجی بی‌حاصل یا هزینه کوانتومی کمتر نسبت به مدارهای موجود بدست می‌آید. این ساختار در شکل ۱۳ و اولین جمع‌کننده BCD پیشنهادی که از ترکیب مدارهای شکل‌های ۱۲ و ۱۳ تشکیل شده است، در شکل ۱۴ مشاهده می‌شود.

هزینه کوانتومی مدار پیشنهادی اول را می‌توان با استفاده از دو گیت معرفی شده در [۲۲] بهبود داد، اگرچه پیچیدگی محاسباتی آن بالاتر می‌رود. گیت اول همان ZPLG است که قبلاً معرفی گردید و از آن می‌توان به جای تمام‌جمع‌کننده پیشنهادی استفاده کرد.

اما گیت دوم ZCG نام دارد که نمودار بلوکی آن در شکل ۱۵ مشاهده می‌شود. با استفاده از چینشی جدید و متفاوت با مدار ارائه شده در شکل ۱۳، مدار دوم برای بخش تشخیص و تصحیح نتیجه برای استفاده در جمع‌کننده پیشنهادی دوم بدست می‌آید.



شکل ۱۲. نمودار بلوکی RCA چهار بیتی با استفاده از تمام‌جمع‌کننده پیشنهادی



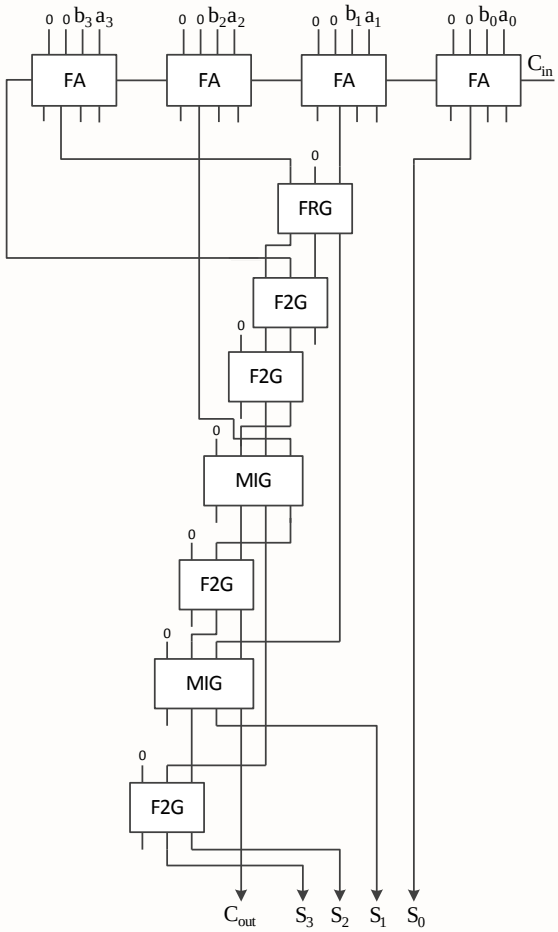
شکل ۱۳. مدار پیشنهادی برای تشخیص سرریز و تصحیح نتیجه در جمع‌کننده BCD تحمل‌پذیر اشکال

بدین ترتیب مدار پیشنهادی دوم برای جمع‌کننده BCD به گونه‌ای است که هزینه کوانتومی آن نه تنها از مدار پیشنهادی اول کمتر است، بلکه نسبت به جمع‌کننده BCD که در [۲۲] ارائه شده

www.SID.ir

Archive of SID
محبوبه میرشکار

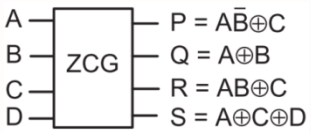
است نیز هزینه کوانتومی کمتری دارد. ساختار مربوط به مدار پیشنهادی دوم برای جمع‌کننده BCD تحمل‌پذیر اشکال در شکل ۱۶ نشان داده شده است. علاوه بر این، این جمع‌کننده حاوی طرح دوم برای بخش‌های توأمان تشخیص دهنده سرریز و تصحیح کننده نتیجه است که اگرچه نسبت به طرح اولیه پیشنهادی در شکل ۱۳، گیت بیشتری دارد، اما هزینه کوانتومی آن تفاوتی ندارد.



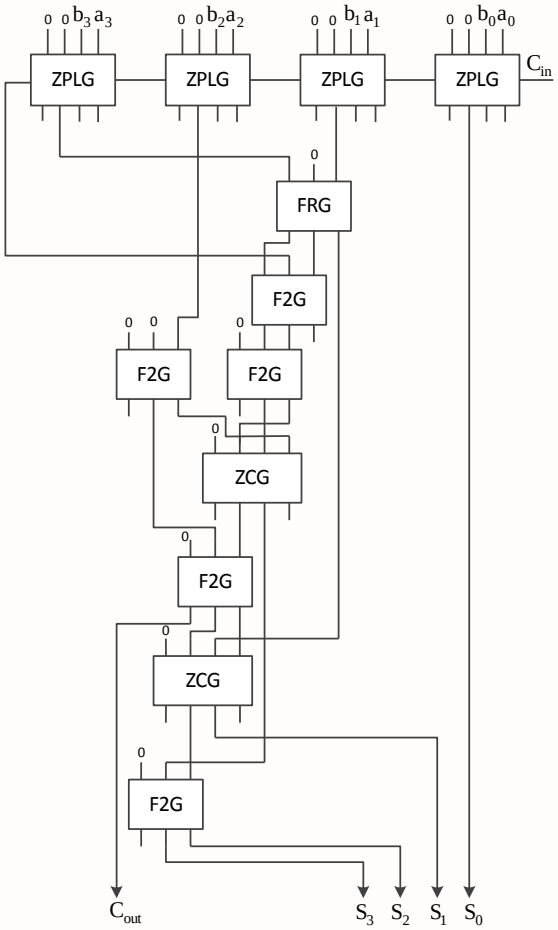
شکل۱۴. مدار پیشنهادی اول برای جمع‌کننده BCD برگشت‌پذیر با قابلیت تحمل پذیری اشکال

ارزیابی و مقایسه

مقایسه را ابتدا میان مدارهایی انجام می‌دهیم که برای بخش‌های تشخیص دهنده سرریز و تصحیح کننده نتیجه جمع BCD طراحی شده‌اند. از میان طرح‌های موجود، تنها مدارهای پیشنهادی در [۲۱]، [۲۲] و این مقاله دو بخش نامبرده را به صورت ترکیبی انجام می‌دهند. طراحی ترکیبی و توأمان باعث شده است که این مدارها نسبت به طرح‌های قبلی دارای ویژگی‌های مناسب‌تری باشند. در جدول ۴، پارامترهای محاسبه شده برای مقایسه مدارهای پیشنهادی در این مقاله با مدارهای مشابه قبلی ارائه شده است.



شکل۱۵. نمودار بلوکی ZCG [۲۲]



شکل۱۶. مدار پیشنهادی دوم برای جمع‌کننده BCD برگشت‌پذیر با قابلیت تحمل پذیری اشکال شامل مداری متفاوت برای تشخیص سرریز و تصحیح نتیجه

مدار ارائه شده در [۲۴] طرحی است که با توجه به زمان انتشار آن، نسبت به بعضی از طرح‌های قبل از خود و در بعضی از پارامترها بهبودی حاصل نموده است. در واقع، در [۲۴] یک جمع‌کننده BCD یک رقمی با استفاده از ۱۵ گیت از نوع F2G و ۱۳ گیت جدید از نوع TG اصلاح شده که دارای هزینه کوانتومی برابر با هفت و خاصیت نگهداری پریتی است، ارائه شده است. با توجه به این که هزینه کوانتومی این جمع‌کننده برابر با ۱۱۹ شده است، نسبت به بعضی از طرح‌های قبل از خود بهبودی حاصل کرده است. در جدول ۴، منظور از مدار پیشنهادی اول، طرحی است که در شکل ۱۳ ارائه شده است. اما منظور از مدار پیشنهادی دوم، بخش پایینی شکل ۱۶ است. تعداد خروجی‌های بی‌حاصل دو مدار پیشنهادی با توجه به شکل ۱۳ و بخش معادل آن در شکل

www.SID.ir

Archive of SID

۱۶، به ترتیب برابر با شش و هشت است. علاوه بر این، هزینه کوانتومی این دو مدار برابر با ۲۷ بوده و نسبت به تمام طرح‌های قبلی هزینه کوانتومی کمتری دارند. محاسبه هزینه کوانتومی این نوع مدارها به سادگی قابل انجام است. به عنوان مثال، با توجه به شکل ۱۳ که حاوی چهار گیت از نوع F2G، یک گیت از نوع FRG و دو گیت از نوع MIG است و این که هزینه کوانتومی این گیت‌ها به ترتیب برابر با دو، پنج و هفت می‌باشد، هزینه مدار پیشنهادی اول برابر با ۴×۲+۱×۵+۲×۷=۲۷ می‌شود.

مقایسه میان جمع‌کننده‌های BCD پیشنهادی با جمع‌کننده‌های BCD مشابه دارای قابلیت تحمل‌پذیری اشکال که تاکنون طراحی شده‌اند، در جدول ۵ ارائه شده است. برای انجام مقایسه به نحوی مناسب، مقایسه با طرح‌هایی انجام شده است که از RCA به عنوان جمع‌کننده‌ای درونی و ساده بهره برده‌اند. پیچیدگی محاسباتی جمع‌کننده‌های قبلی و دو جمع‌کننده پیشنهادی با توجه به پیچیدگی محاسباتی گیت‌های تشکیل دهنده آنها بدست آمده است. در این جدول، منظور از جمع‌کننده پیشنهادی اول طرح ارائه شده در شکل ۱۴ و منظور از جمع‌کننده پیشنهادی دوم طرح ارائه شده در شکل ۱۶ است. با توجه به نوع گیت‌های استفاده شده در طرح‌های مختلف و چینش آنها، محاسبه هزینه کوانتومی و دیگر پارامترهای جمع‌کننده‌های BCD قابل انجام است. به عنوان مثال، در ساخت جمع‌کننده پیشنهادی اول که در شکل ۱۴ نشان داده شده است، از چهار تمام‌جمع‌کننده پیشنهادی در این مقاله (شکل ۱۰) به همراه دو گیت از نوع MIG، یک گیت از نوع FRG و چهار گیت از نوع F2G استفاده شده است. بنابراین، تعداد گیت‌های مورد نیاز برای ساخت این مدار برابر است با ۱۱ و با توجه به این که هزینه کوانتومی این گیت‌ها به ترتیب برابر با ده، هفت، پنج و دو می‌باشد، هزینه کوانتومی این مدار برابر با ۴×۱۰+۲×۷+۱×۵+۴×۲=۶۷ می‌شود. علاوه بر این، با توجه به شکل ۱۴، تعداد کل خروجی‌های بی‌حاصل جمع‌کننده پیشنهادی اول برابر با ۱۸ است. همچنین، با توجه به این که تمام گیت‌های مورد استفاده، در مسیر حاوی بیشترین تأخیر وجود دارند، تأخیر این جمع‌کننده برابر با ۱۱ می‌شود که از تأخیر جمع‌کننده‌های ارائه شده در [۱۶] و [۲۲] بیشتر است. در مورد جمع‌کننده پیشنهادی دوم که حاوی ۱۲ گیت است، با توجه به این که در آن از گیت‌های با هزینه کوانتومی کمتر استفاده شده است، هزینه کوانتومی آن به ۵۹ کاهش یافته است. بدین ترتیب، با توجه به جدول ۵ می‌توان این گونه نتیجه گرفت که جمع‌کننده پیشنهادی اول دارای کمترین پیچیدگی محاسباتی است. بنابراین، برای پیاده‌سازی در مدارهای CMOS توان پایین به‌صرفه‌تر است. اما جمع‌کننده پیشنهادی دوم در هزینه کوانتومی بهترین طرح موجود است. علاوه بر این، اگر هدف مداری با کمترین تأخیر باشد، جمع‌کننده ارائه شده در [۲۲] مدار مناسب‌تری است.

لازم به ذکر است که تأیید صحت عملکرد مدارهای کوانتومی پیشنهادی از نظر عملیات منطقی مورد نظر، به سادگی به کمک زبان‌های توصیف سخت‌افزار مانند Verilog قابل انجام است و شبیه‌سازی‌های لازم برای تمام‌جمع‌کننده و جمع‌کننده‌های BCD پیشنهادی توسط Verilog و با نرم‌افزار Modelsim انجام شده است.

جدول۴. مقایسه مدارهای پیشنهادی برای تشخیص سرریز و تصحیح نتیجه با مدارهای مشابه قبلی دارای قابلیت تحمل‌پذیری اشکال

طرح	تعداد گیت‌های مورد استفاده	تعداد خروجی‌های بی‌حاصل	تأخیر	هزینه کوانتومی	پیچیدگی محاسباتی
مدار ۱، [۱۶]	۱۱	۱۹	۶	۹۲	γ۱۴β+۴۸α+۵۰
مدار ۲، [۲۰]	۹	۱۷	۸	۷۵	γ۱۴β+۳۷α+۴۹
مدار ۳، [۲۴]	۱۳	۱۸	۱۱	۴۹	β۱۰α+۲۴
مدار ۴، [۲۱]	۸	۲	۸	۲۸	γ۲β+۱۰α+۱۴
مدار ۵، [۲۲]	۴	۶	۴	۲۹	γ۲β+۸α+۲۱
مدار پیشنهادی اول (شکل ۱۳)	۷	۶	۷	۲۷	γ۳β+۸α+۱۶
مدار پیشنهادی دوم (بخش پایینی شکل ۱۶)	۸	۸	۷	۲۷	γ۳β+۸α+۲۲

www.SID.ir

Archive of SID

جدول۵. مقایسه ویژگی‌های جمع‌کننده‌های BCD پیشنهادی با جمع‌کننده‌های BCD قبلی دارای قابلیت تحمل‌پذیری اشکال

جمع‌کننده BCD یک رقمی	تعداد گیت‌های مورد استفاده	تعداد خروجی‌های بی‌حاصل	تأخیر	هزینه کوانتومی	پیچیدگی محاسباتی
جمع‌کننده ۱، [۱۶]	۲۳	۳۶	۱۰	۱۴۸	γ۲۲β+۷۲α+۸۲
جمع‌کننده ۲، [۲۰]	۱۳	۲۹	۱۱	۱۳۱	γ۲۲β+۶۵α+۸۵
جمع‌کننده ۳، [۲۴]	۳۰	۴۰	۲۳	۱۱۸	β۲۴α+۵۸
جمع‌کننده ۴، [۲۱]	۱۲	۱۴	۱۲	۸۴	γ۱۰β+۳۸α+۵۰
جمع‌کننده ۵، [۲۲]	۸	۱۸	۸	۶۱	γ۶β+۲۰α+۵۷
جمع‌کننده پیشنهادی اول (شکل ۱۴)	۱۱	۱۸	۱۱	۶۷	γ۳β+۱۶α+۴۰
جمع‌کننده پیشنهادی دوم (شکل ۱۶)	۱۲	۲۰	۱۱	۵۹	γ۷β+۲۰α+۵۸

نتیجه‌گیری

در این مقاله، ابتدا یک گیت جدید ۵×۵ برگشت‌پذیر کم‌هزینه با این ویژگی ارائه گردید که با اعمال ورودی‌های مناسب به آن و تولید کمترین تعداد خروجی بی‌حاصل، می‌تواند به عنوان یک تمام‌جمع‌کننده با قابلیت نگهداری پریتی و در نتیجه با ویژگی تحمل‌پذیری اشکال عمل نماید. سپس، دو ساختار جدید برای جمع‌کننده‌های BCD تحمل‌پذیر اشکال ارائه شدند که علاوه بر بهره بردن از تمام‌جمع‌کننده‌های با کمترین هزینه شامل گیت جدید، در آنها از ساختارهای جدید برای بخش تشخیص سرریز و بخش تصحیح نتیجه در عملیات جمع BCD به صورت توأمان استفاده شده است. مقایسه طرح‌های جدید و جمع‌کننده‌های BCD پیشنهادی با مدارهای مشابه قبلی در معیارهایی مانند تعداد گیت‌های مورد استفاده، تعداد خروجی‌های بی‌حاصل، تأخیر، پیچیدگی محاسباتی و هزینه کوانتومی نشان می‌دهد که جمع‌کننده‌های BCD پیشنهادی از بسیاری از مدارهای مشابه قبلی مناسب‌تر بوده و در پیچیدگی محاسباتی و هزینه کوانتومی، از بهترین طرح‌ها محسوب می‌شوند. بنابراین، می‌توان از جمع‌کننده‌های BCD پیشنهادی در طراحی مدارهای برگشت‌پذیر تحمل‌پذیر اشکال استفاده کرد.

مرجع‌ها

[1] R. Landauer, "Irreversibility and heat generation in the computing process", IBM J. Research and Development, 1961, vol. 5, no. 3, pp. 183–191.

[2] C. H. Bennett, "Logical reversibility of computation", IBM J. Research and Development, 1973, vol. 17, pp. 525–532.

[3] P. Kerntopf, M. A. Perkowski, and M. H. A. Khan, "On universality of general reversible multiple valued logic gates", IEEE Proc. 34th Intl. Symp. Multiple Valued Logic (ISMVL'04), May 2004, pp. 68–73.

[4] S. Babazadeh and M. Haghparast, "Design of a Nanometric Fault Tolerant Reversible Multiplier Circuit", J. basic and applied scientific research, 2012, vol. 2, no. 2, pp. 1355–1361.

[5] M. Perkowski and P. Kerntopf, "Reversible logic", Invited tutorial, Proc. EURO-MICRO Conf., Warsaw, Poland, 2001.

[6] R. Feynman, "Quantum Mechanical Computers", Optics News, 1985, vol. 11, pp. 11–20.

[7] T. Toffoli, "Reversible Computing", Tech. memo MIT/LCS/TM-151, MIT Lab for Comp. Sci, 1980.

[8] A. Peres, "Reversible logic and quantum computers", Physical Review, 1985, vol. 32, pp. 3266–3276.

[9] E. Fredkin and T. Toffoli, "Conservative logic", Intl. J. Theoretical Physics, 1982, vol. 21, pp. 219–253.

[10] B. Parhami, "Fault-Tolerant Reversible Circuits", Proc. 40th Asilomar Conf. Signals, Systems, and Computers, Pacific Grove, CA, October 2006.

[11] M. Hagparast, and K. Navi, "A Novel Fault Tolerant Reversible Gate For Nanotechnology Based System", American Journal of Applied Sciences, 2008, vol. 5, no. 5, pp. 519–523.

[12] M. S. Islam, M. M. Rahman, Z. Begum, and M. Z. Hafiz, "Fault Tolerant Reversible Logic Synthesis: Carry Look-Ahead and Carry-Skip Adders", Intl. Conf. Advances in Comput-ational Tools for Engineering Applications (ACTEA'09), July 2009, pp. 396–401.

[13] B. Parhami, "Parity-Preserving Transform- -ations in Computer Arithmetic", Proc. SPIE Conf. Advanced Signal Processing Algorithms, Architectures, and Implementations XII, 2002, pp. 403–411.

[14] M. S. Islam and R. Islam, "Minimization of reversible adder circuits", Asian Journal of Information Technology, 2005, vol. 4, no. 12, pp. 1146–1151.

[15] M. S. Islam, M. M. Rahman, Z. Begum, M. Z. Hafiz, and A. A. Mahmud, "Synthesis of Fault Tolerant Reversible Logic Circuits", IEEE Intl. Conf. Testing and Diagnosis (ICTD), April 2009.

[16] M. S. Islam and Z. Begum, "Reversible logic synthesis of fault tolerant carry skip BCD adder", Journal of Bangladesh Academy of Science, 2008, vol. 32, no. 2, pp. 193–200.

[17] M. Haghparast and K. Navi, "Design of a novel fault tolerant reversible full adder for nanotechnology based systems", World Applied Sciences Journal, 2008, vol. 3, no. 1, pp. 114–118.

[18] F. Dastan and M. Haghparast, "A novel nanometric fault tolerant reversible divider", Intl. Journal of the

www.SID.ir

Archive of SID

Physical Sciences, 2011, vol. 6, no. 24, pp. 5671–5681.
[19] S. K. Mitra and A. R. Chowdhury, "Minimum cost fault tolerant adder circuits in reversible logic synthesis", 25th IEEE Intl. Conf. VLSI Design (VLSID), 2012, pp. 334–339.
[20] M. Haghparast, "Design and implementation of nanometric fault tolerant reversible BCD adder", Australian Journal of Basic and Applied Science, 2011, vol. 5, no. 10, pp. 896–901.
[21] M. Haghparast and M. Shams, "Optimized Nanometric Fault Tolerant Reversible BCD Adder", Research Journal of Applied Sciences, Engineering and Technology, 2012, vol. 4, no. 9, pp. 1067–1072.
[22] R.-G. Zhou, Y.-C. Li, and M.-Q. Zhang, "Novel designs for fault tolerant reversible binary coded decimal adders", Intl. Journal of Electronics, 2014, vol. 101, no. 10, pp. 1336–1356.
[23] J. W. Bruce, M. A. Thornton, L. Shivakumaraiah, P. S. Kokate, and X. Li, "Efficient adder circuits based on a conservative reversible logic gate", Proc. IEEE Computer Society Annual Symp. on VLSI (ISVLSI'02), 2002, pp. 74–79.
[24] R. Saligram, "Design and Implementation of Logical Cost Efficient Nanometric Fault Tolerant Reversible BCD Adder", Annual IEEE India Conf. (INDICON), 2013.

www.SID.ir