Archive of SID

طراحی سلول تاخیر زمانی آنالوگ مد جریان

سید رسول آقازاده[1]، علیرضا صابرکاری[2]

[1]کارشناسی ارشد برق الکترونیک، دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران (قزوین)، rasool.aghazadeh@yahoo.com

[2]دانشیار دانشکده فنی، گروه مهندسی برق، دانشگاه گیلان

چکیده

در این مقاله، هدف طراحی سلول تاخیر زمانی آنالوگ مد جریان می‌باشد. سلول تاخیر زمانی آنالوگ مبتنی بر فیلتر تمام گذر مرتبه اول مد جریان با امپدانس خروجی بالا، شامل آینه جریان کسکود کلاس AB و همچنین یک ناقل جریان با ولتاژ ورودی تفاضلی (DVCC) بعنوان عنصر فعال می‌باشد، که این ناقل جریان، تنها از دو عنصر غیر فعال متصل به زمین برای ایجاد شیفت فاز و تاخیر زمانی بهره می‌گیرد. این سلول آنالوگ مد جریان دارای مزیت‌هایی شامل ولتاژ پایین، مصرف توان کم و سرعت بالا می‌باشد. سلول تاخیر زمانی آنالوگ دارای مصرف توان ۱/۳۹ mW و دارای قابلیت کنترل تاخیر بصورت تنظیم ثابت و متغیر است. سلول پیشنهادی، قادر به ایجاد تاخیر زمانی برابر با ۱۴ ns می‌باشد که می‌توان با تنظیم ثابت و متغیر در این سلول، به تاخیر برابر با ۶ ns در پهنای باند ۱۰۰MHz رسید. این سلول در مهندسی پزشکی، رادارها و همچنین برای شکل دهی به پرتوها کاربرد دارد و می‌تواند مورد استفاده قرار بگیرد. شبیه سازی با استفاده از HSPISE و تکنولوژی CMOS ۰/۱۸ µm انجام شده است.

کلید واژه

سلول تاخیر زمانی آنالوگ مد جریان، ناقل جریان با ولتاژ ورودی تفاضلی) DVCC(، فیلتر تمام گذر مرتبه اول، آینه جریان کسکود کلاس AB.

مقدمه

فیلترهای تمام گذر[1] (APFs) بعنوان طبقه‌های تاخیر در بسیاری از مدارهای فرکانس رادیویی (RF) و کاربردهای شیفت فاز مانند اکولایزرها، شکل‌دهنده پرتوها[2] و شیفت دهنده‌های فاز مورد استفاده قرار می‌گیرند [۳-۱]. در این فیلترها دامنه سیگنال ورودی در محدوده فرکانسی مشخص ثابت و بدون تغییر باقی می‌ماند در حالیکه روی فاز سیگنال ورودی تاخیر وابسته به فرکانس ایجاد می‌کند. تاخیرهای زمانی ایجاد شده بر پایه فیلترهای تمام گذر در مقایسه با روشهای مبتنی بر خطوط انتقال یا خطوط تاخیر LC که ناحیه بیشتری را مصرف می‌کنند و برای پیاده‌سازی روی تراشه غیر عملی هستند، عملکرد بهتری دارند. از اینرو، در برخی از مدارات RF از کسکید کردن چندین فیلتر تمام گذر gm-(R)C مرتبه اول در طبقه تاخیر استفاده می‌شود که دارای میزان تاخیر بیشتر و ناحیه مصرفی کمتری هستند [۴]. هرچند، برخی دیگر از فیلترهای تمام گذر مد ولتاژ یا جریان با فرکانس کاری تا چندین مگا هرتز هستند که دارای معایبی می‌باشند مانند:

استفاده از یک یا چندین تقویت کننده عملیاتی مد ولتاژ یا جریان که دارای پهنای باند کم به دلیل حضور گره‌های امپدانس بالا هستند [۵]، [۶]، استفاده از تعداد زیاد عنصر غیر فعال (دو یا بیشتر) [۷]، استفاده از خازن‌های فلوتینگ که برای استفاده در مدارات آنالوگ مناسب نمی‌باشند [۸].

در این مقاله یک سلول تاخیر زمانی آنالوگ در مد جریان مبتنی بر یک فیلتر تمام گذر مرتبه اول به منظور ایجاد شیفت فاز و تاخیر مورد نیاز در پهنای باند ۱۰۰MHz پیشنهاد شده است. ساختار پیشنهادی دارای مزایایی می‌باشد:

۱. استفاده از حداقل تعداد المان‌های غیرفعال بصورت تک انتهایی (یک سر زمین شده)
۲. عملکرد مدار در حوزه جریان و مزایای آن نسبت به مدارات در حوزه ولتاژ (جمع پذیری بهتر، سرعت چرخش بهتر، خطی بودن و پهنای باند بیشتر)
۳. کنترل تاخیر با تنظیم ثابت[3] و متغیر[4]
۴. امپدانس خروجی بالا (مناسب برای کسکیدینگ)

---

[1] All Pass Filters
[2] Beamformers
[3] Coarse-tune
[4] Fine-tune

تاریخ دریافت: ۱۳۹۴/۰۸/۰۴ تاریخ پذیرش: ۱۳۹۵/۱۰/۲۵

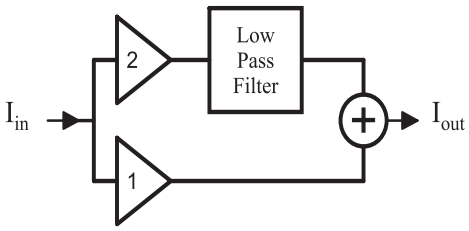
www.SID.ir

Archive of SID

این سلول تاخیر زمانی شامل یک ناقل جریان با ولتاژ ورودی تفاضلی[۵] (DVCC) بعنوان عنصر فعال (فیلتر پایین گذر معکوس کننده) با دو عنصر غیر فعال متصل به زمین و همچنین آینه جریان کسکود کلاس AB می‌باشد. در بخش بعد، بلوک سلول تاخیر زمانی آنالوگ پیشنهاد می‌شود و عملکردهای ناقل جریان با ولتاژ ورودی تفاضلی و همچنین آینه جریان کسکود بررسی می‌شوند. در انتها، نتایج شبیه‌سازیها ارائه می‌شوند و کنترل میزان تاخیر برای ساختار پیشنهاد شده مورد ارزیابی قرار می‌گیرد.

ساختار پیشنهادی

بلوک سلول تاخیر زمانی آنالوگ مبتنی بر مد جریان به صورت شکل ۱ پیشنهاد شده است.



شکل۱. بلوک سلول تاخیر زمانی آنالوگ

این سلول تاخیر زمانی آنالوگ برای رسیدن به تابع تبدیل یک فیلتر تمام گذر مرتبه اول، دارای یک مسیر با بهره ۲ و فیلتر پایین گذر معکوس کننده مرتبه اول مبتنی بر DVCC و همچنین یک مسیر با بهره واحد است. برای ایجاد بهره‌های ۱ و ۲ به منظور کنترل بهتر میزان تاخیر در سلول تاخیر زمانی آنالوگ، از آینه جریان کسکود کلاس AB استفاده می‌شود.

تابع تبدیل یک سلول تاخیر ایده‌آل برابر است با: $H(s) = e^{-s\tau}$ که در آن τ برابر با تاخیر زمانی است. تقریب تاخیر برای یک فیلتر تمام گذر مرتبه اول تعیین می‌شود:

$$H(s) = e^{-s\tau} = \frac{1-s(\tau/2)}{1+s(\tau/2)} = \frac{2}{1+s(\tau/2)} - 1 \qquad (۱)$$

با در نظر گرفتن ساختار کلی سلول تاخیر زمانی آنالوگ (شکل۱) و رابطه (۱)، تابع تبدیل جریان برای این سلول بصورت رابطه (۲) تعریف می‌شود.

$$H(s) = -\left[\frac{-2}{1+S\,(RC/2)} + 1\right] = \frac{1-S(RC/2)}{1+S(RC/2)} \qquad (۲)$$

با توجه به تابع تبدیل، بدیهی است که ساختار پیشنهادی رفتار یک فیلتر تمام گذر را از خود نشان می‌دهد. گین تابع تبدیل برابر با یک بوده و فرکانس قطب (f_p)، فاز $(\varphi(\omega))$ و همچنین تاخیر گروه $(D(\omega))$ مدار بصورت زیر بیان می‌شوند:

$$\omega_p = \frac{2}{RC}\ , \qquad f_p = \frac{1}{\pi RC} \qquad (۳)$$

$$\varphi(\omega_p) = -2\tan^{-1}\left(\frac{\omega RC}{2}\right) = -90 \qquad (۴)$$

$$D(\omega) = -\frac{\partial\varphi(\omega)}{\partial\omega} = \frac{RC}{1+(\omega RC/2)^2} \qquad (۵)$$

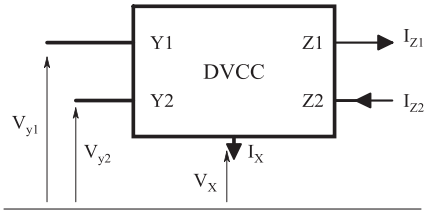
تاخیر (τ) در فرکانس قطب برابر است با:

$$\tau(f_p) = -\frac{\varphi(f_p)}{2\pi f_p} = \frac{\pi}{2}\cdot\frac{RC}{2} \qquad (۶)$$

که در آن می‌توان با تغییر R و C میزان تاخیر (τ) را کنترل کرد.

ناقل جریان با ولتاژ ورودی تفاضلی (DVCC)

ناقل جریان با ولتاژ ورودی تفاضلی (DVCC) استفاده شده در سلول تاخیر زمانی آنالوگ، یک بلوک ساختاری با پنج ترمینال می‌باشد که بوسیله دو ترمینال ورودی امپدانس بالا (Y1 و Y2)، یک گره امپدانس پایین (X) و دو ترمینال خروجی امپدانس بالا (Z1 و Z2) همانند شکل ۲ مشخص می‌شود. روابط ترمینالهای DVCC بصورت رابطه (۷) تعیین می‌شود.



شکل۲. بلوک ساختاری DVCC

$$V_X = V_{Y1} - V_{Y2}\ , \qquad I_{Y1} = I_{Y2} = 0\ ,$$

$$I_{Z1} = I_X\ ,\ I_{Z2} = -I_X \qquad (۷)$$

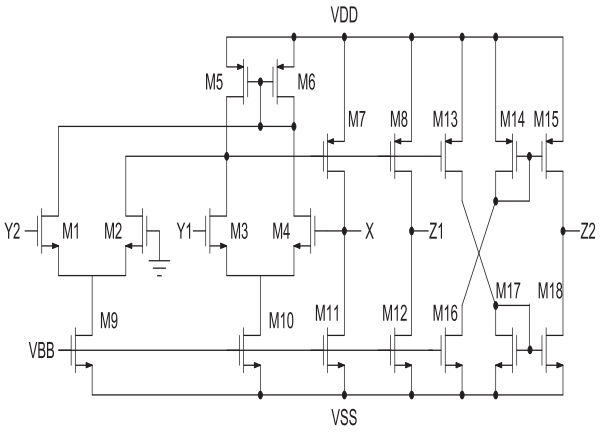
مدار DVCC در شکل ۳ نشان داده شده است [۹]. اگر هر دو جریان داخل و یا خارج شوند، DVCC مثبت بوده (I_X و I_{Z1}) در حالیکه اگر یکی داخل و دیگری خارج شود DVCC منفی بدست می‌آید (I_X و I_{Z2}).

---

۵ Differential voltage Current Conveyor

www.SID.ir

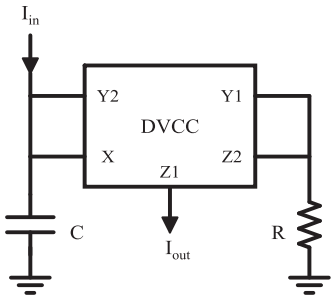
Archive of SID



شکل۳. پیاده سازی CMOS برای DVCC

از آنجاییکه مدار DVCC دارای زوجهای تفاضلی در ورودی است، از اینرو جریانهای درین آینه جریان تشکیل شده بوسیله M5 و M6 با هم یکسان هستند. جریان مطلوب در ترمینال X بوسیله فیدبک منفی M7 و ترانزیستور M11 بدست می‌آید، که مستقل از ولتاژ ترمینال X است ($V_X = V_{Y1} - V_{Y2}$). ولتاژ DC در ترمینالهای ورودی و خروجی برابر با صفر است (مانند آپ امپ‌ها). از اینرو، مدار DVCC بجای استفاده از تغذیه استاندارد از تغذیه متقارن استفاده می‌کند [۷]، [۹].

شکل۴ ساختار فیلتر پایین گذر معکوس کننده مد جریان بر مبنای DVCC [۹]که در سلول تاخیر زمانی آنالوگ پیشنهادی مورد استفاده قرار می‌گیرد را نشان می‌دهد.



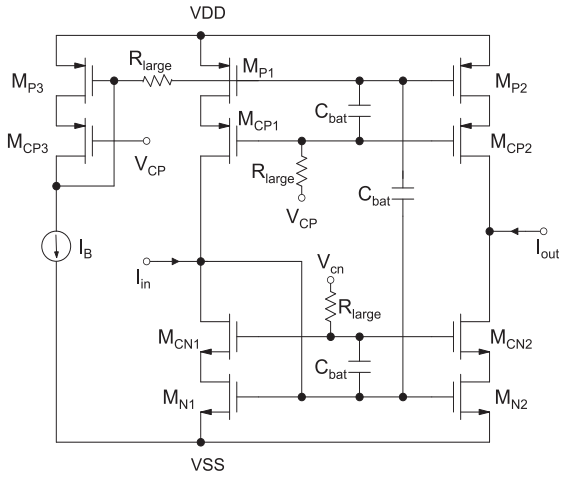
شکل۴ . بلوک فیلتر پایین گذر معکوس کننده مبتنی بر DVCC

با توجه به روابط ترمینال‌های DVCC که در رابطه (۷) آمده است، تابع تبدیل جریان مدار شکل ۴ بصورت رابطه (۸) تعیین می‌شود که یک فیلتر پایین گذر معکوس کننده را نشان می‌دهد:

$$H(s) = \frac{-2/RC}{S+2/RC} \qquad (۸)$$

آینه جریان کسکود کلاس AB

شکل۵، آینه جریان کلاس AB را نشان می‌دهد[۱۰]. سیگنال در آینه جریان بوسیله ترانزیستورهای $M_{N1} - M_{N2}$ که توسط $M_{P1} - M_{P3}$ بایاس شده‌اند، تشکیل می‌شود. ترانزیستورهای کسکود $M_{CN1} - M_{CN2}$ و $M_{CP1} - M_{CP3}$ برای افزایش خطینگی، مقاومت خروجی و بهبود در دقت کپی کردن جریان استفاده می‌شوند.



شکل۵. آینه جریان کسکود کلاس AB

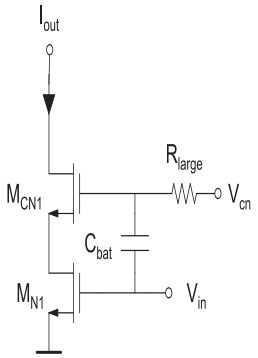
در حالت استاتیک، خازن C_{bat} بصورت مدار باز می‌باشد، تحت این شرایط ولتاژ گیت-سورس $M_{P1} - M_{P2}$ ثابت و برابر با ولتاژ گیت-سورس M_{P3} است و از آنجاییکه هیچ جریانی از R_{large} عبور نمی‌کند، بنابراین افت ولتاژی در آن وجود نخواهد داشت. در نتیجه، جریان ساکن $M_{N1} - M_{N2}$ از طریق آینه جریان PMOS تشکیل شده بوسیله $M_{P1} - M_{P2}$ و M_{P3}، دقیقاً برابر با مقدار I_B است. در حالت دینامیک، ساختار با تبدیل ترانزیستورهای M_{P1} و M_{P2} (بعنوان ترانزیستورهای با گیت شبه شناور) به منابع جریان دینامیک، دارای عملکرد کلاس AB می‌شود. اگر I_{in} منفی شود، ولتاژ گیت M_{N1} کاهش می‌یابد، در نتیجه جریان در M_{N1} نیز کاهش پیدا می‌کند. این کاهش ولتاژ، از طریق فیلتر بالا گذر تشکیل شده بوسیله خازن C_{bat} و مقاومت R_{large}، به گیت $M_{P1} - M_{P2}$ منتقل می‌شود بنابراین جریان این ترانزیستورها افزایش پیدا می‌کند و در نتیجه عملکرد کلاس AB خواهیم داشت. برای داشتن یک فرکانس قطع ($\omega = 1/2\pi R_{large}C_{bat}$) خیلی پایین برای فیلتر بالا گذر (کمتر از ۱ Hz)، باید R_{large} خیلی بزرگ باشد. این مقاومت می‌تواند به آسانی با استفاده از مقاومت نشتی یک

www.SID.ir

Archive of SID

ترانزیستور در ناحیه قطع، پیاده‌سازی شود [۱۱]، [۱۲]. بدلیل مقدار زیاد R_{large}، مقدار خازن C_{bat} مهم نمی‌باشد، در این مقاله مقدار آن ۱ pF انتخاب شده است.

شکل ۶، طبقه کسکود با سوییینگ بالا که در ساختار شکل ۵ استفاده شده را نشان می‌دهد. در ساختار طبقه کسکود شکل ۶، M_{CN1} یک QFGT است. در حالت DC، ولتاژ گیت M_{CN1} برابر با V_{cn} است. از سوی دیگر، در حالت دینامیک، سوییینگ ولتاژ ایجاد شده ناشی از ولتاژ ورودی، از طریق فیلتر بالا گذر تشکیل شده توسط خازن C_{bat} و مقاومت R_{large}، به گیت M_{CN1} منتقل می‌شود. در این ساختار، سوییینگ هر دو گیت با هم برابر است و در نتیجه، بدلیل جریان برابری که از هر دو ترانزیستور عبور می‌کند، ولتاژ درین M_{N1} تقریباً ثابت باقی می‌ماند که منجر به خطی بودن بهتر می‌شود. این ساختار همچنین محدوده ورودی را افزایش می‌دهد.



شکل۶ . طبقه کسکود سوییینگ بالا

بررسی اثر غیر ایده‌آل در سلول تاخیر آنالوگ

با در نظر گرفتن یک DVCC غیر ایده‌آل، روابط ترمینال‌ها در رابطه (۷) بصورت زیر خواهند بود:

$$V_X = \beta_1 V_{Y1} - \beta_2 V_{Y2} \ ,$$

$$I_{Z1} = \alpha_1 I_X \quad , \quad I_{Z2} = -\alpha_2 I_X \qquad (۹)$$

که در آن α و β بترتیب، خطای انتقال جریان و ولتاژ در ساختار DVCC هستند. بنابراین، تابع تبدیل سلول تاخیر زمانی بصورت رابطه (۱۰) بدست می‌آید:

$$H(s) = \frac{-1}{\alpha_2} \cdot \frac{S-(2/\beta_1 RC)}{S+(2/\alpha_2\beta_1 RC)} \qquad (۱۰)$$

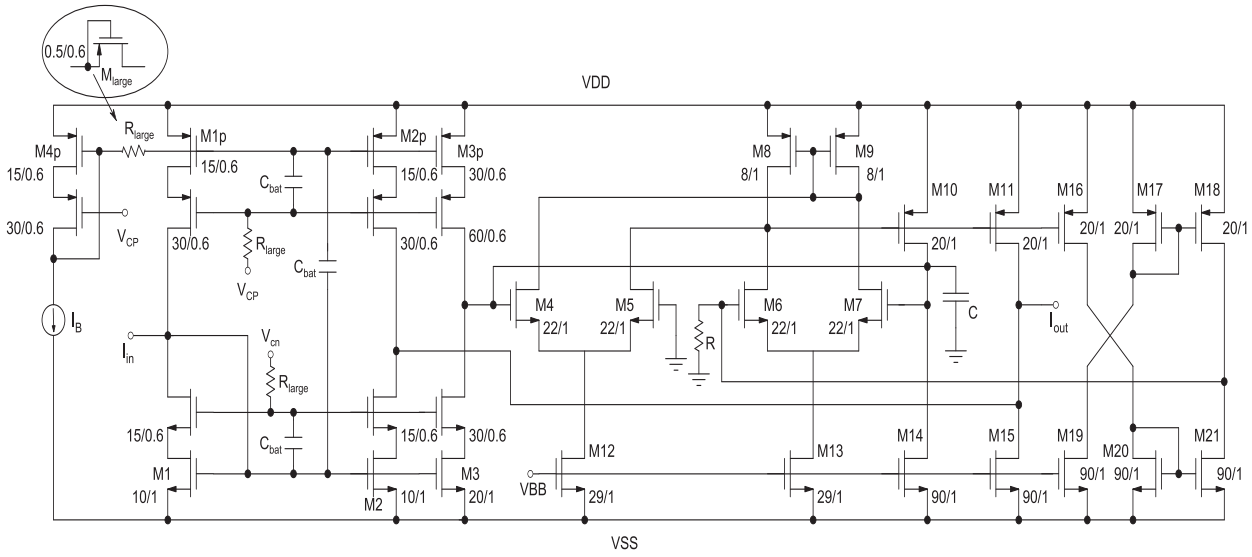
با توجه به رابطه (۱۰)، مشخص می‌شود که فرکانسهای قطب و صفر می‌توانند اندکی منحرف شوند که این امر می‌تواند باعث انحراف اندکی در شیفت فاز از مقدار واقعی شود. این انحراف در فرکانس، می‌تواند با تنظیم درست جریان بایاس و ابعاد ترانزیستورها جبرانسازی شود. با در نظر گرفتن خطای انتقال جریان و ولتاژ در DVCC، فرکانس قطب به صورت رابطه (۱۱) تعیین می‌شود:

$$\omega_p = \frac{2}{\alpha_2\beta_1 RC} \qquad (۱۱)$$

حساسیتهای پارامتر ω_p نسبت به α_2، β_1، R و C بیان می‌شوند:

$$S_{\alpha_2}^{\omega_p} = S_{\beta_1}^{\omega_p} = S_R^{\omega_p} = S_C^{\omega_p} = -1 \qquad (۱۲)$$

بنابراین، همه حساسیتها مستقل از پارامترهای ساختار هستند.



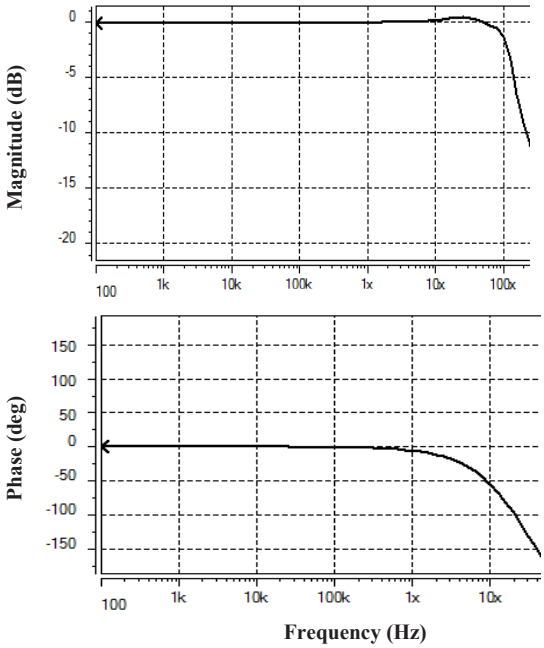
شکل۷ . ساختار کامل سلول تاخیر زمانی آنالوگ پیشنهاد شده مبتنی بر فیلتر تمام گذر همراه با ابعاد ترانزیستورها بر حسب میکرو متر

www.SID.ir

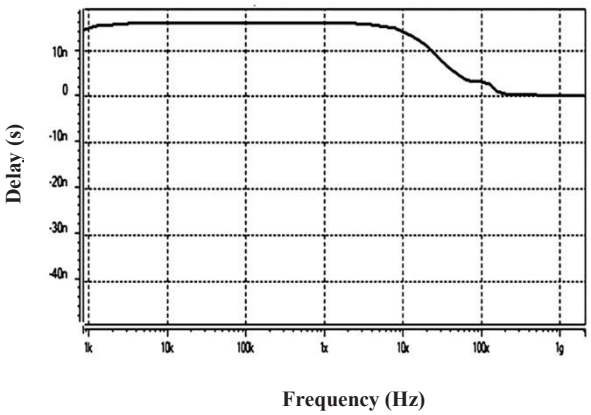
Archive of SID

نتایج شبیه‌سازی

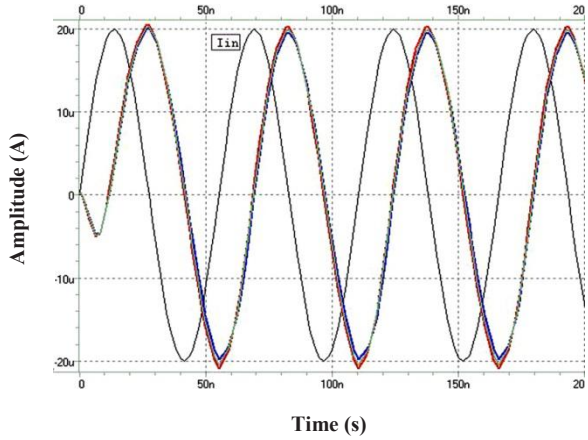
سلول تاخیر زمانی آنالوگ با استفاده از HSPICE با تکنولوژی ۰/۱۸µm CMOS شبیه‌سازی شده است. ساختار کامل سلول تاخیر زمانی آنالوگ در شکل ۷ نشان داده شده است. در این ساختار، جریان بایاس (I_B) برابر با $10\mu A$و مقدار خازن‌های C_{bat} برابر با ۱pF انتخاب شده‌اند. جریان بایاس ترانزیستور M12 برابر با $38\mu A$ است و مقادیر R و C بترتیب برابر با ۲KΩ و ۶pF در نظر گرفته شده‌اند. ولتاژ تغذیه سلول تاخیر برابر با $\pm 0/9V$ می‌باشد.



شکل۸ . دامنه و فاز سلول تاخیر زمانی آنالوگ



شکل۹ . پاسخ تاخیر گروه سلول تاخیر زمانی آنالوگ



شکل۱۰. جریان ورودی و شیفت فاز (۹۰-) درجه خروجی سلول تاخیر

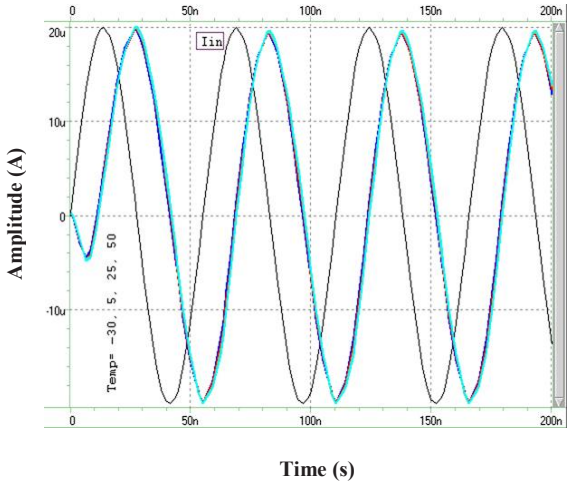
شکل ۸، دامنه و فاز سلول تاخیر زمانی آنالوگ را نشان می‌دهد. فرکانس قطب در حالت تئوری و با استفاده از رابطه (۳) برابر با ۲۶/۵MHz بدست می‌آید، و با توجه به نمودار اندازه و فاز شکل ۸، فرکانس قطب برابر با ۱۸/۱MHz بدست آمده است. اعوجاج هارمونیک کل (THD) در خروجی سلول تاخیر تنها برابر با ۳/۹۵ ٪ در دامنه $20\ \mu A$ است. تاخیر گروه سلول تاخیر آنالوگ در شکل ۹ نشان داده شده است که یک تاخیر گروه ثابت در پهنای باند کاری را نشان می‌دهد. در شکل ۱۰، جریان ورودی و شکل موجهای خروجی در فرکانس قطب در حوزه زمان که دارای شیفت فاز ۹۰- درجه می‌باشند، نشان داده شده‌اند. در این شکل، اثر تغییرات پراسس (کرنر) نیز در نظر گرفته شده و جریان خروجی سلول تاخیر آنالوگ با توجه به این اثرات شبیه‌سازی شده است. با استفاده از رابطه (۶)، تاخیر سلول آنالوگ مد جریان در فرکانس قطب برابر با ۹/۴۲ns بدست می‌آید، و با توجه به نمودار شکل ۱۰، تاخیر برابر با ۱۴ns بدست آمده است. دلیل تفاوت نتایج تئوری و شبیه‌سازی، اثر غیر ایده‌آل و خازنهای پارازیتی ترانزیستورها می‌باشند که باعث کاهش مقدار فرکانس قطب می‌شود و در نتیجه، مقدار تاخیر مورد نیاز را افزایش می‌دهد. در شکل ۱۱، جریانهای خروجی سلول تاخیر در حوزه زمان در دماهای مختلف نشان داده شده‌اند و شکلهای ۱۲ و ۱۳، پاسخهای فرکانسی و حوزه زمان سلول تاخیر در ولتاژ تغذیه $\pm 1/5V$ را نشان می‌دهند. با در نظر گرفتن تغییرات پراسس، ولتاژ و دما (PVT) در شبیه‌سازیها، به وضوح مشاهده می‌شود که خروجیهای ناشی از این تغییرات اختلاف بسیار ناچیزی با نتایج شبیه‌سازیها در حالت نرمال (شکل ۸ و ۱۰) دارند.

به منظور مقایسه سلول تاخیر پیشنهادی (شکل ۷) با فیلتر تمام گذر مرتبه اول مبتنی بر DVCC در [۹]، سلول تاخیر پیشنهادی با مقادیر R و C بترتیب برابر با ۱KΩ و ۱۰۰ pF

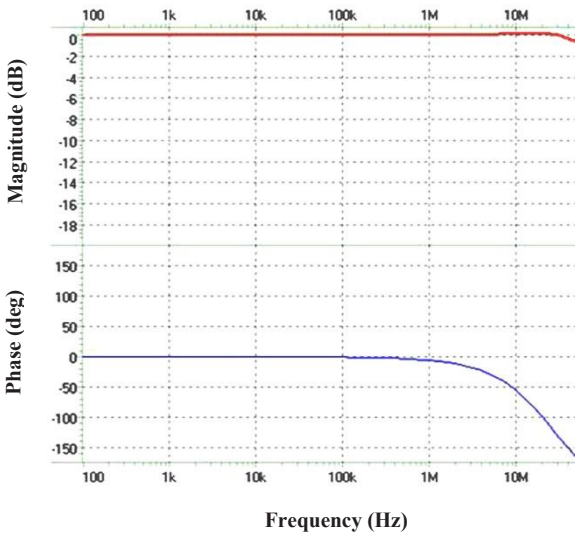
www.SID.ir

Archive of SID

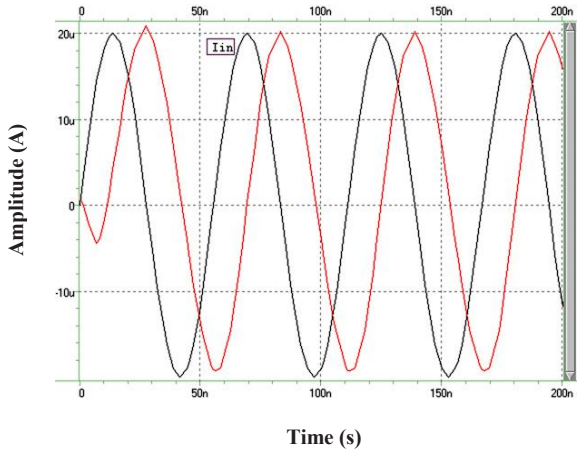
(مشابه مقادیر استفاده شده در [۹]) شبیه‌سازی شده است. دامنه و فاز سلول تاخیر در شکل ۱۴ نشان داده شده است. فرکانس قطب تئوری از رابطه (۳) برابر با ۳/۲MHz است. با توجه به نمودار شکل ۱۴، فرکانس قطب سلول تاخیر برابر با ۲/۹۰MHz است، در مقایسه با مقدار ۲/۸۵MHz در [۹]. مشاهده می‌شود که سلول پیشنهادی دارای ضریب خطای (تقریبا ۸ ٪) کمتری در مقایسه با مدار پیشنهادی در [۹]است. علاوه بر این، سلول تاخیر دارای مزیت تنظیم ثابت با استفاده از تغییر بهره‌ها در ساختار شکل ۷ به منظور کنترل بیشتر تاخیر است.



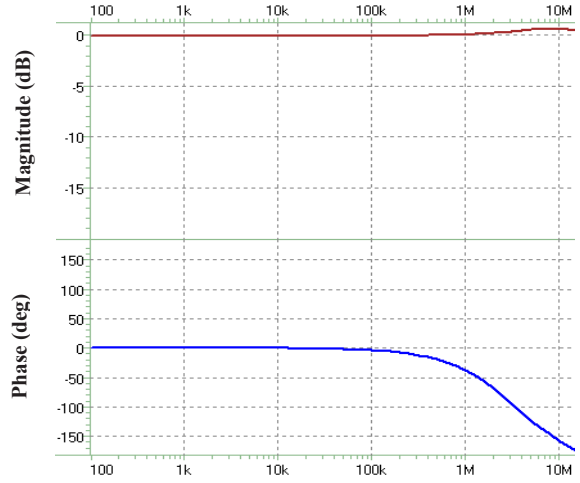
شکل۱۱. جریان ورودی و شیفت فاز (۹۰-) درجه خروجی سلول تاخیر در دماهای مختلف



شکل۱۲ . دامنه و فاز سلول تاخیر زمانی آنالوگ با تغییر در ولتاژ تغذیه



شکل۱۳. جریان ورودی و شیفت فاز (۹۰-) درجه خروجی سلول تاخیر با تغییر در ولتاژ تغذیه



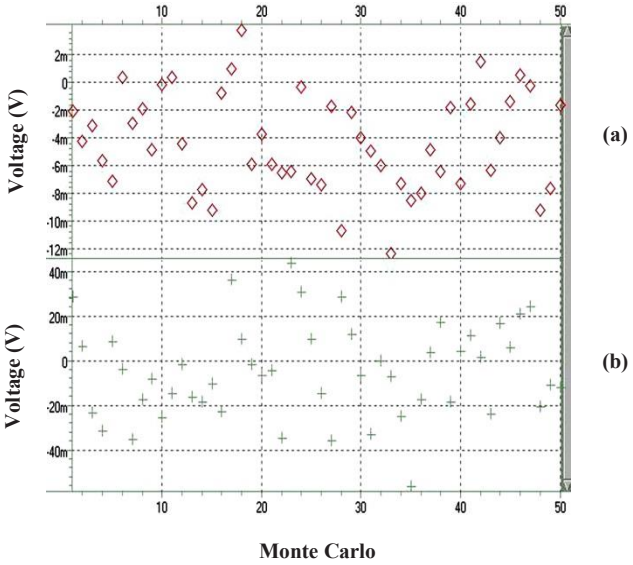
شکل۱۴ . دامنه و فاز سلول تاخیر زمانی آنالوگ با $R = ۱K\Omega$ و $C = ۱۰۰\ pF$

برای بررسی بهتر روی عملکرد سلول تاخیر آنالوگ، مدار پیشنهادی با استفاده از روش مونت کارلو شبیه‌سازی شده است. در شکل ۱۵ مشاهده می‌شود که مقدار ولتاژ DC گیت ترانزیستور M7 (شکل ۷) با تغییر طول کانال ترانزیستورهای در DVCC، تقریبا از ۰/۰۴V- تا ۰/۰۴V تغییر می‌کند (مقدار ایده‌آل برابر با صفر است). در این حالت، ولتاژ DC خروجی سلول تاخیر نیز تغییر می‌کند. این مقدار برابر با مقدار ولتاژ گیت M7 است. همچنین، با در نظر گرفتن پاسخهای فرکانسی و حوزه زمان نشان داده شده در شکلهای ۱۶ و ۱۷ با استفاده از روش مونت کارلو، مشاهده می‌شود که تغییر طول کانال ترانزیستورهای در DVCC تنها روی مقدار گین DC از مقدار

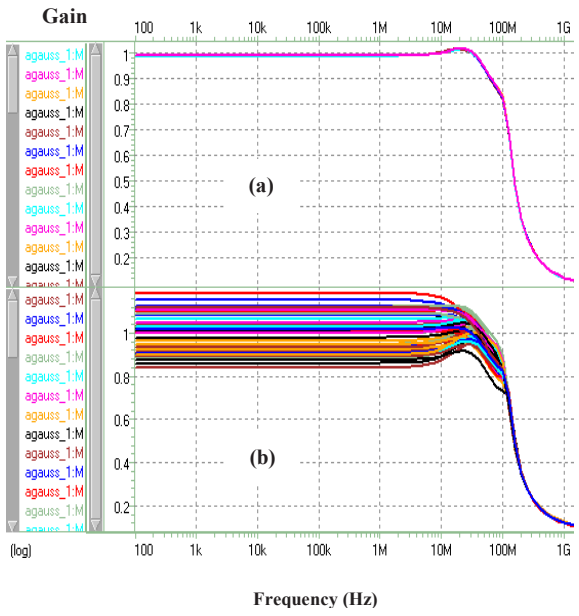
www.SID.ir

Archive of SID

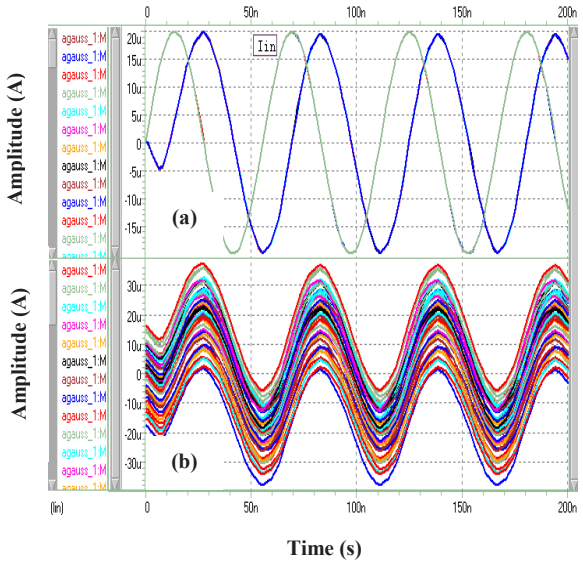
ایده‌آل که برابر با یک است تاثیر می‌گذارد در حالیکه روی میزان تاخیر تاثیر چندانی ندارد.



شکل۱۵. ولتاژ گیت M7 در سلول تاخیر در حالت DC : (الف) با تغییر طول کانال ترانزیستورهای زوج تفاضلی در DVCC (ب) با تغییر طول کانال کل ترانزیستورهای در DVCC



شکل۱۶. گین سلول تاخیر زمانی: (الف) با تغییر طول کانال ترانزیستورهای زوج تفاضلی در DVCC (ب) با تغییر طول کانال کل ترانزیستورهای در DVCC



شکل۱۷. پاسخ حوزه زمان سلول تاخیر زمانی: (الف) با تغییر طول کانال ترانزیستورهای زوج تفاضلی در DVCC (ب) با تغییر طول کانال کل ترانزیستورهای در DVCC

کنترل تاخیر در سلول تاخیر زمانی آنالوگ

در سلول تاخیر پیشنهادی، علاوه بر کنترل میزان تاخیر از طریق تغییر مقادیر المان‌های غیرفعال R و C، می‌توان با تغییر بهره در مسیر ورودی به خروجی نیز میزان تاخیر را کنترل کرد. در واقع با تغییر بهره می‌توان تنظیم ثابت انجام داد و با تغییر R و C در ساختار DVCC می‌توان تنظیم متغیر انجام داد. تنظیم متغیر می‌تواند به راحتی با استفاده از بانک‌های خازنی و مقاومتی با سوییچ‌های باینری پیاده‌سازی شود. با اضافه کردن سوییچ‌هایی در مسیر بهره‌های سلول تاخیر (آینه جریان کسکود) جهت تغییر عرض کانال ترانزیستورها، تنظیم ثابت پیاده‌سازی می‌شود. اگر بهره‌های ۲ و ۱ در بلوک سلول تاخیر زمانی شکل ۱ را بترتیب برابر با A و B در نظر بگیریم، تابع تبدیل سلول تاخیر بصورت رابطه (۱۳) بدست می‌آید.

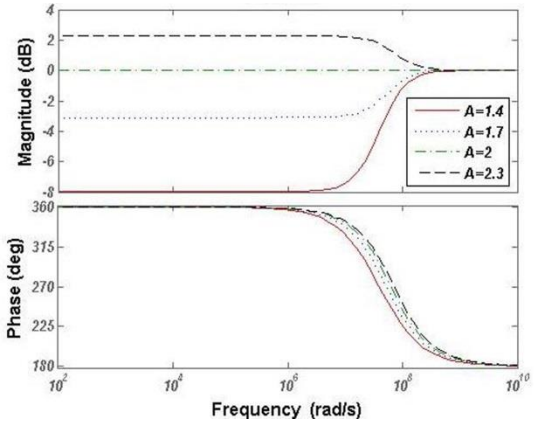
$$H(s) = -\left[\left(A \times \frac{-1}{1+S(RC/2)}\right) + B\right] = \frac{(A-B)-(RC/2)BS}{1+S(RC/2)} \qquad (۱۳)$$

برای کنترل کردن تاخیر در سلول تاخیر زمانی آنالوگ، تابع تبدیل بدست آمده در رابطه (۱۳) در دو حالت مختلف مورد بررسی قرار گرفته است. در حالت اول، مقدار B ثابت و برابر با یک و تنها در آن مقدار A بعنوان متغیر در نظر گرفته شده است. با تغییر مقدار A، پاسخ فرکانسی آن مطابق شکل ۱۸ بدست می‌آید. مشاهده می‌شود که افزایش مقدار A، دامنه و فاز سلول تاخیر زمانی را افزایش می‌دهد و کاهش مقدار A، دامنه و فاز را کاهش می‌دهد. در شکل ۱۹، تغییرات خروجی

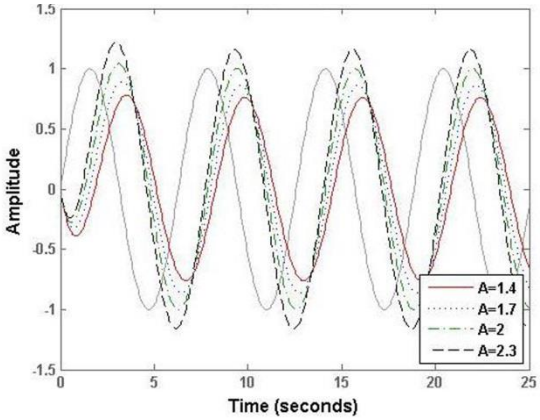
www.SID.ir

Archive of SID

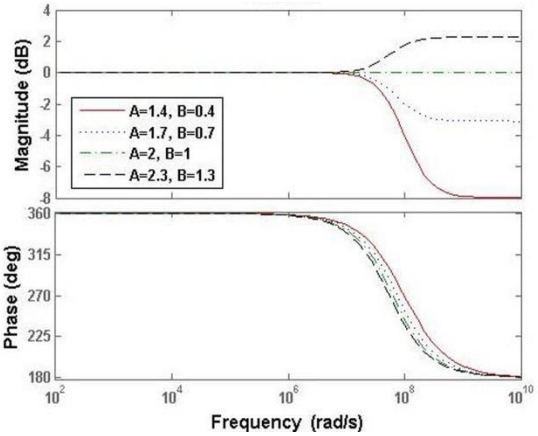
نسبت به ورودی در حوزه زمان با توجه به تغییر مقدار A در تابع تبدیل نشان داده شده است. در این شرایط، میزان تاخیر با بهره A رابطه معکوس دارد.



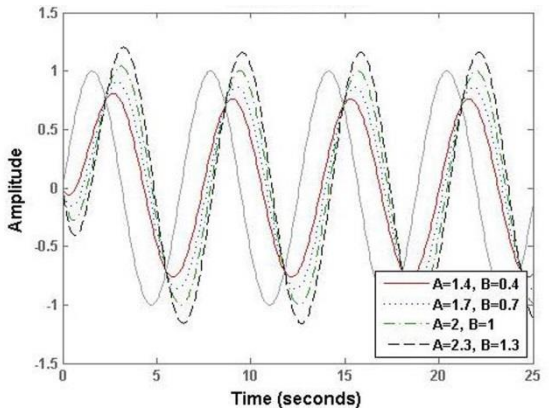
شکل۱۸. تغییرات دامنه و فاز سلول تاخیر زمانی با تغییر مقدار A در تابع تبدیل



شکل۱۹. تغییرات خروجی نسبت به ورودی در سلول تاخیر زمانی با تغییر مقدار A در تابع تبدیل



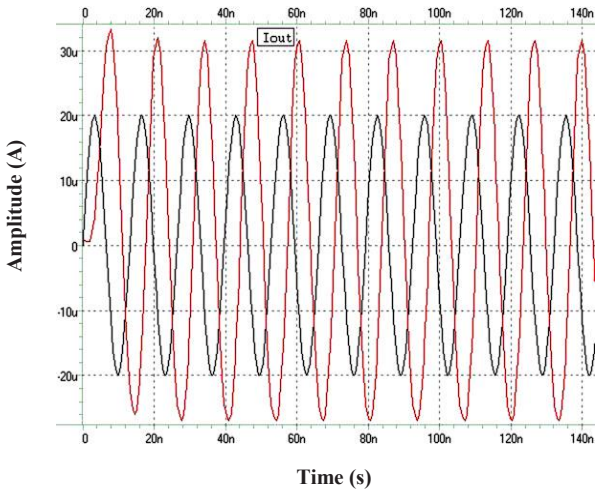
شکل۲۰. تغییرات دامنه و فاز سلول تاخیر زمانی با تغییر مقادیر A و B در تابع تبدیل



شکل۲۱. تغییرات خروجی نسبت به ورودی در سلول تاخیر زمانی با تغییر مقادیر A و B در تابع تبدیل

در حالت دوم، هر دو مقدار A و B در رابطه (۱۳) متغیر هستند که در این حالت اختلاف مقادیر A و B ثابت و برابر با یک در نظر گرفته شده است. با توجه به پاسخ فرکانسی و حوزه زمان نشان داده شده در شکلهای ۲۰ و ۲۱، به وضوح دیده می‌شود که افزایش مقادیر A و B، باعث زیادتر شدن تاخیر و کاهش آنها باعث کمتر شدن تاخیر می‌شود.

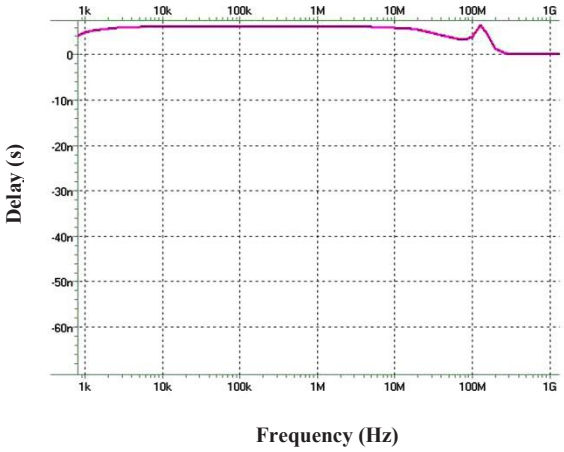
برای داشتن حداقل مقدار تاخیر در سلول تاخیر زمانی آنالوگ با استفاده از تنظیم ثابت و متغیر، در تابع تبدیل رابطه (۱۳) مقدار A برابر با ۳ و مقدار B برابر با ۰/۲ در نظر گرفته شده‌اند. همچنین، مقدار خازن و مقاومت در سلول تاخیر بترتیب برابر با ۲pF و ۲KΩ انتخاب شده‌اند. در این حالت، با توجه به پاسخ حوزه زمان شکل ۲۲ و تاخیر گروه شکل ۲۳، تاخیر ثابت برابر با $\tau = ۶$ ns در فرکانس کاری بدست آمده است.



شکل۲۲. جریان ورودی و خروجی سلول تاخیر با در نظر گرفتن تنظیم ثابت و متغیر

www.SID.ir

Archive of SID



شکل۲۳. پاسخ تاخیر گروه سلول تاخیر با در نظر گرفتن تنظیم ثابت و متغیر

جدول۱. مقایسه ای از پیاده سازیهای تاخیر آنالوگ

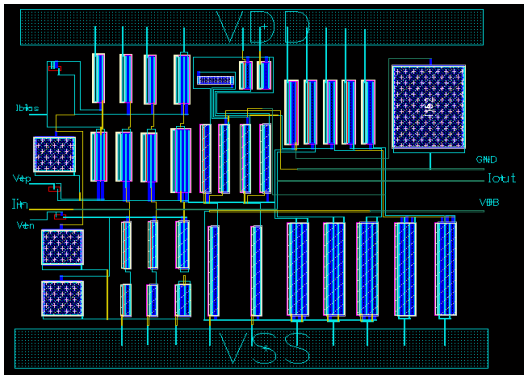
	[۱۳]	[۱۴]	[۱۵]	این کار	
تکنولوژی	۰/۳۵-μm CMOS	۰/۵-μm BiCMOS	۰/۳۵-μm SiGe	۰/۱۸-μm CMOS	
تغذیه (V)	۳/۳	۵	۳/۳	۱/۸	
توان تاخیر واحد (mW)	۲/۱	--	۳/۲	۱/۳۹	۱/۳۹
تاخیر واحد (ns)	۱/۷۵-۲/۵	۴-۶	۱-۵	۱۴	۶*
نوع فیلتر	تمام گذر مرتبه اول	پایین گذر مرتبه چهارم	تمام گذر مرتبه دوم	تمام گذر مرتبه اول	
نوع کنترل	جریان بایاس	المانهای غیرفعال	المانهای غیرفعال	تنظیم ثابت و تنظیم متغیر	
پهنای باند (MHz)	۵۰	۱۰۰**	۳۰	۱۰۰	
ناحیه مصرفی $(\mu m)^2$	۸۰×۱۰۰	--	۲۸۶×۳۶۲	۱۳۷×۱۱۷	

* تاخیر ۶ns با در نظر گرفتن تنظیم ثابت و متغیر در سلول تاخیر زمانی آنالوگ بدست آمده است.

** پهنای باند ۱۰۰MHz، با استفاده از کسکید کردن ۶ سلول واحد و رسیدن به تاخیر ۲۶ns بدست آمده است.

در جدول ۱، سلول تاخیر پیشنهادی با چندین ساختار تاخیر دیگر مقایسه شده است. مزیت‌های اصلی سلول پیشنهادی، افزایش پهنای باند و رسیدن به تاخیر بیشتر تنها از یک سلول تاخیر واحد است، درحالیکه ساختارهای دیگر برای رسیدن به تاخیر بیشتر، نیاز به کسکید کردن چندین سلول تاخیر واحد دارند که این کار باعث افزایش توان مصرفی و اضافه شدن اثرات پارازیتی در مدار می‌شود. همچنین، در این مقایسه می‌توان مصرف توان کم و کنترل بهتر روی میزان تاخیر نسبت به ساختارهای دیگر را اشاره کرد.

لی‌اوت سلول تاخیر پیشنهادی در شکل ۲۴ نشان داده شده است. ناحیه مصرفی آن برابر با $\mu m \times 117\ \mu m$ ۱۳۷ است.



شکل۲۴. لی‌اوت سلول تاخیر زمانی آنالوگ

نتیجه گیری

در این مقاله سلول تاخیر زمانی آنالوگ در مد جریان ارائه شده است. این سلول تاخیر آنالوگ که بر مبنای فیلتر تمام گذر مرتبه اول می‌باشد دارای یک ناقل جریان با ولتاژ ورودی تفاضلی (DVCC) بعنوان عنصر فعال (فیلتر پایین گذر معکوس کننده)، تنها دو عنصر غیر فعال متصل به زمین، و همچنین آینه جریان کسکود کلاس AB است. سلول تاخیر زمانی آنالوگ دارای امپدانس خروجی بالایی است که برای کسکدینگ در پردازش سیگنالهای آنالوگ مد جریانی بسیار مناسب می‌باشد. نتایج اندازه‌گیری و شبیه‌سازیها نشان می‌دهند که سلول تاخیر زمانی آنالوگ قادر به ایجاد حداقل تاخیر زمانی برابر با ۶ns در پهنای باند ۱۰۰MHz است. این سلول قابلیت کنترل تاخیر بصورت تنظیم ثابت (coarse-tune) و متغیر (fine-tune) را دارا است و مصرف توان آن برابر با ۱/۳۹mW است.

www.SID.ir

Archive of SID

مراجع

[1] J. Buckwalter, A. Hajimiri, "An active analog delay and the delay reference loop," IEEE Radio Frequency Integrated Circuits Symp., pp. 17-20, 2004.

[2] P. Ahmadi, M. Taghavi, L. Belostotski, and A. Madanayake, “6-GHz allpass-filter-based delay-and-sum beamformer in 130nm CMOS,” IEEE International Midwest Symposium on Circuits and Systems, pp. 837–840, College Station, 3-6 August, 2014.

[3] A. C. Ulusoy, B. Schleicher, and H. Schumacher, “A tunable differential all-pass filter for UWB true time delay and phase shift applications,” IEEE Microwave And Wireless Components Letters, Vol. 21, No. 9, 2011.

[4] S. K. Garakoui, E. A. M. Klumperink, B. Nauta, and F. E. van Vliet, “Compact cascadable gm-C all-pass true time delay cell with reduced delay variation over frequency,” IEEE J. Solid-State Circuits, vol. 50, no. 3, March 2015.

[5] A. Toker, S. Ozoguz, O. Cicekoglu, and C. Acar, “Current-mode all-pass filters using current differencing buffered amplifier and a new high-Q bandpass filter configuration,” IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 47, pp. 949 – 954, Sep 2000.

[6] Cakir, C., Cam, U., and Cicekoglu, O.: ‘Novel allpass filter configuration employing single OTRA’, IEEE Trans. Circuits Syst. II, Express Briefs, 52, (3), pp. 122–125, 2005.

[7] S. Minaei, M. A. Ibrahim, " General configuration for realizing current-mode first-order all-pass filter using DVCC ," International Journal of Electronics**,** Vol. 92, No. 6, pp. 347–356, June 2005.

[8] S. Maheshwari, I. A. Khan, "Novel first-order current-mode allpass sections using CCIII". Active and Passive Elec. Comp, vol. 27, pp. 111-117, 2004.

[9] S. Maheshwari, "High output impedance current-mode all-pass sections with two grounded passive components," Circuits, Devices Systems, IET. 2(2). pp. 234 –242, 2008.

[10] A.J. Lopez-Martin, J. Ramirez-Angulo, R.G. Carvajal, F. Esparza-Alfaro,˝Low-Voltage Highly-Linear Class AB Current Mirror with Dynamic Cascode Biasing," Proceedings of DCIS. pp 154-157, 2012.

[11] J. Ramirez-Angulo, A.J. Lopez-Martin, R.G. Carvajal, F. Munoz-Chavero,"Very low voltage analog signal processing based on quasi floating gate transistors," IEEE J. Solid-State Circuits, vol. 39, issue 3, pp. 434-442, 2004.

[12] J. Ramirez-Angulo, A.J. Lopez-Martin, R.G. Carvajal, A. Torralba, M. Jimenez,"Simple class AB voltage follower with slew rate and bandwidth enhancement and no extra static power or supply requirements," Electron. Lett., vol. 42, issue 14, pp. 784-785, 2006.

[13] G. Gurun, J.S. Zahorian, A. Sisman, M. Karaman, P.E. Hasler, F.L. Degertekin,"An Analog Integrated Circuit Beamformer for High-Frequency Medical Ultrasound Imaging," IEEE Transactions On Biomedical Circuits And Systems, Vol. 6, No. 5, pp. 454-467, 2012.

[14] K. Parsi, R.P. Burns, A. Chaiken, M.J. Chambers, W.R. Forni, D. Harnishfeger, S. Kaylor, M.J. Pennell, J.O. Perez, N. Rao, M. Rohrbaugh, M. Ross, and G.L. Stuhlmiller, "A PRML read/write channel IC using analog signal processing for 200 Mb/s HDD," IEEE J. Solid-State Circuits,vol. 31, pp. 1817–1830, 1996.

[15] C. Yao-Wei, K. Chien-Nan, "Tunable delay compensation circuit in polar loop transmitter for WiMAX applications," in Proc. Asia-Pacific Microwave Conf. pp. 426–429, 2010.

www.SID.ir