Archive of SID

طراحی سلول SRAM ۸ ترانزیستوری جدید زیر ناحیه‌ی آستانه با توانایی نوشتن دیفرانسیلی و خواندن یکطرفه سازگار با ساختار جایگذاری بیت

مریم نوبخت[۱]، راهبه نیارکی اصلی[۲]
[۱]کارشناس ارشد برق الکترونیک، دانشگاه گیلان
[۲]استادیار دانشکده‌ی برق، دانشگاه گیلان، niaraki@guilan.ac.ir

چکیده

در این مقاله یک سلول SRAM ۸ ترانزیستوری با عملکرد زیر ناحیه‌ی آستانه ارائه می‌شود که در آن ضمن بهبود عملیات خواندن و نوشتن، مصرف توان کاهش چشمگیری دارد. سلول پیشنهادی عملیات نوشتن را به صورت دیفرانسیلی و عملیات خواندن را به صورت یکطرفه انجام می‌دهد. در این طراحی از ترکیب مناسب تکنیک‌هایی استفاده شده که نهایتا منجر به بهبود عملکرد سلول می‌شود. این روش‌ها عبارتند از تضعیف فیدبک وارونگرها در مد نوشتن، استفاده از ویژگی افزایش ولتاژ اعمالی به ترانزیستورهای دسترسی، حذف یکی از ترانزیستورهای راه‌انداز و جداسازی گره ذخیره از ترانزیستور دسترسی خواندن توسط بافر. شبیه‌سازی‌ها در تکنولوژی ۳۲ نانومتر PTM، نشان می‌دهد که سلول پیشنهادی، در تغذیه‌ی ۰/۳ ولت، مصرف توان مد خواندن را نسبت به سلول ۶ ترانزیستوری استاندارد، ٪۹۳ مصرف توان مد نوشتن را، ٪۸۰ بهبود می‌بخشد. علاوه بر این، سلول پیشنهادی، در مقایسه با سلول‌های مشابه دیگر که قابل اجرا در ساختار جایگذاری بیت هستند، دارای مصرف توان کمتر و مد نوشتن قوی‌تری است. این در حالی است که سلول پیشنهادی در مد خواندن نیز از عملکرد مطلوبی برخوردار است.

کلیدواژه

SRAM زیرآستانه، جایگذاری بیت، خطای نرم، پایداری

مقدمه

حافظه‌ها یکی از بخش‌های مهم سیستم کامپیوتری محسوب می‌شوند. از بین حافظه‌های موجود در بازار، RAM[۱] استاتیکی به‌دلیل سرعت بالایی که دارد بسیار مورد توجه است. هسته‌ی اصلی این حافظه، سلول ۶ ترانزیستوری استاندارد است. این سلول از ۶ ترانزیستور برای ذخیره‌ی بیت و دسترسی به آن استفاده می‌کند. بنابراین ضمن اینکه نسبت به سلول دینامیکی مساحت زیادی را اشغال می‌کند، مصرف توان بالایی دارد. از آنجا که بازار الکترونیک قابل حمل با سرعت در حال رشد است، نیاز به طراحی حافظه‌هایی با توان مصرفی پایین بسیار محسوس است [۱]. یکی از راه‌های موثر کاهش مصرف توان، کاهش منبع تغذیه‌ی سلول است. اما با کاهش منبع تغذیه، حساسیت سلول ۶ ترانزیستوری بیشتر می‌شود [۳،۲] و پایداری و مقاومت سلول در برابر خطای نرم کاهش می‌یابد. همانطور که در [۴] بیان شده، سلول ۶ ترانزیستوری استاندارد در ولتاژهای تغذیه‌ی کمتر از ۷۰۰ میلی ولت در برابر نویز بسیار ناپایدار است.

به‌منظور طراحی سلول SRAM ای که بتواند در ولتاژهای تغذیه ی پایین به درستی کار کند، سلول‌های مختلفی ارائه شده است. سلول ۷ ترانزیستوری پیشنهاد شده در [۳] از دو مسیر جدا برای عملیات خواندن و نوشتن و از یک ترانزیستور به منظور فیدبک داخلی سلول استفاده می‌کند. جداسازی مسیرها، منجر به مقیاس‌بندی مناسب‌تر ترانزیستورهای دسترسی و تضعیف فیدبک، منجر به بهبود عملیات نوشتن در ولتاژهای پایین می‌شود. در این سلول، استفاده از دو مسیر جدا، پایداری مد خواندن را تا حدودی بهبود بخشده است. اگر چه عملکرد این سلول در ناحیه‌ی زیر آستانه، نسبت به سلول SRAM ۶ ترانزیستوری بهبود یافته است اما با این وجود پایداری مد خواندن این سلول هنوز فاصله‌ی بسیار زیادی با حالت ایده‌آل دارد (در طراحی‌ها سعی می‌شود که طراحی طوری صورت گیرد که پایداری مد خواندن تقریبا با پایداری مد نگهداری برابر شود). همچنین این سلول در مسیر خواندن، دارای نشتی وابسته به داده می‌باشد و با

[۱] Random access memory

www.SID.ir

تاریخ دریافت : ۱۳۹۵/۰۲/۱۷ تاریخ پذیرش : ۱۳۹۵/۱۰/۲۵

Archive of SID

توجه به داده‌ی ذخیره شده در گره‌ی ذخیره‌ی سمت خواندن، جریان نشتی عبوری از ترانزیستور دسترسی خواندن در زمان-هایی که سلول در مد نگهداری و نوشتن قرار دارد تغییر می‌کند و در مدهایی که سلول از مسیر خواندن استفاده نمی‌کند منجر به افزایش توان مصرفی نشتی سلول می‌شود.

در سلول ۱۲ ترانزیستوری پیشنهاد شده در [۴] و ۱۰ ترانزیستوری پیشنهاد شده در [۵] از یک بافر برای جدا کردن گره‌ی ذخیره از ترانزیستور دسترسی خواندن استفاده شده است. با این کار مشکل نشتی وابسته به داده تا حدودی کاهش می‌یابد و پایداری مد خواندن تقریبا برابر با پایداری مد نگهداری می‌شود. در مد نوشتن نیز سلول ۱۲ ترانزیستوری پیشنهاد شده در [۴]با شکستن فیدبک داخلی وارونگرها، عملیات نوشتن را بهبود بخشیده است و سلول ۱۰ ترانزیستوری پیشنهاد شده در [۵] نیز با استفاده از افزایش ولتاژ اعمالی به گیت ترانزیستور دسترسی، عملیات نوشتن قدرتمندی را ارائه داده است. این دو سلول قابلیت پیاده‌سازی در ساختار جایگذاری بیت را دارند. اما این دو سلول مساحت زیادی را اشغال می‌کنند. در نتیجه حافظه‌های تولید شده با این سلول‌ها دارای چگالی کمی خواهد بود. در واقع این دو سلول با ساختار جایگذاری بیت، دارای ویژگی‌های مثبت و عملکرد مناسبی در ناحیه‌ی زیر آستانه، در مدهای خواندن و نوشتن هستند، اما این ویژگی‌های مثبت را به قیمت افزایش مساحت اشغالی کسب کرده‌اند. سلول ۸ ترانزیستوری [۱] همان سلول ۶ ترانزیستوری استاندارد است که یک وارونگر برای افزودن قابلیت استفاده در ساختار جایگذاری بیت به آن اضافه شده است. در نتیجه، در این سلول نیز چالش‌های مربوط به پایداری و مصرف توان، مشاهده می‌شود. بنابراین با توجه به پژوهش‌های انجام شده، هنوز نیاز به سلول SRAM با ساختار جایگذاری بیت، که دارای ویژگی‌های مناسب و ایده‌آل و عملکرد قوی در مدهای مختلف باشد و در عین حال مساحت کمی را نیز اشغال کند محسوس است.

در این مقاله یک سلول ۸ ترانزیستوری جدید با قابلیت عملکرد در ناحیه‌ی زیر آستانه و سازگار با ساختار جایگذاری بیت که ساختاری مقاوم در برابر خطا دارد، ارائه شده است. سلول پیشنهادی عملیات نوشتن را به صورت دیفرانسیلی و عملیات خواندن را به صورت یکطرفه انجام می‌دهد. این سلول در مقایسه با سلول ۶ ترانزیستوری استاندارد و سلول‌های مشابه که در ساختار جایگذاری بیت هستند دارای مصرف توان کمتر و پایداری بالاتر و توانایی نوشتن قوی‌تری می‌باشد و در عین حال نسبت به سلول‌های با ساختار جایگذاری بیت دیگر، که دارای ویژگی‌های مناسبی در ناحیه‌ی زیر آستانه هستند، مساحت کمتری را اشغال می‌کند.

در ادامه، این مقاله در بخش‌های زیر ارائه خواهد شد. در بخش دوم، سلول ۶ ترانزیستوری استاندارد را معرفی می‌کنیم و برخی از مشکلات آن را در ناحیه‌ی زیر آستانه نام می‌بریم. در بخش سوم، سلول ۸ ترانزیستوری پیشنهادی را معرفی کرده و عملکرد آن را در مدهای مختلف بررسی می‌کنیم. نتایج شبیه‌سازی سلول پیشنهادی و سلول‌های تحت مقایسه در بخش چهارم ارائه می-شود. بخش پنجم نیز به جمع‌بندی اختصاص دارد.

سلول ۶ ترانزیستوری استاندارد

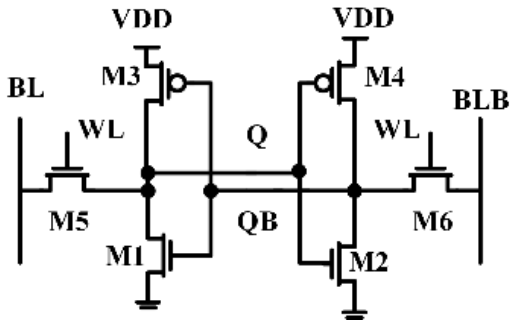
شکل ۱ سلول SRAM ۶ ترانزیستوری استاندارد را نشان می‌دهد. در این شکل M1 و M2 ترانزیستورهای راه‌انداز، M3 و M4 ترانزیستورهای بار و M5 و M6 ترانزیستورهای دسترسی می-باشند. همانطور که قبلا نیز بیان کردیم این سلول مصرف توان بالایی دارد و نیاز است که به این مشکل رسیدگی شود. یکی از راه‌های بسیار موثر برای کاهش مصرف توان، کاهش VDD می-باشد. متاسفانه سلول SRAM ۶ ترانزیستوری استاندارد، در ولتاژهای پایین مخصوصا در ولتاژهای زیر آستانه، عملکرد مناسبی ندارد و با چالش‌های مختلفی مواجه است. برخی از این چالش‌ها عبارتند از تعیین ابعاد ترانزیستورهای دسترسی، کاهش پایداری سلول و کاهش مقاومت سلول در برابر خطای نرم [۶ - ۱۲]. مطابق [۳، ۶] به‌منظور داشتن عملیات خواندن و نوشتن موفق، باید سایز ترانزیستورهای سلول به‌صورت زیر باشد:

ترانزیستوربار < ترانزیستوردسترسی < ترانزیستور راه‌انداز

در ناحیه‌ی زیر آستانه مصالحه بین تعیین ابعاد ترانزیستورها مشکل‌تر می‌شود. مطابق [۷ -۹] با کاهش منبع تغذیه، پایداری سلول به‌ویژه در مد خواندن کاهش یافته و این مسئله باعث می-شود که داده‌ی ذخیره شده در گره‌های Q و QB، به‌دلیل کاهش اثر فیدبک و تغییرات محسوس‌تر ولتاژ آستانه‌ی ترانزیستورهای دسترسی، به راحتی تغییر کند. از مشکلات مهم دیگر این سلول در ولتاژهای پایین، کاهش مقاومت سلول در برابر خطای نرم است. مطابق [۱۰ -۱۲] ذراتی مثل نوترون‌های پرانرژی و کم انرژی پس از برخورد با سیلیکون، منجر به ایجاد ولتاژ گذرا در گره‌های سلول می‌شوند و اگر این گره‌ها، گره‌های ذخیره‌ی Q و QB باشند، اعمال ولتاژ گذرا در این گره‌های حساس، منجر به تغییر داده‌ی ذخیره شده در آن‌ها می‌شود. در ولتاژهای پایین، به‌دلیل کاهش بار بحرانی گره‌های ذخیره (حداقل بار مورد نیاز برای تغییر وضعیت خازن گره‌ها [۶ -۹])، مقاومت سلول در برابر بارهای گذرا کاهش یافته و تخریب داده، راحت‌تر صورت می-گیرد.

www.SID.ir

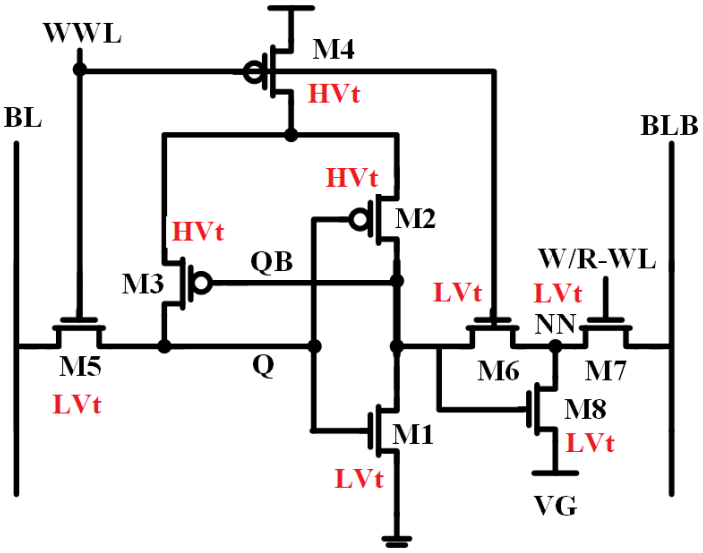
Archive of SID



شکل ۱. سلول SRAM ۶ ترانزیستوری استاندارد

سلول ۸ ترانزیستوری پیشنهادی

شکل ۲ سلول SRAM ۸ ترانزیستوری پیشنهادی را نشان می‌دهد. مسیرهای خواندن و نوشتن این سلول، از هم جدا شده‌اند. در این سلول عملیات نوشتن به صورت دیفرانسیلی و عملیات خواندن به صورت یکطرفه انجام می‌شود. در مد نوشتن، با یک شدن خط کلمه‌ی نوشتن (WWL) ترانزیستورهای دسترسی M5، M6 و M7 روشن شده و داده‌های موجود در خطوط داده BL و BLB به گره‌های Q و QB منتقل می‌شوند. در این مد از ترانزیستور M4 به‌منظور تضعیف ترانزیستورهای M2 و M3 استفاده شده است و از طرفی دیگر به‌منظور کاهش خرابی نوشتن و افزایش جریان نوشتن، از ترانزیستورهای با ولتاژ آستانه‌ی پایین و بالا برای ترانزیستورهای دسترسی نوشتن و ترانزیستورهای بار استفاده شده است. همچنین در این مد، ولتاژ اعمالی به گیت ترانزیستورهای دسترسی به میزان ۱۰۰ میلی ولت افزایش می‌یابد تا قدرت ترانزیستورهای دسترسی نوشتن بیشتر شده و عملیات نوشتن با سرعت و حاشیه‌ی امن‌تری انجام شود. در واقع در این مد، با استفاده از افزایش ولتاژ اعمالی به گیت ترانزیستورهای دسترسی نوشتن و استفاده از ترانزیستورهای با ولتاژ آستانه‌ی پایین و همچنین حذف ترانزیستور راه‌انداز وارونگر سمت چپ، قدرت ترانزیستور دسترسی نوشتن را افزایش داده‌ایم و در عین حال با تضعیف ترانزیستورهای M2 و M3 توسط ترانزیستور M4 و استفاده از ترانزیستورهای با ولتاژ آستانه‌ی بالا، قدرت نگهداری داده را در سلول کاهش داده‌ایم تا ترانزیستورهای دسترسی نوشتن (که قوی نیز شده‌اند) بتوانند راحت‌تر داده‌ی جدید را در گره‌های ذخیره‌ی Q و QB بنویسند. عملیات خواندن از سمت راست سلول و توسط ترانزیستورهای M7 و M8 صورت می‌گیرد. با جداسازی گره‌ی ذخیره‌ی QB از ترانزیستور دسترسی خواندن (M7)، پایداری مد خواندن تقریبا با مد نگهداری برابر می‌شود. در این مد نیز ولتاژ اعمال شده به گیت ترانزیستور دسترسی خواندن M7 به میزان ۱۰۰ میلی ولت افزایش می‌یابد تا عملیات خواندن قوی‌تری را داشته باشیم. در این سلول از زمین مجازی (VG) به‌منظور کاهش نشتی استفاده شده است. در مد خوانش VG برابر صفر می‌شود تا عملیات خواندن به‌درستی صورت گیرد و در مد نگهداری و نوشتن به VDD وصل می‌شود.



شکل ۲. سلول SRAM ۸ ترانزیستوری پیشنهادی

www.SID.ir

Archive of SID

مد نوشتن در سلول ۸ ترانزیستوری پیشنهادی

برای توضیح نحوه‌ی عملکرد سلول در مد نوشتن فرض می‌کنیم گره‌ی Q دارای صفر منطقی و گره‌ی QB دارای یک منطقی است و قرار است طی یک عملیات نوشتن، یک منطقی در سلول نوشته شود. بدین منظور، یک منطقی توسط مدارات جانبی نوشتن، بر روی BL قرار می‌گیرد و صفر منطقی بر روی BLB قرار می‌گیرد. (با توجه به تئوری ترانزیستورهای MOS، می‌دانیم که ترانزیستورهای NMOS مشکلی در عبور صفر منطقی ندارند و ترانزیستورهای PMOS هم مشکلی در عبور یک منطقی ندارند) سپس پایه‌های مربوط به خط کلمه‌ی نوشتن یعنی WWL و W/R-WL مقدار "منبع تغذیه+۰/۱ولت" را دریافت می‌کنند و ترانزیستورهای دسترسی M5، M6 و M7 روشن می‌شوند و ترانزیستور M4 خاموش می‌شود. البته چون سلول در ناحیه‌ی زیر آستانه طراحی شده است همه‌ی ترانزیستورها خاموش هستند و منظور از عبارت‌های روشن و خاموشی که برای ترانزیستورها بکار می‌بریم این است که ترانزیستوری که روشن است دارای جریان بیشتر و ترانزیستوری که خاموش است دارای جریان کمتری است. با تضعیف ترانزیستورهای M2 و M3 توسط ترانزیستور M4 و قوی‌تر شدن ترانزیستورهای دسترسی نوشتن با ولتاژ آستانه‌ی پایین توسط افزایش ولتاژ اعمالی به گیت، ترانزیستورهای دسترسی نوشتن با قدرت بالا به ترانزیستورهای بار غلبه کرده و اطلاعات جدید موجود بر روی خطوط داده‌ی BL و BLB را به گره‌های ذخیره‌ی Q و QB منتقل می‌کنند. در واقع با روشن شدن ترانزیستورهای دسترسی نوشتن، M5، M6 و M7، صفر منطقی توسط ترانزیستورهای M6 و M7 به گره‌ی QB منتقل می‌شود و همزمان با این کار در طرف دیگر یک منطقی نیز از طریق M5 به گره‌ی Q منتقل می‌شود. در واقع عملیات نوشتن صفر و یک منطقی همانند سلول ۶ ترانزیستوری استاندارد صورت می‌گیرد با این تفاوت که در سلول پیشنهادی به‌منظور عملیات نوشتن قوی‌تر، ترانزیستورهای PMOS توسط ترانزیستور M4 ضعیف شده‌اند و این تا حدودی تاخیر و تضیف ایجاد شده توسط ترانزیستور سری را جبران می‌کند از طرفی دیگر ولتاژ اعمالی به گیت ترانزیستورهای دسترسی نوشتن به اندازه‌ی ۱۰۰ میلی ولت افزایش یافته است تا ترانزیستورهای سری، عملیات نوشتن موفق‌تر و سریع‌تری را انجام دهند.

حال فرض کنید در گره‌ی Q، یک منطقی و در گره‌ی QB، صفر منطقی ذخیره شده است و قرار است طی یک عملیات نوشتن، صفر منطقی در سلول نوشته شود. بدین منظور صفر روی BL قرار می‌گیرد و یک منطقی روی BLB قرار می‌گیرد. با روشن شدن ترانزیستورهای دسترسی M5، M6 و M7، صفر منطقی به راحتی از طریق M5 به گره‌ی Q منتقل شده و QB نیز طی این عملیات به مقدار یک منطقی فلیپ می‌کند. درست است که دو ترانزیستور سری M6 و M7 ، یک منطقی را ضعیف عبور می‌دهند. اما از سمت چپ و با نوشته شدن صفر منطقی در گره‌ی Q، گره‌ی QB دارای یک منطقی ایده‌الی می‌شود. در این مد VG دارای مقدار VDD است. مقادیر گره‌های سلول ۸ ترانزیستوری پیشنهادی در مد نوشتن در جدول ۱ ارائه شده است.

جدول ۱. مقادیر گره‌های سلول پیشنهادی در مد نوشتن (ولت)

مد	BL	BLB	WWL	W/R-WL	VG
نوشتن	داده	داده	+ ۰/۱ VDD	VDD + ۰/۱	VDD

مد خواندن سلول ۸ ترانزیستوری پیشنهادی

فرض کنیم در مد خواندن گره‌ی Q سلول پیشنهادی دارای صفر منطقی و گره‌ی QB دارای یک منطقی است. در این مد، خط داده‌ی BLB به مقدار VDD پیش شارژ می‌شود و به گره‌های VG و WWL صفر منطقی و به W/R-WL مقدار "منبع تغذیه+۰/۱ولت" اعمال می‌شود. با این مقادیر ترانزیستورهای دسترسی M5 و M6 خاموش می‌شوند و ترانزیستور M7 روشن می‌شود و از طرفی چون گره‌ی QB دارای یک منطقی است ترانزیستور M8 نیز روشن می‌شود و خازن خط BLB توسط ترانزیستورهای M7 و M8 تخلیه می‌شود و بدین صورت داده‌ی صفر ذخیره شده در گره‌ی Q به خط BLB منتقل می‌شود. حال فرض کنیم که در سلول پیشنهادی گره‌ی Q دارای یک منطقی و گره‌ی QB دارای صفر منطقی است. با این مقادیر، ترانزیستور M8 خاموش می‌شود و خازن خط BLB در همان مقدار VDD ای که از قبل به آن پیش شارژ شده بود باقی می‌ماند و بدین صورت یک منطقی موجود در گره‌ی Q به خط BLB منتقل شده و سپس از آنجا به مدارهای خروجی انتقال می‌یابد. مقادیر ولتاژ گره‌های سلول پیشنهادی در مد خواندن در جدول ۲ ارائه شده است.

جدول ۲. مقادیر گره‌های سلول پیشنهادی را در مد خواندن (ولت)

گره‌ها	BL	BLB	WWL	W/R-WL	VG
QB =۰	۰	VDD	۰	VDD + ۰/۱	۰
QB=VDD	۰	۰	۰	VDD + ۰/۱	۰

www.SID.ir

Archive of SID

مد نگهداری سلول ۸ ترانزیستوری پیشنهادی

هنگامی‌که سلول در مد نگهداری قرار می‌گیرد، WWL و W/R-WL دارای مقدار صفر می‌شوند در نتیجه ترانزیستورهای دسترسی خاموش می‌شوند و ترانزیستور M4 روشن می‌شود. با روشن شدن ترانزیستور M4 قدرت نگهداری سلول حفظ می‌شود و مقادیر گره‌های ذخیره‌ی Q و QB تا زمانی‌که VDD وصل است در سلول نگهداری خواهند شد. در این مد، به‌منظور کاهش نشتی و در نتیجه کاهش توان مصرفی، VG توسط مدار کنترلی به مقدار VDD وصل می‌شود. خط داده‌ی BLB نیز به منظور عملیات خواندن بعدی، به مقدار VDD پیش شارژ می‌شود. در سلول ۸ ترانزیستوری پیشنهادی، به‌منظور کاهش مصرف توان، کاهش مساحت اشغالی و عملیات نوشتن موفق‌تر، ترانزیستور درایور وارونگر سمت چپ حذف شده است. حال به‌منظور نگهداری مقدار صفر در گره‌ی ذخیره‌ی Q، خط BL به مقدار صفر وصل می‌شود. از طرفی دیگر، ترانزیستورهای بار نیز دارای حداقل سایز ممکن و با ولتاژ آستانه‌ی بالا هستند. در واقع با استفاده از ترانزیستورهای چند آستانه‌ای و اتصال خط BL به زمین، داده‌ی صفر قوی‌تری را می‌توان در گره‌ی ذخیره‌ی Qداشت. مقادیر گره‌های سلول ۸ ترانزیستوری پیشنهادی در مد نگهداری در جدول ۳ ارائه شده است. قابل ذکر است که سلول پیشنهادی به منظور مقابله با خطای نرم، قابلیت پیاده‌سازی در ساختار جایگذاری بیت را دارد و بنابراین مانند بقیه‌ی سلول‌های سازگار با این ساختار، در صورت وقوع خطای نرم و جهش‌های ناخواسته در گره‌های ذخیره، با طرح تصحیح خطای تک بیتی قابل اصلاح است.

جدول ۳. مقادیر گره‌های سلول پیشنهادی در مد نگهداری (ولت)

مد	BL	BLB	WWL	W/R-WL	VG
نگهداری	۰	VDD	۰	۰	VDD

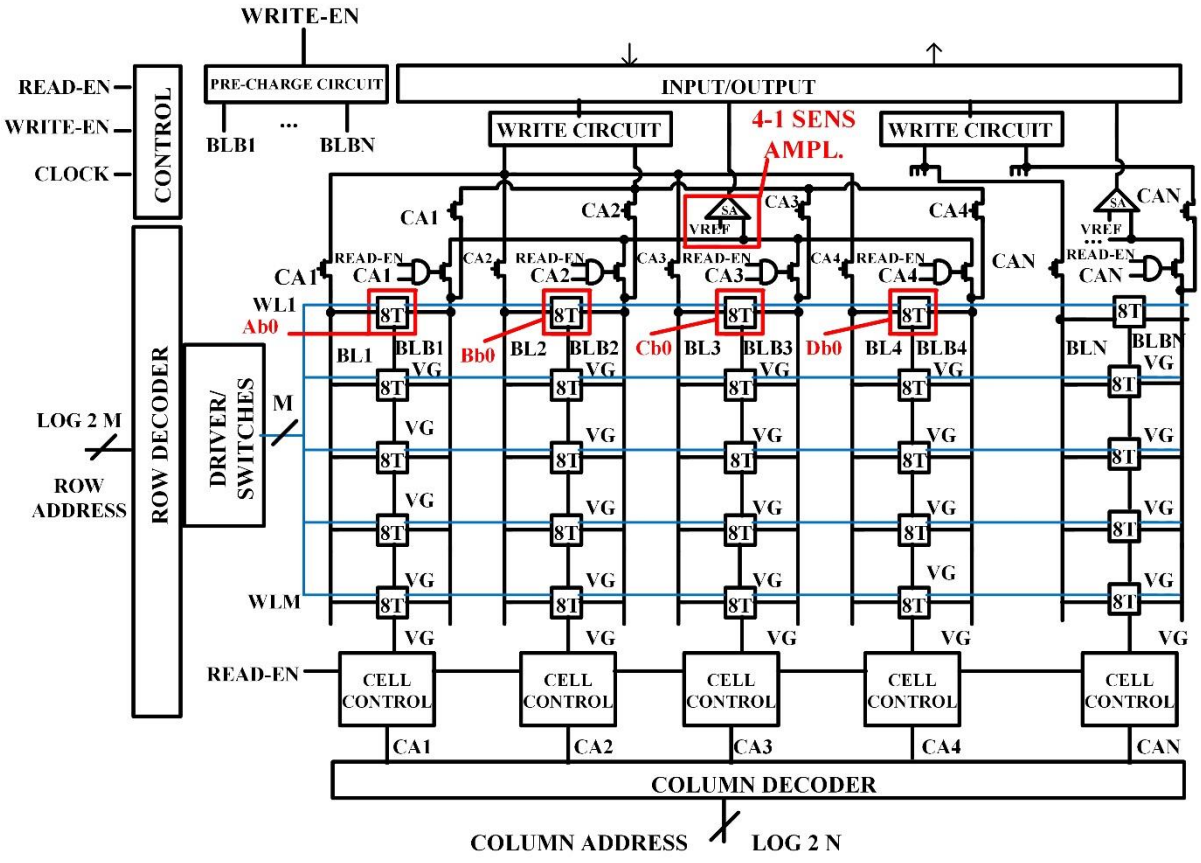
بلوک کلی حافظه‌ی SRAM برای سلول ۸ ترانزیستوری پیشنهادی

شکل ۳ معماری کلی حافظه‌ی SRAM را برای سلول ۸ ترانزیستوری پیشنهاد شده و برای یک حافظه‌ی با ساختار جایگذاری بیت ۴ به ۱، نشان می‌دهد. فرض کنید که چهار کلمه به نام‌های A، B، C و D داریم. در ساختار جایگذاری بیت، بیت صفرم کلمات در کنار یکدیگر و بیت یکم کلمات در کنار یکدیگر و الی آخر، قرار می‌گیرند. در شکل ۳، بیت‌های صفرم کلمات A تا D را با عبارت‌های Ab0 تا Db0 نام‌گذاری شده و در کادر قرمز نشان داده شده‌اند. همچنین مطابق شکل در این ساختار برای هر ۴ ستون، به‌طور مشترک از یک تقویت کننده‌ی سنجش (SA) و مدارات جانبی نوشتن استفاده شده است. هنگام خواندن اطلاعات یک کلمه، تقویت کننده‌ی صفرم، بیت صفرم کلمه‌ی مربوطه را به خروجی منتقل می‌کند و تقویت کننده‌ی یکم نیز بیت یکم و الی آخر. هنگام نوشتن اطلاعات در سلول نیز، مدار نوشتن صفرم، بیت صفرم کلمه‌ی مربوطه را به سلول منتقل می‌کند و مدار نوشتن اول نیز بیت اول و الی آخر. به این ترتیب، این ساختار یک آرایه‌ی ۴ به ۱ را نشان می‌دهد. چیدمان سلول‌ها به این شکل، هم تصحیح خطای ایجاد شده توسط خطای نرم را آسان‌تر می‌کند و هم به دلیل اشتراک مدارات جانبی، سطح مساحت اشغال شده توسط تراشه را کاهش می‌دهد. در این ساختار، برای آدرس‌دهی ردیفی و ستونی از دیکودر ردیفی و ستونی، و به‌منظور تقویت سیگنال خوانده شده از تقویت‌کننده‌ی سنجش (SA) استفاده می‌شود. مطابق شکل ۳، مدار کنترلی مربوط به VG و خطوط WL برای مجموعه‌ای از سلول‌های موجود در یک ستون و ردیف، به‌طور مشترک استفاده می‌شود. همچنین در این ساختار از مدارات تقویت‌کننده‌ی سنجش و مدارات نوشتن نیز برای مجموعه‌ای از سلول‌ها به‌طور مشترک استفاده می‌شود. شکل ۴ توضیحات بیشتری را در خصوص نحوه‌ی عملکرد این ساختار ارائه می‌کند. در این شکل حافظه در مد نوشتن قرار گرفته است (WRITE-EN="1") و قرار است طی یک عملیات نوشتن، داده‌های جدیدی که توسط مدارات نوشتن، در سلول شماره‌ی ۱ نوشته شود. بدین منظور، WWL1، W/R-WL1 و آدرس ستونی ۱ (CA1) مقادیر بالا را توسط دیکودرهای ردیفی و ستونی دریافت می‌کنند و VG نیز توسط مدار کنترلی به مقدار بالا وصل می‌شود. به‌دلیل اینکه READ-EN="0" است، ترانزیستور N3 خاموش است و ترانزیستورهای N1 و N2 توسط CA1 روشن می‌شوند و داده‌های جدید از طریق این ترانزیستورها، به خطوط BL1 و BLB1 منتقل می‌شوند. بعد از روشن شدن ترانزیستورهای دسترسی توسط WWL1 و W/R-WL1، عملیات نوشتن در سلول صورت می‌گیرد و داده‌های موجود بر روی خطوط BL1 و BLB1 به گره‌های Q1 و QB1 منتقل می‌شوند. در این شرایط، مقادیر گره‌های سلول شماره‌ی ۱ (سلول انتخاب شده) مطابق جدول ۱ است. در این ساختار به‌منظور جلوگیری از تخریب داده‌ی ذخیره شده در گره‌ی Q مربوط به سلول‌هایی که انتخاب ناقص شده‌اند، خط BL ستون‌هایی که توسط دیکودر ستونی آدرس‌دهی نشده‌اند، شناور می‌شوند. به طور مثال ستون دوم را در نظر بگیرید. در این ستون، خط BL به‌دلیل خاموش بودن ترانزیستور N4 توسط CA2 و خاموش بودن ترانزیستور NS توسط اینورتر متصل به گیت آن، شناور می‌شود و این مانع از تغییر داده‌ی ذخیره شده در گره‌های Q سلول‌های موجود در ردیف اول می‌شود (سلول‌هایی که

www.SID.ir

Archive of SID

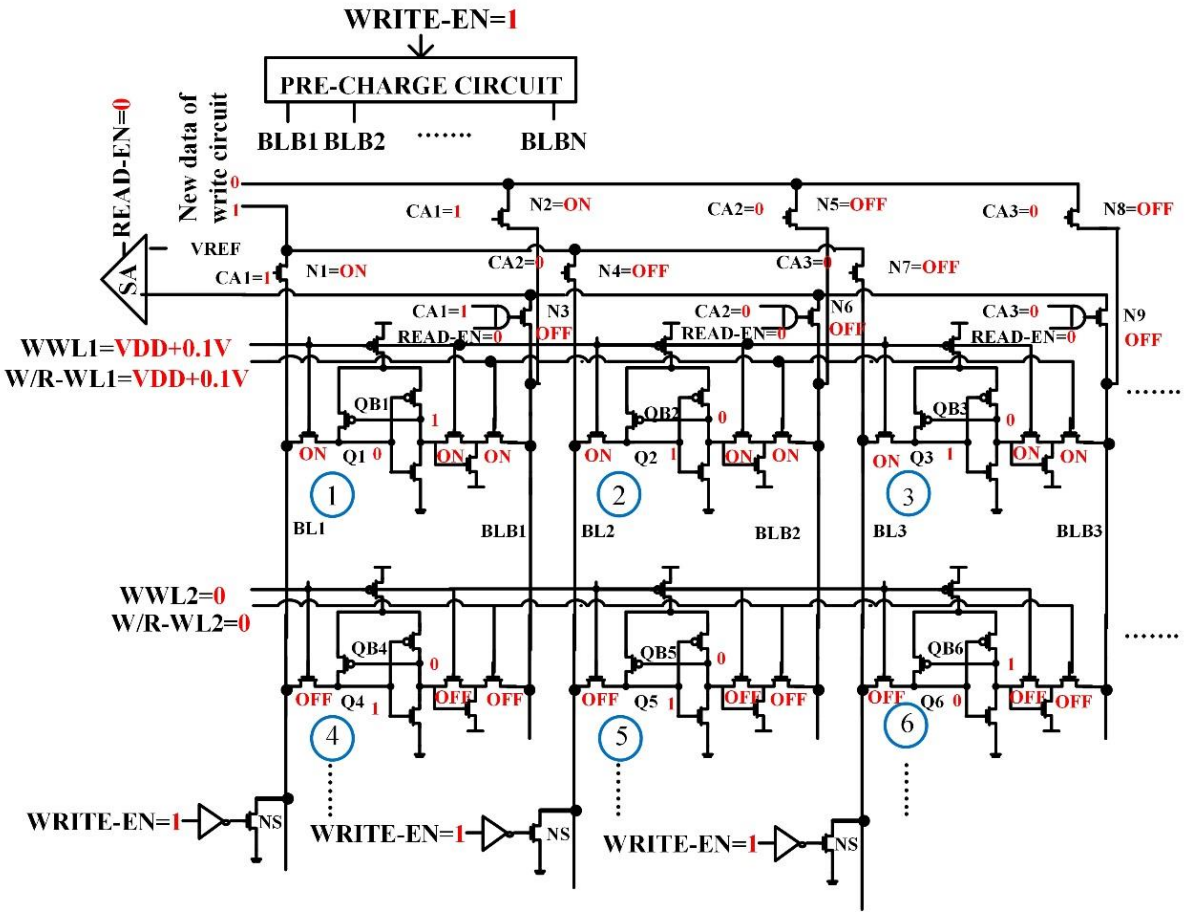
انتخاب ناقص شده‌اند). در سلول شماره‌ی یک (سلول موجود در ستون اول که انتخاب کامل شده است)، به‌دلیل روشن بودن ترانزیستور N1 توسط CA1، داده‌ی جدید به خط BL1 منتقل می‌شود و سپس از طریق ترانزیستور دسترسی نوشتن، وارد گره-ی Q1 می شود. شکل‌های ۵ و ۶ شکل موج مربوط به گره‌های سلول انتخاب شده ۸ ترانزیستوری پیشنهادی را در ولتاژ تغذیه‌ی ۰/۳ ولت، برای نوشتن صفر و یک منطقی نشان می‌دهد. نتایج شکل ۵ با فرض آنکه گره‌ی ذخیره‌ی Q دارای یک منطقی است و قرار است طی عملیات نوشتن جدید، یک صفر منطقی در سلول نوشته شود، به دست آمده است. شکل ۶ نیز شکل موج گره‌های سلول انتخاب شده را برای نوشتن یک منطقی در ولتاژ ۰/۳ ولت نشان می‌دهد. در این حالت فرض شده که گره ذخیره‌ی Q دارای صفر منطقی است و قرار است طی عملیات نوشتن جدید، یک منطقی در سلول نوشته شود. حال فرض کنید که حافظه در مد خواندن قرار دارد (READ-EN="1") و قرار است طی یک عملیات خواندن، داده‌ی موجود در گره‌ی QB به پورت خروجی منتقل شود. بدین منظورW/R-WL و آدرس ستونی (CA) مربوطه مقادیر بالا را توسط دیکودرهای ردیفی و ستونی دریافت می‌کنند و VG نیز توسط مدار کنترلی مربوط به ستون آدرس-دهی شده، به مقدار پایین وصل می‌شود. پس از روشن شدن ترانزیستور دسترسی خواندن توسط W/R-WL، خازن BLB که از قبل، توسط مدارات پیش‌شارژ، به مقدار VDD پیش‌شارژ شده بود (با توجه به داده‌ی ذخیره شده در گره‌ی QB که در این مثال برابر یک منطقی است) تخلیه شده و دارای صفر منطقی می‌شود. این صفر، توسط تقویت کننده‌ی سنجش تقویت شده و به پورت خروجی منتقل می‌شود. اگر داده‌ی ذخیره شده در گره‌ی QB، صفر منطقی باشد، خازن BLB تخلیه نمی‌شود و در همان مقداری که از قبل به آن پیش‌شارژ شده است، باقی می‌ماند و همین مقدار به‌منظور یک منطقی به پورت خروجی ارسال می-شود. در این مد، مقدار گره‌ها برای سلول انتخاب شده، مطابق جدول ۲ می‌باشد و شکل موج مربوط به گره‌های سلول انتخاب شده در ولتاژ تغذیه‌ی ۰/۴ ولت که حداقل ولتاژ خواندن سلول است، نیز در شکل ۷ ارائه شده است. در شکل ۷ شبیه‌سازی با فرض آنکه گره‌ی ذخیره‌ی Q دارای صفر منطقی است، انجام شده است (بدترین حالت برای خواندن اطلاعات). با روشن شدن ترانزیستور دسترسی خواندن M7 توسط W/R-WL، خازن خط BLB تخلیه می‌شود (صفر منطقی خوانده می‌شود) و با صفر شدن W/R-WL، خازن BLB به مقدار VDD پیش شارژ می‌شود تا برای عملیات خواندن بعدی آماده شود.



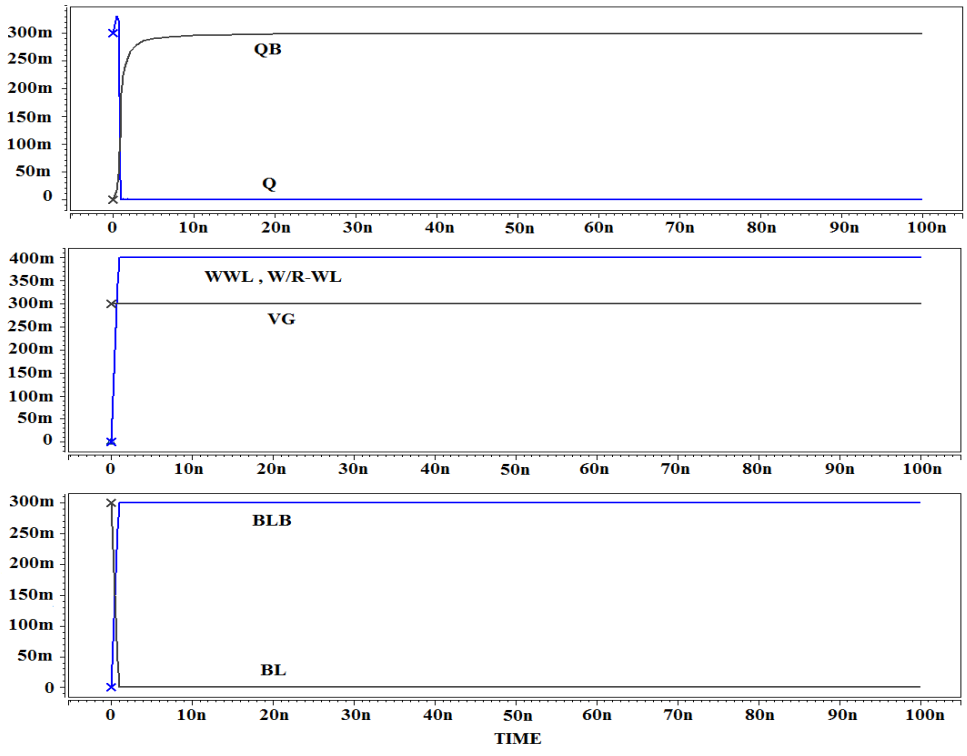
شکل ۳. معماری کلی حافظه‌ی SRAM برای سلول ۸ ترانزیستوری پیشنهادی

www.SID.ir

Archive of SID



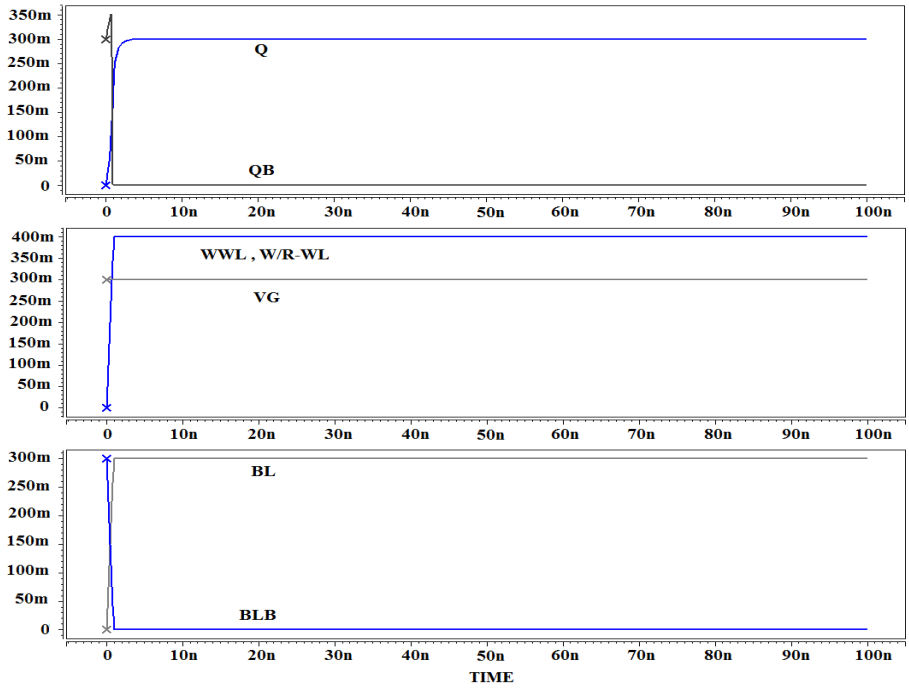
شکل ۴. معماری حافظه‌ی SRAM برای سلول ۸ ترانزیستوری پیشنهادی در مد نوشتن



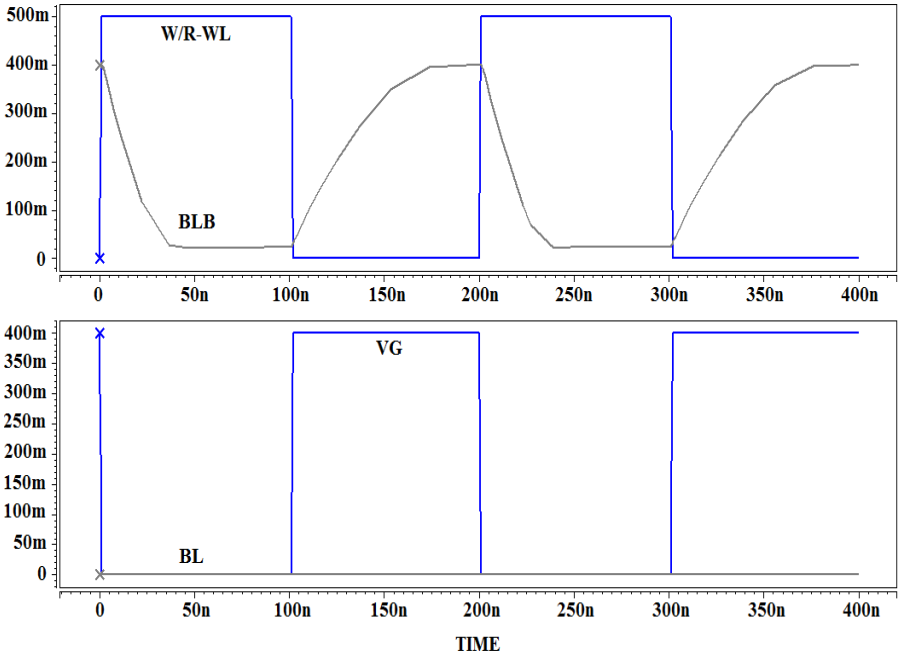
شکل ۵. شکل موج گره‌های سلول انتخاب شده، برای نوشتن صفر منطقی در تغذیه‌ی ۰/۳ ولت

www.SID.ir

Archive of SID



شکل ۶. شکل موج گره‌های سلول انتخاب شده، برای نوشتن یک منطقی در تغذیه‌ی ۰/۳ ولت



شکل ۷. شکل موج گره‌های سلول انتخاب شده، برای خواندن صفر منطقی در تغذیه‌ی ۰/۴ ولت

نتایج شبیه‌سازی‌ها

در این بخش سلول ۸ ترانزیستوری پیشنهاد شده و سلول ۶ ترانزیستوری استاندارد و سلول‌های ۸، ۷، ۱۰، ۱۲ ترانزیستوری که قابل اجرا در ساختار جایگذاری بیت هستند با نرم افزار HSPICE و در تکنولوژی ۳۲ نانومتر PTM و در دمای ۲۵ درجه-ی سانتی گراد شبیه‌سازی شده‌اند و مصرف توان، پایداری و تاخیر این سلول‌ها با هم مقایسه شده است. در ادامه به‌منظور اشاره به سلول ۸ ترانزیستوری پیشنهادی از عبارت 8T استفاده می‌کنیم و برای اشاره به سلول ۶ ترانزیستوری استاندارد و سلول‌های

www.SID.ir

Archive of SID

پیشنهاد شده در [۱] و [۵-۳]به‌ترتیب از عبارات ۶T ،۱- ۸T ، ۷T ، ۱۲T و ۱۰T استفاده خواهیم کرد.

مصرف توان

جداول ۴ تا ۶ مصرف توان مدهای نوشتن، خواندن و نگهداری سلول‌های مختلف را در VDDهای مختلف نشان می‌دهند. در مد خواندن و نوشتن، مصرف توان در بازه‌ی ۰ تا ۶۰۰ نانوثانیه با فرکانس ۱۰ مگاهرتز (برای خطوط کلمه WL) برای Q="0" و QB="1" و برعکس اندازه‌گیری شده است همچنین در مد نوشتن، داده‌ی موجود بر روی خطوط BL و BLB دارای فرکانس ۱۰ مگاهرتز می‌باشد. همانطور که مشاهده می‌کنید توان مصرفی سلول پیشنهادی در مد نوشتن، به دلیل تضعیف فیدبک داخلی وارونگرها و حذف ترانزیستور راه‌انداز وارونگر سمت چپ، نسبت به سلول‌های دیگر کمتر است. علاوه بر این، مصرف توان سلول پیشنهاد شده در مدهای خواندن و نگهداری نیز بهینه است. همانطور که مشاهده می‌کنید، توان مصرفی مد خواندن سلول پیشنهادی تفاوت بسیاری با توان مصرفی مد خواندن سلول‌های ۶T ، ۱۲T ،۱۰T و ۱- ۸T دارد. این تفاوت مصرف توان به این دلیل است که عملیات خواندن در سلول پیشنهادی به صورت یکطرفه انجام می‌شود در حالی‌که در سلول‌های ۶T ، ۱۲T و ۱۰T و ۱- ۸T به‌صورت دیفرانسیلی انجام می‌شود. در صورتی که عملیات خواندن به‌صورت دیفرانسیلی انجام شود همیشه خازن یکی از خطوط BL و BLB به‌منظور خواندن داده‌ی صفر از سلول، تخلیه خواهد شد که این منجر به افزایش مصرف توان مد خواندن در سلول‌های دیفرانسیلی می‌شود. در حالی‌که در سلول پیشنهادی فقط در زمان‌هایی که داده‌ی ذخیره شده در سلول صفر است (زمانی‌که گره‌ی Q برابر صفر است) خازن BLB تخلیه می‌شود. از طرفی دیگر حذف ترانزیستور راه‌انداز سمت چپ و استفاده از زمین مجازی در طراحی سلول منجر به کاهش مصرف توان مد نگهداری سلول پیشنهادی شده است.

جدول ۴. مصرف توان سلول‌ها در منبع تغذیه‌ی ۰/۲ ولت (نانو وات)

مد	۶T	۷T	۸T	۱۰T	۱۲T	۸T -۱
نوشتن	۰/۷	۰/۰۹	۰/۰۲۵	۰/۰۹	۰/۱	۰/۷۳
خواندن	۲	۰/۱۳۷	۰/۱۱	۰/۲۶	۰/۳	۲/۴
نگهداری	۰/۱۱	۰/۰۲۵	۰/۰۰۶	۰/۰۱	۰/۰۹	۰/۱۳

جدول ۵. مصرف توان سلول‌ها در منبع تغذیه‌ی ۰/۳ ولت (نانو وات)

مد	۶T	۷T	۸T	۱۰T	۱۲T	۸T -۱
نوشتن	۱	۰/۶	۰/۲	۰/۳۹	۰/۴۵	۱/۲
خواندن	۳۴/۹۲	۲/۴	۲/۳	۴/۹۹	۶/۳	۳۵/۳
نگهداری	۰/۲۱	۰/۰۵۲	۰/۰۱۲	۰/۰۲	۰/۳	۰/۲۵

جدول ۶. مصرف توان سلول‌ها در منبع تغذیه‌ی ۰/۴ ولت (نانو وات)

مد	۶T	۷T	۸T	۱۰T	۱۲T	۸T -۱
نوشتن	۲	۱/۲۲	۰/۴	۰/۷۷۸	۰/۹	۲/۶
خواندن	۳۵۳	۲۷/۱	۲۶/۳	۵۹/۲	۷۸/۶	۳۵۷/۸
نگهداری	۰/۳۵۷	۰/۰۹۳	۰/۰۲	۰/۰۴	۰/۵	۰/۴۳

پایداری

پایداری سلول SRAM در مدهای مختلف بررسی می‌شود. به‌منظور بررسی پایداری سلول SRAM در مدهای خواندن و نگهداری از حاشیه‌ی نویز استاتیکی[۲] استفاده می‌شود. SNM حداقل ولتاژ نویز DC لازم برای تغییر وضعیت سلول است [۱۳،۷]. برای محاسبه‌ی SNM از نمودار پروانه‌ای سلول SRAM استفاده می‌شود. برای به‌دست آوردن نمودار پروانه‌ای سلول، کافی است منحنی VTC دو وارونگر را در یک نمودار ترسیم کنیم. پس از ترسیم منحنی‌ها، شکل حاصل، شبیه به یک پروانه می‌شود. از بین دوبال پروانه، بالی را که کوچک‌تر از دیگری است پیدا می‌کنیم، سپس سعی می‌کنیم بزرگ‌ترین مربع موجود در بال مربوطه را پیدا کنیم. ضلع این مربع برابر با SNM است. حال اگر نمودار پروانه‌ای را در مد نگهداری به‌دست آوریم و ضلع بزرگ‌ترین مربع بال کوچک‌تر را بیابیم، SNM نگهداری (HSNM) را محاسبه کرده‌ایم و اگر نمودار پروانه‌ای را در مد خواندن به‌دست آورده و ضلع بزرگ‌ترین مربع بال کوچک‌تر را پیدا کنیم SNM خواندن (RSNM) را محاسبه کرده‌ایم. اشکال ۸ و ۹ نمودار پروانه‌ای سلول پیشنهادی را به ترتیب در مدهای نگهداری و خواندن نشان می‌دهد و اشکال ۱۰ و ۱۱ نیز نمودار پروانه‌ای سلول ۶T را به‌ترتیب در مدهای نگهداری و خواندن در تغذیه‌ی ۰/۳ ولت نشان می‌دهند. نمودارها با ۱۰۰۰ نمونه شبیه‌سازی مونت کارلو برای مدل کردن تغییرات ۵ درصدی فرآیند شامل تغییرات ضخامت اکسید گیت، طول کانال و ولتاژ آستانه، در دمای ۲۵ درجه‌ی سانتی‌گراد و با سیگما ۳ و نوع توزیع گوسین به‌دست آمده‌اند. همان‌طور که مشاهده می‌کنید SNM

[۲] Static noise margin (SNM)

www.SID.ir

Archive of SID

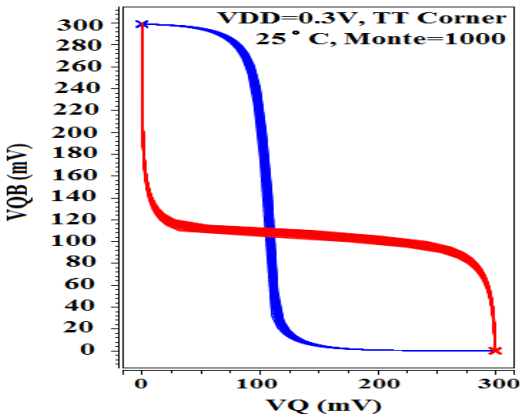
مد خواندن سلول پیشنهادی (RSNM) تقریبا با SNM مد نگهداری (HSNM) برابر است و این به‌دلیل جدا کردن گره‌ی ذخیره‌ی QB از ترانزیستور دسترسی خواندن (M7) توسط ترانزیستور M8 است. اما همانطور که قبلا نیز اشاره کردیم پایداری مد خواندن سلول ۶T، در ولتاژهای تغذیه‌ی کم (در ولتاژهای کمتر از ۰/۷ ولت) بسیار کاهش می‌یابد. RSNM کوچک سلول ۶T در شکل ۱۱، گویای این مسئله است. HSNM و RSNM سلول‌های دیگر، در تغذیه‌های ۰/۵ و ۰/۴ ولت در جداول ۷ و ۸ ارائه شده‌اند.

جدول ۷. HSNM و RSNM سلول‌ها در منبع تغذیه‌ی ۰/۵ ولت (میلی ولت)

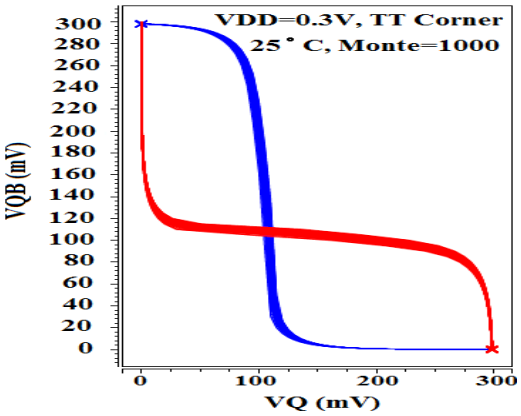
مد	۶T	۷T	۸T	۱۰T	۱۲T	۸T -۱
HSNM	۱۷۵	۱۶۰	۱۹۰	۱۸۵	۱۵۵	۱۷۵
RSNM	۶۸	۹۰	۱۸۶	۱۸۰	۱۵۰	۶۸/۵

جدول ۸. HSNM و RSNM سلول‌ها در منبع تغذیه‌ی ۰/۴ ولت (میلی ولت)

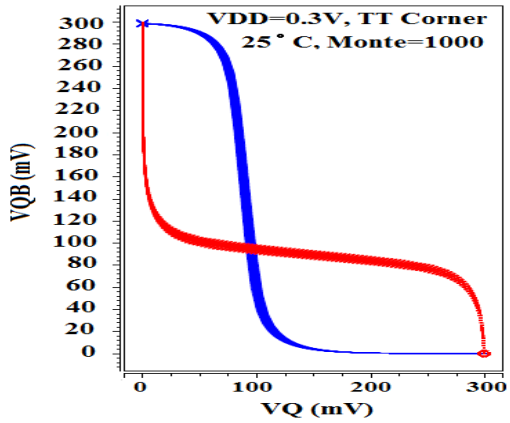
مد	۶T	۷T	۸T	۱۰T	۱۲T	۸T -۱
HSNM	۱۳۰	۱۱۰	۱۳۹	۱۳۵	۱۳۵	۱۳۰
RSNM	۳۰	۸۵	۱۳۵	۱۳۲	۱۲۵	۳۰



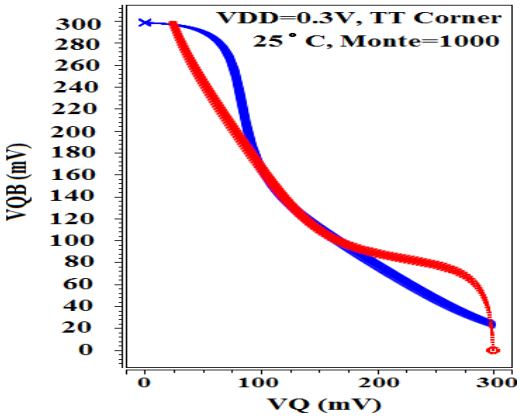
شکل ۸ HSNM سلول پیشنهادی در تغذیه‌ی ۰/۳ ولت



شکل ۹ RSNM سلول پیشنهادی در تغذیه‌ی ۰/۳ ولت



شکل ۱۰ HSNM سلول ۶T در تغذیه‌ی ۰/۳ ولت



شکل ۱۱. RSNM سلول ۶T در تغذیه‌ی ۰/۳ ولت

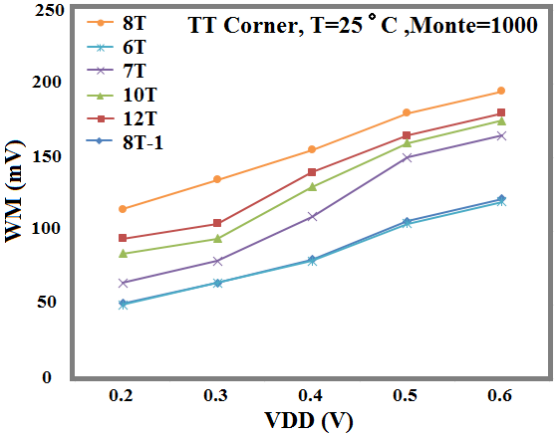
به‌منظور بررسی میزان توانایی نوشتن در یک سلول، و یا بررسی میزان موفقیت یک سلول در عملیات نوشتن، از عبارت حاشیه‌ی نوشتن[۳] استفاده می‌شود. ما برای محاسبه‌ی WM سلول پیشنهادی و سلول‌های دیگر، از روش دوم ارائه شده در [۱۴] استفاده کرده‌ایم که نسبت به روش‌های دیگر متداول‌تر است. در این روش، برای به‌دست آوردن WM، سلول را در حالت نوشتن

[۳] Write margin (WM)

www.SID.ir

Archive of SID

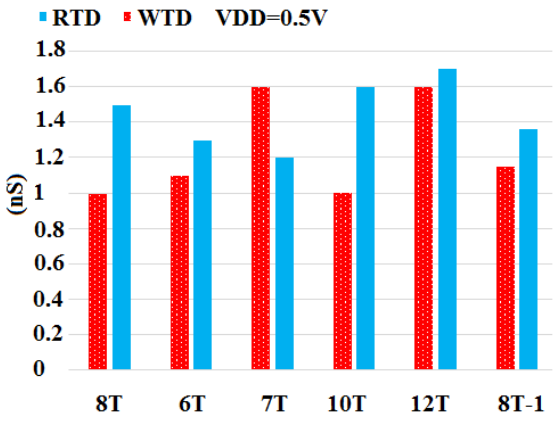
قرار می‌دهیم. سپس یکی از خطوط BL را به مقدار VDD پیش-شارژ می‌کنیم و با تغییر دادن مقدار خط BL دیگر (خط BLای که گره‌ی ذخیره‌ی سمت آن دارای یک منطقی است) محل برخورد Q و QB را به‌دست می‌آوریم این نقطه برابر با WM است. شکل ۱۲، WM سلول‌ها را در VDDهای مختلف نشان می‌دهد. این شبیه‌سازی در حضور ۱۰۰۰ نمونه شبیه‌سازی مونت کارلو و در دمای ۲۵ درجه‌ی سانتی‌گراد انجام شده است. همانطور که مشاهده می‌کنید، به‌دلیل تضعیف فیدبک داخلی وارونگرها توسط ترانزیستور M4 در مد نوشتن، استفاده از ویژگی افزایش ولتاژ اعمالی به گیت ترانزیستورهای دسترسی و استفاده از ترانزیستورهای چند آستانه‌ای، WM سلول پیشنهادی از سلول‌های دیگر بیشتر است.



شکل ۱۲. WM سلول‌ها در منابع تغذیه‌ی مختلف

تاخیر نوشتن و خواندن

شکل ۱۳ تاخیر زمانی نوشتن[۴] و تاخیر زمانی خواندن[۵] را در تغذیه‌ی ۰/۵ ولت نشان می‌دهد.



شکل ۱۳. WTD و RTD سلول‌ها در منبع تغذیه‌ی ۰/۵ ولت

همانطور که در شکل ۱۳ مشاهده می‌کنید، WTD سلول پیشنهادی و سلول ۱۰T دیفرانسیلی از سلول‌های دیگر کمتر است در نتیجه سرعت اجرای عملیات نوشتن در این سلول‌ها، از سلول‌های دیگر بیشتر است. همچنین RTD سلول پیشنهادی از سلول‌های دیفرانسیلی ۱۰T و ۱۲T کمتر و از سلول دیفرانسیلی ۶T و ۸T-۱ و سلول یکطرفه‌ی ۷T بیشتر است. این سرعت بهتر بواسطه استفاده از تکنیکهای مناسب در طراحی سلول پیشنهادی به دست آمده است. برای محاسبه‌ی تاخیر زمانی نوشتن، سلول را در مد نوشتن قرار می‌دهیم. سپس تفاوت زمانی بین ۵۰٪ خط کلمه‌ی نوشتن (WWL و W/R-WL در سلول پیشنهادی) و زمانی‌که گره‌های Q و QB با هم برابر می‌شوند را محاسبه می‌کنیم. این زمان برابر با WTD است و عکس آن نیز سرعت نوشتن نام دارد. به منظور محاسبه‌ی RTD، سلول را در مد خواندن قرار می‌دهیم. سپس تفاوت زمانی بین فعال شدن خط کلمه‌ی خواندن (W/R-WL در سلول پیشنهادی) و زمانی-که اختلاف ۵۰ میلی ولت بین دو خط داده‌ی BL و BLB در سلول‌های دیفرانسیلی ایجاد می‌شود را محاسبه می‌کنیم این زمان برابر با RTD است و عکس آن سرعت خواندن نام دارد. در سلول‌هایی که عملیات خواندن را یکطرفه انجام می‌دهند مثل سلول پیشنهادی، باید تفاوت زمانی بین فعال شدن خط کلمه‌ی خواندن و زمانی را که اختلاف ۵۰ میلی ولت بین VDD و خط BL خوانش به‌وجود می‌آید را محاسبه کنیم.

چینش سلول ۸ ترانزیستوری پیشنهادی و شبیه‌سازی-های پس از چینش

شکل ۱۴ چینش سلول ۸ ترانزیستوری پیشنهادی را در نرم افزار LEDIT و تکنولوژی ۳۲ نانومتر نشان می‌دهد. در طراحی λ نصف تکنولوژی (۱۶ نانومتر) انتخاب شده است و از مدل‌های HP و LP موجود در [۱۵] برای ترانزیستورهای LVt و HVt استفاده شده است. این ترانزیستورها چینش برابری را با هم دارند زیرا تفاوت آن‌ها در ولتاژ آستانه می‌باشد که تفاوت ولتاژ آستانه نیز مربوط به تابع کاری گیت است. طول سلول λ۶۷ و عرض آن λ۵۵ می‌باشد در نتیجه مساحت اشغال شده توسط سلول $\lambda^2$۳۶۸۵ است که در مقایسه با سلول ۶ ترانزیستوری استاندارد، مساحت اشغالی به میزان ۳۶٪ افزایش یافته است.

جداول ۹، ۱۰ و ۱۱ شبیه‌سازی‌های پس از چینش و قبل از چینش (بدون در نظر گرفتن تغییرات فرآیند) را برای پارامترهای HSNM، RSNM، WM، RTD و WTD در تغذیه-های ۰/۵، ۰/۴ و ۰/۳ ولت نشان می‌دهند. این شبیه‌سازی‌ها پس از استخراج نت لیست از چینش، به‌دست آمده است. همانطور که

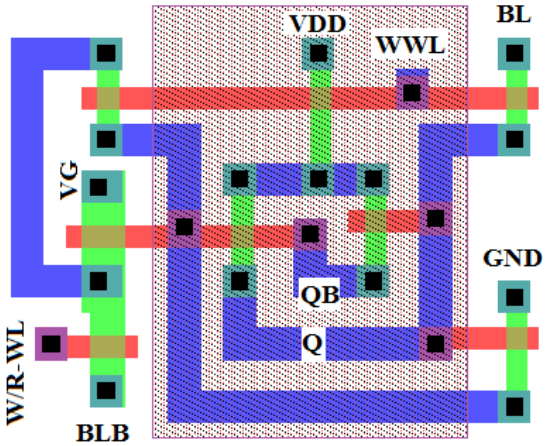
[۴] Write time delay (WTD)

[۵] Read time delay (RTD)

www.SID.ir

Archive of SID

انتظار داشتیم، با اضافه شدن خازن‌های پارازیتی، تاخیر سلول افزایش یافته است و پارامترهای دیگر، اندکی تفاوت، با شبیه-سازی پیش از چینش دارند.



شکل ۱۴ . چینش سلول ۸ ترانزیستوری پیشنهادی

جدول ۹. مقادیر پارامترهای سلول ۸ ترازیستوری پیشنهادی قبل و بعد از چینش در تغذیه‌ی ۰/۵ ولت

پارامترها	HSNM (mV)	RSNM (mV)	WM (mV)	RTD (nS)	WTD (nS)
پیش از چینش	۱۹۸	۱۹۲	۱۸۶	۱/۵	۰/۹۹
پس از چینش	۱۸۶	۱۷۹	۱۷۳	۱/۷۱	۱/۱

جدول ۱۰. مقادیر پارامترهای سلول ۸ ترازیستوری پیشنهادی قبل و بعد از چینش در تغذیه‌ی ۰/۴ ولت

پارامترها	HSNM (mV)	RSNM (mV)	WM (mV)	RTD (nS)	WTD (nS)
پیش از چینش	۱۴۶	۱۴۰	۱۶۴	۷/۵	۱/۴
پس از چینش	۱۳۳	۱۲۷	۱۵۱	۷/۸	۱/۵۲

جدول ۱۱. مقادیر پارامترهای سلول ۸ ترازیستوری پیشنهادی قبل و بعد از چینش در تغذیه‌ی ۰/۳ ولت

پارامترها	HSNM (mV)	RSNM (mV)	WM (mV)	RTD (nS)	WTD (nS)
پیش از چینش	۱۰۳	۹۹	۱۴۳	۱۳/۷	۱/۷
پس از چینش	۸۹	۸۳	۱۲۹	۱۳/۷۸	۱/۸۷

نتیجه‌گیری

در این مقاله یک سلول SRAM ۸ ترانزیستوری جدید با قابلیت اجرای عملیات در ناحیه‌ی زیر آستانه، ارائه شد. سلول پیشنهادی به دلیل اجرای عملیات خواندن یکطرفه، تضعیف فیدبک وارونگرها در مد نوشتن، استفاده از زمین مجازی و حذف ترانزیستور راه‌انداز یکی از وارونگرها، دارای مصرف توان کمتری نسبت به سلول ۶ ترانزیستوری استاندارد و سلول‌های دیگر است. به‌طور مثال، سلول پیشنهادی، در تغذیه‌ی ۰/۳ ولت، مصرف توان مد خواندن را نسبت به سلول ۶ ترانزیستوری استاندارد، ٪۹۳ و مصرف توان مد نوشتن را، ٪۸۰ بهبود می‌بخشد. سلول پیشنهادی به‌دلیل تضعیف فیدبک، استفاده از ویژگی افزایش ولتاژ اعمالی به گیت ترانزیستورهای دسترسی و استفاده از ترانزیستورهای چند آستانه‌ای، دارای مد نوشتن قوی‌تری نسبت به سلول‌های دیگر است این در حالی است که پایداری سلول پیشنهادی نیز در مدهای نگهداری و خواندن، بهینه است. بنابراین در کاربردهایی که نیاز به استفاده از حافظه‌ی با توان مصرفی کم با خواندن و نوشتن قدرتمند، پایداری بالا و مقاوم در برابر خطای نرم است، می‌توان از سلول ۸ ترانزیستوری پیشنهادی استفاده کرد.

مراجع

[1] Do. A. T, Yeo. K. S, Low. J. Y. S, Low. J. Y. S and Kong. Z. H, "An 8T SRAM Cell With Column-based Dynamic Supply Voltage for Bit-interleaving," APCCAS, Kuala Lumpur, pp. 704–707, 2010.

[2] Khayatzadeh. M and Lian. Y, "Average-8T Differential-Sensing Sub threshold SRAM With Bit Interleaving and 1k Bits Per Bitline," IEEE Trans. Very Large Scale Integration (VLSI) Systems, 2013, vol. 22, no. 5, pp. 5971-982.

[3] Pasandi. G and Fakhraie. S. M, "A New Sub-Threshold 7T SRAM Cell Design with Capability of Bit-Interleaving in 90 nm CMOS," 21st ICEE, Mashhad, pp.1–6, 2013.

[4] Chiu. Y. W, Hu. Y. H, Tu. M. H, Zhao. J. K, Chu. Y. H, Jou. S. J and Chuang. C. T, "40 nm Bit-Interleaving 12T Subthreshold SRAM with Data-Aware Write-Assist," IEEE Trans. Circuits and Systems I: Regular Papers, 2014, vol. 61, no. 9, pp. 2578-2585.

[5] Chang. I. k. J, Kim. J. J, Park. S. P and Roy. K, "A 32 kb 10T Sub-Threshold SRAM Array With Bit-Interleaving and Differential Read Scheme in 90 nm CMOS," IEEE Journal of Solid-State Circuits, 2009, vol. 44, no. 2, pp. 650-658.

[6] Bota. S.A, Torrens. G, Verd. J and Segura. J, "Detailed 8-transistor SRAM cell analysis for improved alpha particle radiation hardening in nanometer technologies," Solid-State Electronics, 2015, vol. 111, pp. 104-110.

[7] Alorda. B, Torrens. G, Bota. S and Segura. J, "Adaptive static and dynamic noise margin improvement in minimum-sized 6T-SRAM

www.SID.ir

Archive of SID

cells," Microelectronics Reliability, 2014, vol. 54, no. 11, pp. 2613-2620.

[8] Rosa. F.R, Brum. R.M, Wirth. G, Kastensmidt. F, Ost. L and Reis. R, "Impact of dynamic voltage scaling and thermal factors on SRAM reliability," Microelectronics Reliability, 2015, vol. 55, no. 9-10, pp. 1486-1490.

[9] Torrens. G, Alorda. B, Barcelo. S, Rossello. J. L, Bota. S. A and Segura. J, "Design Hardening of Nanometer SRAMs through Transistor Width Modulation and Multi-Vt Combination," IEEE Trans. Circuits and Systems II: Express Briefs, 2010, vol. 57, no. 4, pp. 280-284.

[10] Baumann. R. C, "Radiation-Induced Soft Errors in Advanced Semiconductor Technologies," IEEE Trans. Device and Materials Reliability, 2005, vol. 5, no. 3, pp. 305-316.

[11] Ibe. E, Taniguchi. H., Yahagi. Y, Shimbo. K. I and Toba. T, "Impact of Scaling on Neutron-Induced Soft Error in SRAMs From a 250 nm to a 22 nm Design Rule," IEEE Trans. Electron Devices, 2010, vol. 57, no. 7, pp. 1527-1538.

[12] Sil. A, Bakkamanthala. S, Karlapudi. S and Bayoumi. M, "Highly Stable, Dual-port, Sub-threshold 7T SRAM Cell for Ultra-low Power Application," NEWCAS, Montreal, QC , pp. 493–496, 2012.

[13] Mostafa. H, Anis. M and Elmasry. M, "Adaptive Body Bias for Reducing the Impacts of NBTI and Process Variations on 6T SRAM Cells," IEEE Trans. Circuits and Systems I: Regular Papers, 2011, vol. 58, no. 12, pp. 2859-2871.

[14] Wang. J, Nalam. S and Calhoun. B. H, "Analyzing Static and Dynamic Write Margin for Nanometer SRAMs," Low Power Electronics and Design (ISLPED), Bangalore, pp. 129–134, 2008.

[15] Predictive Technology Model (PTM) [Online]. Available:(http://www.eas.asu. edu/_PTM/).

www.SID.ir

Archive of SID

www.SID.ir