Archive of SID

طراحی یک سلول جدید بسیار توان پایین SRAM با بهبود حاشیه نویز خواندن

شکوفه نقی‌زاده[1]، محمد غلامی[2]
[1]دانشجوی کارشناسی ارشد معماری کامپیوتر، موسسه آموزش عالی روزبهان
[2]استادیار دانشکده فنی و مهندسی، دانشگاه مازندران، m.gholami@umz.ac.ir

چکیده

امروزه حافظه‌های استاتیک یکی از قسمت‌های مهم مدارات دیجیتال می‌باشند و به علت سرعت و قدرت مناسب، در ساخت پردازنده‌ها، به کارگرفته می‌شوند. همچنین از حافظه‌های استاتیک به منظور ایجاد حافظه‌های نهان استفاده می‌شود. با افزایش درخواست کاربردهای باطری‌محور، توجه ویژه‌ای به متدهای کاهش توان مصرفی بلوک‌های حافظه شده است. سلول‌های حافظه‌های استاتیک اغلب در مد نگهداری داده هستند. علاوه بر این با بزرگ شدن سایز حافظه‌های استاتیک، توان استاتیک اهمیت ویژه‌ای می‌یابد و بخش بیشتر توان مصرفی را به خود اختصاص می‌دهد، در نتیجه کاهش توان استاتیک در اولویت طراحی قرار می‌گیرد. در این مقاله یک سلول جدید حافظه ارائه شده است که کاهش توان استاتیک را به همراه دارد. در این طرح با قابلیت مسیر خواندن و نوشتن جداگانه، توان استاتیک نسبت به سلول سنتی شش ترانزیستوری ٪۷۸/۲۱ کاهش و حاشیه نویز استاتیک خواندن نسبت به سلول سنتی شش ترانزیستوری ٪۲۰۲/۵۹ افزایش یافته است. به منظور ارزیابی عملکرد سلول ارائه شده و مقایسه نتایج، شبیه‌سازی‌ها در تکنولوژی TSMC 130nm CMOS و تحت ولتاژ تغذیه ۱/۲ ولت صورت پذیرفته است.

کلیدواژه

حافظه‌های استاتیک، SRAM، توان استاتیک پایین، حاشیه نویز استاتیک خواندن، کانال کوتاه.

مقدمه

طبق پیش بینی‌های ITRS[1] [۱] آرایه‌های SRAM حدود ٪۹۰ فضا در SOC[2]های مدرن را دربر خواهند گرفت. همچنین پیش بینی شده است که حافظه‌های استاتیکی، ٪۵۰ توان کل پردازنده‌های آینده را به خود اختصاص خواهند داد. در نتیجه کاهش توان مصرفی حافظه‌های SRAM در طراحی‌های توان پایین VLSI موضوع مهمی به شمار می‌رود.

SRAM یکی از پرکاربردترین مدارات در سیستمهای مجتمع است و بیشترین زمان را در مد نگهداری داده می‌گذراند. شایان ذکر است که برخلاف حافظه‌های غیر فعال، سلول‌های SRAM برای نگهداری داده‌ها، نیاز به توان مصرفی دارند. اگرچه مقدار انرژی که سلول برای نگهداری داده مصرف می‌کند، نسبتا کوچک است، اما زمانی که تعداد سلول‌ها زیاد می‌شود، توان مصرفی استاتیک اهمیت زیادی پیدا می‌کند. در آرایه SRAM، فقط یک سطر فعال است و دیگر سلول‌ها در حالت بیکار یا Standby هستند. اگر توان مصرفی را در این مد کاهش دهیم، مصرف توان کل نیز به شدت تحت تاثیر قرار گرفته و کاهش خواهد یافت. جنبه‌های زیادی برای کاهش توان مصرفی حافظه‌های SRAM وجود دارد که منجر به متدها و طرح‌های فراوانی در این زمینه شده است.

در ادامه این مقاله، ابتدا به مرور چند کار مرتبط پرداخته شده است و سپس مشخصه‌های کانال کوتاه بررسی خواهند شد. در ادامه نیز طرح پیشنهادی معرفی شده و در نهایت شبیه‌سازی‌ها، نتایج و مقایسه ساختار پیشنهادی با مدارهای مرتبط، ارائه شده است.

پیشینه تحقیقات صورت گرفته در حوزه SRAM توان پایین

در شکل ۱ شماتیک سلول سنتی 6T نشان داده شده است. در این سلول برای عملکرد مناسب و حفظ پایداری سلول در هنگام عمل خواندن و کاهش خازن خط بیت[3]، اندازه ترانزیستورهای دسترسی را باید در حالت مینیمم در نظر گرفت [۲]. از طرف دیگر، عملیات نوشتن به یک ترانزیستور دسترسی قوی نیاز دارد. بنابراین سایز کمینه ترانزیستور دسترسی، ممکن

[1] International Technology Roadmap for Semiconductors

[2] system on chip

[3] Bit Line

www.SID.ir

تاریخ دریافت: ۱۳۹۵/۰۷/۲۶ تاریخ پذیرش: ۱۳۹۶/۰۶/۰۶

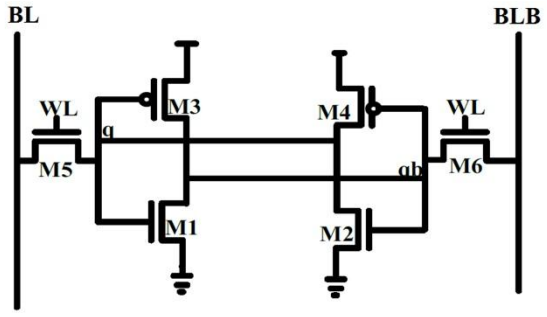
Archive of SID

است قابلیت نوشتن را تضعیف کند. این موضوع، چالش ناسازگاری بین ترانزیستور دسترسی خواندن و ترانزیستور دسترسی نوشتن نام دارد [۳]. برای حل این مشکل و بهبود جنبه‌های دیگری درسلول SRAM، طرح‌هایی با مسیرهای جداگانه برای عملیات خواندن و نوشتن ارائه شده است.

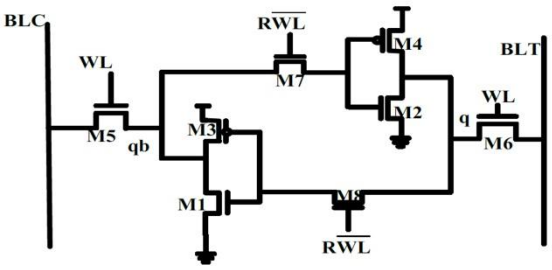
یک راه موثر به منظور افزایش پایداری خواندن، ایزوله کردن گره ذخیره شده از مسیر خواندن است که در [۴] و [۵] استفاده شده است. در [۵]، دو ترانزیستور NMOS در وسط فیدبک مثبت قرار داده شده است. این ساختار در شکل ۲ نشان داده شده است. این ساختار تفاضلی ۸ ترانزیستوری[۴]، از ترانزیستور دسترسی یکسانی در خواندن و نوشتن استفاده می‌کند که همچنان به عنوان یک مسئله باقی مانده است. به علاوه، ترانزیستور NMOS روشن در وسط معکوس کننده‌ها، پایداری را در مد نگهداری داده، کاهش می‌دهد. ضمنا این سلول در مقایسه با سلول سنتی 6T با سطح ولتاژ گیت-سورس و سایز ترانزیستورهای یکسان، جریان نشتی یکسانی دارد.

سلول دیگری از SRAM با ۹ ترانزیستور و استفاده از مسیر خواندن جداگانه [۶] در شکل ۳ نشان داده شده است. در این طرح SNM[۵] خواندن با SNM نگهداری داده مساوی است. در حالی‌که حاشیه نوشتن این سلول با کاهش ولتاژ تغذیه بشدت محدود می‌شود، همچنین این سلول در شرایط یکسان با سلول سنتی 6T، توان نشتی را افزایش می‌دهد.

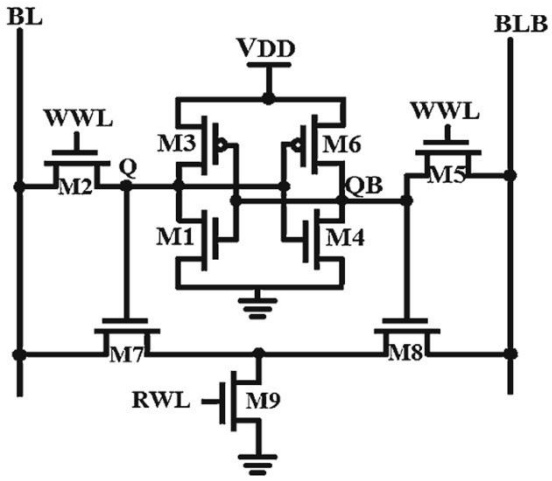
در شکل ۴ سلول 7T [۷] نشان داده شده است. این سلول SNM خواندن بیشتری نسبت به سلول سنتی 6T دارد. در این سلول با استفاده از زمین مجازی، به عملیات نوشتن کمک شده است. همین‌طور این سلول توان استاتیک پایین‌تری نسبت به سلول سنتی 6T دارد. این در حالی است که حاشیه نوشتن آن از سلول سنتی 6T کمتر است.



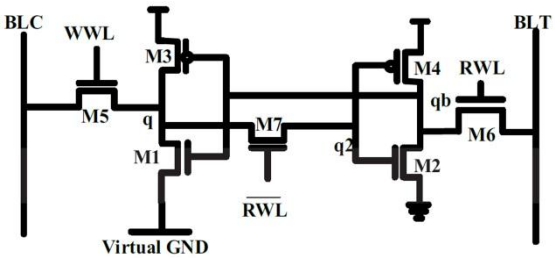
شکل ۱. شماتیک سلول سنتی 6T [۲].



شکل ۲. شماتیک سلول D8T [۵].



شکل ۳. شماتیک سلول 9T [۶].



شکل ۴. شماتیک سلول 7T [۷].

مشخصه‌های کانال کوتاه ترانزیستور ماسفت

روند کاهش سایز ترانزیستورها در ابعاد نانو با وجود مزیت‌های آن مشکلاتی را پدید می آورد، که به آثار کانال کوتاه معروف هستند.

طول کانال و ولتاژ آستانه از یگدیگر تاثیر می‌پذیرند. ولتاژ آستانه در ترانزیستورهای کانال کوتاه با توجه به کاهش اندازه کانال، کاهش می‌یابد. معادله (۱) تاثیر پدیده کوتاه شدن کانال را بر روی ولتاژ آستانه نشان می‌دهد:

$$\Delta Vt_{SCE} = -\frac{0.5 . DVT0}{\cosh(DVT1.\frac{Leff}{lt} -1)}(Vbi-\Phi_s) \qquad (۱)$$

[۴] Differential 8T

[۵] Static Noise Margin

www.SID.ir

Archive of SID

که در آن، DVT0 ضریب تاثیر اول کانال کوتاه بر ولتاژ آستانه، DVT1 ضریب تاثیر دوم کانال کوتاه بر ولتاژ آستانه است. Leff طول موثر کانال است. lt مشخصه طول، Vbi ولتاژ اتصالات سورس- درین و Φ_s پتانسیل سطح است.

بدون اثر کانال کوتاه، ولتاژ آستانه تنها به V_{bs} بستگی دارد. این وابستگی به این صورت است که با افزایش V_{bs}، ولتاژ آستانه کاهش می‌یابد. اما در صورت اثر کانال کوتاه، ولتاژ آستانه در ترانزیستورهای با طول کانال‌های کوچک، طبق معادله (۱) به طور قابل ملاحظه‌ای کاهش می‌یابد.

اگر در ترانزیستورهای کانال بلند NMOS، ولتاژ مثبتی به درین اعمال شود، ولتاژ آستانه تغییری نمی‌کند اما اگر همان ولتاژ را به درین ترانزیستور کانال کوتاه NMOS اعمال شود، ولتاژ آستانه را کاهش می‌دهد. منشا پدیده DIBL[۶]، بزرگ شدن ناحیه تخلیه به دلیل بالا رفتن V_{ds} است که سبب کاهش طول کانال و در نهایت کاهش ولتاژ آستانه می‌شود [۸].

تغییرات ولتاژ آستانه در سایزهای کوچکتر، بیشتر است. معادله (۲) تاثیر پذیری ولتاژ آستانه از تغییرات طول کانال را نشان می‌دهد.

$$V_{th}=V_{th0}-\lambda_d V_{DS} \qquad (۲)$$

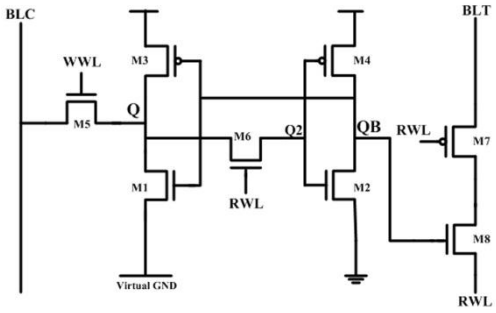
که V_{th0} ولتاژ آستانه کانال بلند و λ_d ضریب DIBL است. معادله (۲) نشان می‌دهد ولتاژ آستانه تابعی از V_{DS} است، همچنین ولتاژ آستانه به سبب DIBL، به تغییرات طول کانال بسیار حساس است [۹].

سلول SRAM پیشنهادی

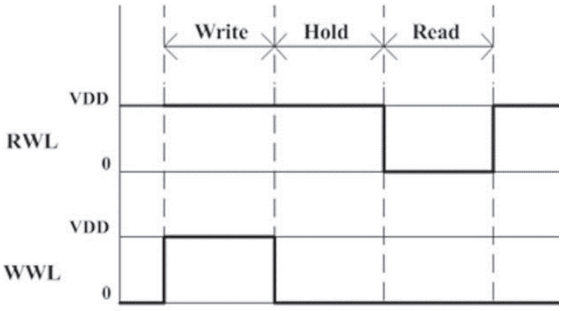
طرح پیشنهادی به عنوان حافظه استاتیکی در شکل ۵ نشان داده شده است. سیگنال‌های کنترلی برای عملیات‌های خواندن، نوشتن و نگهداری داده در شکل ۶ ارائه شده است. در ادامه به نحوه‌ی عملکرد سلول در مدهای مختلف پرداخته شده است.

عملیات نگهداری داده

در حالت نگهداری داده ترانزیستور دسترسی نوشتن M_5 خاموش و ترانزیستور M_6 روشن است و ارتباط BLC و BLT با سلول قطع است. همچنین برای کاهش جریان نشتی در این مد و در نتیجه کاهش توان استاتیک، BLC به زمین وصل شده است. از این‌رو عمل نگهداری داده مشابه عملیات نگهداری داده سلول سنتی 6T است.



شکل۵. شماتیک سلول ارائه شده.



شکل۶. سیگنال‌های کنترلی سلول ارائه شده.

در زمان نگهداری داده، جریان مسیر خواندن مقدار ناچیزی است. فرض کنید داده‌ی ذخیره شده در QB، "1" باشد، در نتیجه ولتاژ درین ترانزیستور M_8 برابر "1" است. بنابراین ولتاژ درین- سورس ترانزیستورهای M_8 و M_7 صفر است که اثر DIBL را خنثی و سبب افزایش ولتاژهای آستانه M_8 و M_7 طبق رابطه‌ی (۲) می‌شود. در نتیجه زمانی‌که سلول SRAM در حالت نگهداری داده است، جریان نشتی مسیر خواندن و همچنین توان مصرفی کاهش می‌یابد. به علاوه در اثر DIBL، جریان نشتی در حالت نگهداری "1" برای M_1 ($V_{GS}=0$, $V_{DS}=V_Q$) و در حالت نگهداری "0" برای M_2 ($V_{GS}=0$, $V_{DS}=V_{QB}$) افزایش می‌یابد. برای فائق آمدن بر این مشکل، سایز ترانزیستورهای M_1 و M_2 را در طرح پیشنهادی کاهش داده شده است. نسبت ترانزیستورهای طرح پیشنهادی در جدول ۱ آمده است.

جدول۱. نسبت ترانزیستورهای طرح ارائه شده.

	M_6	M_1,M_2,M_3,M_4,M_8	M_5	M_7
$\frac{W}{L}$	۱	۲	۳	۴

عملیات خواندن

[۶] Drain Induced Barrier Lowering

www.SID.ir

Archive of SID

در زمان خواندن سلول ارائه شده، ترانزیستورهای M_6 و M_5 خاموش هستند، BLT به V_{DD} پیش‌شارژ می‌شود و RWL به صفر تغییر مقدار می‌دهد.

- اگر در گره QB، "1" ذخیره شده باشد، BLT از مسیر خواندن ترانزیستور M_8 و M_7 دشارژ می‌شود.
- اگر در گره QB، "0" ذخیره شده باشد، BLT دشارژ نمی‌شود. زیرا ترانزیستور M_8 خاموش است.

بسته به دشارژ شدن یا نشدن BLT، مقدار ذخیره شده در سلول توسط تقویت کننده حس‌گر[۷] تعیین می‌شود. به این صورت که اگر BLT دشارژ نشود، تقویت کننده حس‌گر "1" و اگر BLT دشارژ شود، "0" را نشان خواهد داد. در هر دو حالت، چه مقدار ذخیره شده در Q برابر با "1" یا "0" باشد، گره Q از مسیر خواندن ایزوله می‌شود. به طور مثال اگر "0" در Q ذخیره شده باشد، مانع از بالا رفتن پتانسیل گره Q می‌شود، در مقابل برای سلول سنتی 6T پتانسیل گره ذخیره شده "0" بالا می‌رود و نقطه تغییر سطح منطقی معکوس کننده (ولتاژ آستانه سوییچینگ) را محدود می‌کند. این جدا کردن مسیر خواندن باعث کاهش خازن‌های خط بیت می‌شود. از این‌رو پایداری داده در حین خواندن افزایش می‌یابد.

یک ملاک مهم در سلول SRAM، جریان خواندن است. در طرح ارائه شده با کاهش ولتاژ آستانه ترانزیستورهای M_8 و M_7، عملیات خواندن بهبود می‌یابد. فرض کنید در QB، "1" ذخیره شده باشد. وقتی RWL صفر می‌شود، عمل خواندن آغاز می‌شود بنابراین M_8 و M_7، روشن می‌شوند. تغییر RWL به صفر، V_{DS} ترانزیستورهای M_8 و M_7 را افزایش می‌دهد و طبق معادله‌ی (۲) ولتاژ آستانه ترانزیستورهای M_8 و M_7 کاهش می‌یابد که باعث کاهش مقاومت مسیر خواندن و افزایش سرعت دشارژ BLT از میان مسیر خواندن به زمین می‌شود.

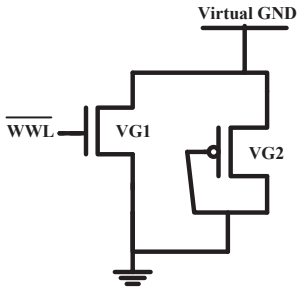
عملیات نوشتن

عملیات نوشتن این سلول در مقایسه با سلول سنتی 6T، دو تفاوت مهم دارد. اول این‌که تک‌پایانه است و لذا این یک حقیقت است که عملیات نوشتن سلول‌های تک‌پایانه[۸] در مقایسه با سلول پایه کار دشواری است. زیرا در سلول پایه عملیات نوشتن به کمک BL و مکمل آن انجام می شود [۱۰]. در این سلول برای افزایش پایداری نوشتن بدون تخریب پایداری خواندن، ترانزیستور دسترسی نوشتن تقویت شده است.

دومین تفاوت عملیات نوشتن این سلول و سلول سنتی 6T، استفاده از یک زمین مجازی است. در نتیجه، نوشتن یک داده جدید در سلول به سادگی انجام می‌شود. برای جلوگیری از مصرف ولتاژ اضافی در بلوک‌های SRAM، از مدار پیشنهاد شده در [۱۱] که در شکل ۷ نشان داده شده است، برای تولید دو ولتاژ متفاوت براساس عملیات سلول استفاده می‌کنیم.

زمین مجازی در حین عمل نوشتن، به سورس ترانزیستور VG2 وصل می‌شود، بنابراین ولتاژ این گره افزایش می‌یابد و عملیات نوشتن به آسانی انجام می‌شود. برای فائق آمدن بر مشکل سربار فضای مدار زمین مجازی، برای هر سطر از سلول‌ها از یک زمین مجازی مشترک استفاده می‌شود.

برای نوشتن در سلول طبق سیگنال‌های کنترلی ترانزیستور، M_7 خاموش و ارتباط BLT با سلول قطع است. ترانزیستور M_6 و M_5 روشن و از طریق درایور نوشتن و BLC ، داده‌ی جدید در سلول نوشته می‌شود.



شکل۷. مدار زمین مجازی [۱۱].

نتایج شبیه‌سازی و مقایسه آن‌ها

به منظور ارزیابی عملکرد سلول ارائه شده و مقایسه نتایج آن با سلول پایه، 9T [۶] و 7T [۷]، شبیه‌سازی‌ها در تکنولوژی TSMC 130nm CMOS، تحت ولتاژ تغذیه ۱/۲ ولت و در دمای ۲۵ $^{\circ}C$ انجام شده است.

برای اثبات عملکرد صحیح سلول ارائه شده دو سناریو در نظر گرفته شده است. این سناریوها دنباله‌ای از هر سه عمل سلول هستند. در انتخاب این دنباله سعی شده است همه‌ی حالات ممکن از توالی عملیات نوشتن (W)، خواندن (R) و نگهداری داده (H) در نظر گرفته شود. علاوه بر این، هدف از انتخاب تعداد زیاد عملیات و همچنین تکراری بودن عملیات متوالی، اطمینان از صحت عملکرد سلول در هرحالتی است. این دو سناریو به صورت زیر است:

الف) $W_0, R_0, H_0, R_0, W_1, R_1, H_1, W_0, W_1, H_1, R_1, H_1$

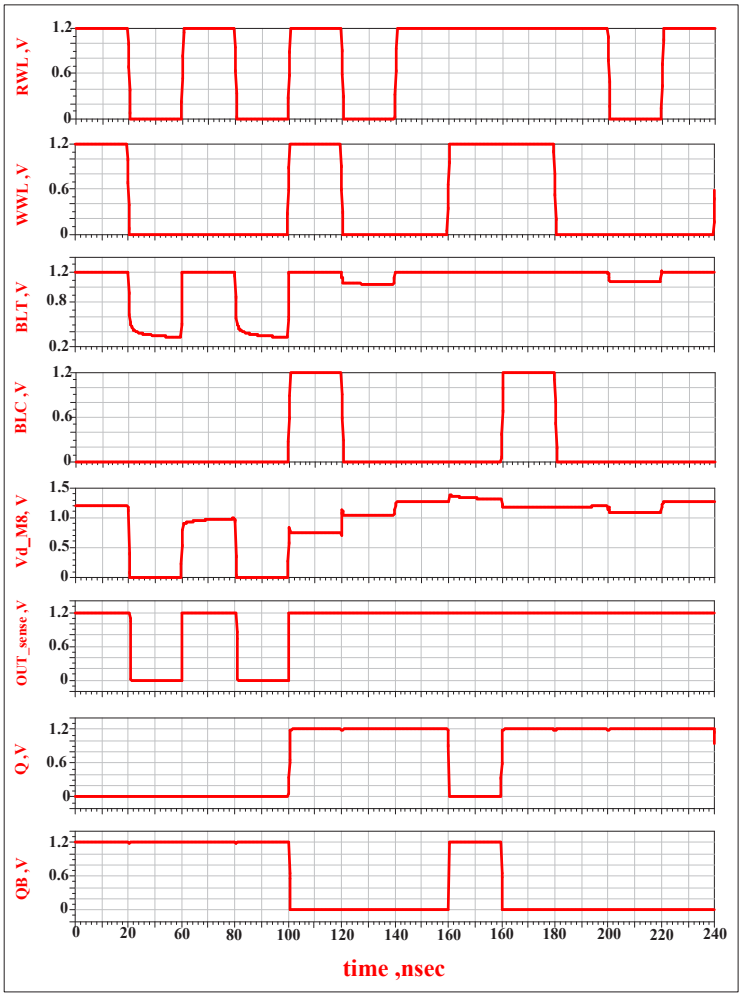
ب) $W_1, H_1, W_0, W_1, W_0, H_0, R_0, W_0, H_0, W_1,$
$H_1, W_0, W_1, H_1, H_1, R_1, W_0, R_0, H_0, W_1, R_1, H_1.$

[۷] sense amplifier

[۸] Single ended

www.SID.ir

Archive of SID



شکل ۸. شکل موج‌های حاصل از عملکرد سلول ارائه شده برای سناریو (الف).

شکل موج‌های شکل ۸ و ۹ عملکرد سلول را با اعمال سناریوهای بالا نشان می‌دهد. طبق سیگنال‌های کنترلی و ورودی‌ها، نوع عملیات سلول تعیین می‌شود و با توجه به این عملیات، گره‌های Q و QB مشخص می‌گردند. درنهایت شکل موج‌ها گویای صحت عملکرد سلول هستند.

خروجی تقویت کننده حس‌گر در شکل موج‌ها با OUT_sense نشان داده شده است و تنها زمانی که "RWL="0 است، مقدار خوانده شده از سلول را نشان می‌دهد.

همچنین ولتاژ درین ترانزیستور M_8 در شکل موج‌ها با Vd_M8 نشان داده شده است که جهت بررسی اثر DIBL و تاثیر آن بر روی توان استاتیک سلول اندازه‌گیری شده است.

حاشیه نویز استاتیک و ولتاژ نگهداری داده

برای آنالیز پایداری سلول‌های SRAM از معیار حاشیه نویز استاتیک (SNM) استفاده می‌شود. SNM حداکثر ولتاژ نویز DC است که توسط سلول SRAM قبل از تغییر مقدار در مد نگهداری داده، می‌تواند تحمل شود.

همچنین در تعریفی دیگر SNM طول ضلع بزرگترین مربع داخلی یکی از قطعه‌های[۹] طرح پروانه‌ای[۱۰] تعریف می‌شود. اگر سلول نامتعادل باشد (برای مثال به دلیل اندازه ترانزیستور یا تغییرات فرایند) یک قطعه از قطعه دیگر کوچکتر است، در این حالت SNM طول ضلع بزرگترین مربع است که در داخل کوچکترین قطعه قرار دارد. این امر نشان می‌دهد که سلول بیشتر مستعد از دست دادن داده‌اش است.

یکی دیگر از معیارهای عملکرد سلول DRV[۱۱] است. DRV، کمترین ولتاژ تغذیه در مد Standby است که همچنان داده‌ی

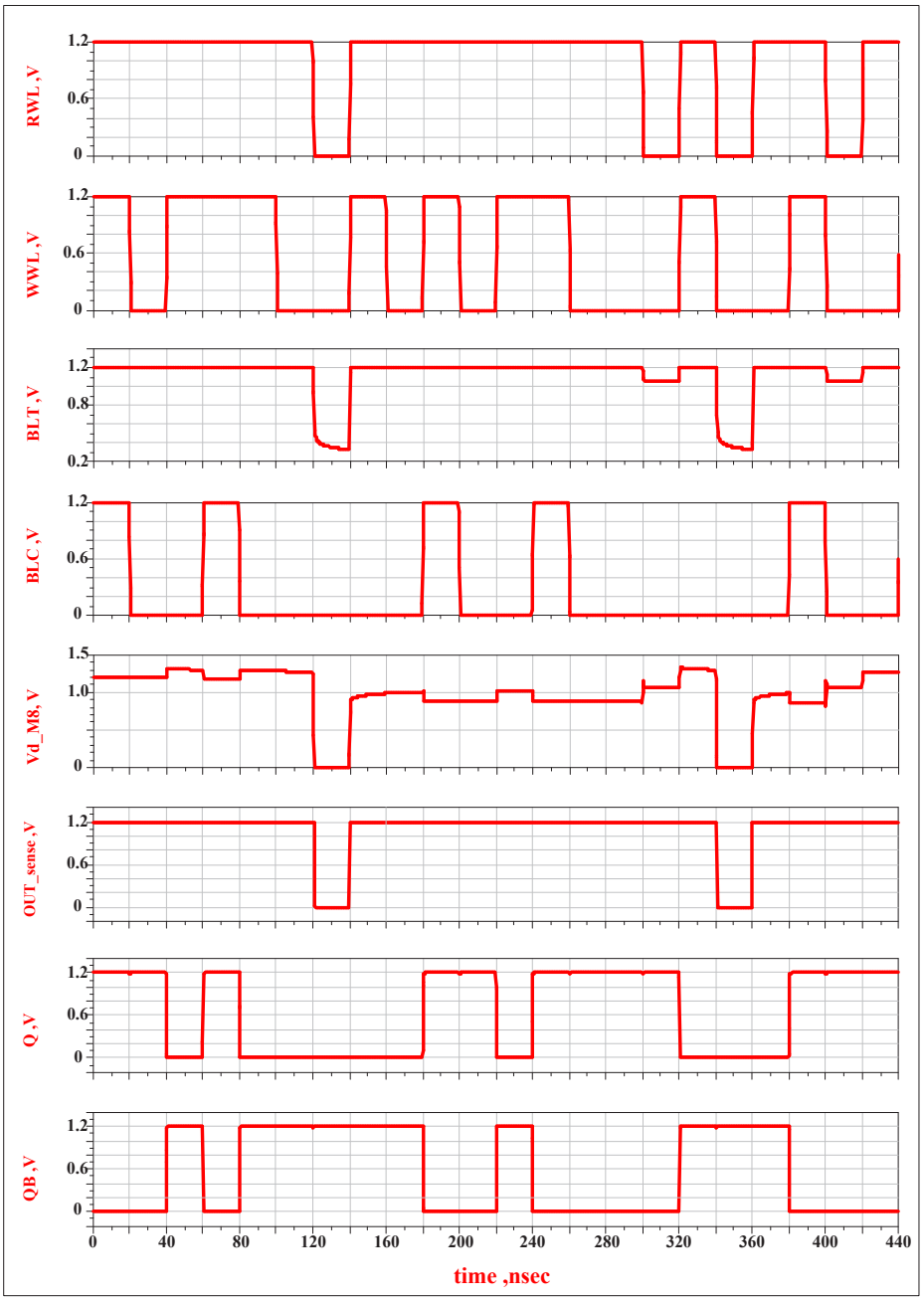
[۹] Lobe

[۱۰] Butterfly Plot

[۱۱] Data Retention Voltage

www.SID.ir

Archive of SID



شکل ۹. شکل موج‌های حاصل از عملکرد سلول ارائه شده برای سناریو (ب)

ذخیره شده در سلول از دست نرود. با پایین آمدن V_{DD} وقتی نمودار پروانه‌ای حالت دو قطعه‌ای خود را از دست می‌دهد، اطلاعات داخل سلول از دست می‌رود. اگر نمودار پروانه‌ای متقارن باشد، به عبارتی قطعه بالا و پایین هم اندازه باشند DRV کاهش می‌یابد و این در حالتی اتفاق می‌افتد که شبکه بالا و پایین (ترانزیستورهای دسترسی خاموش) قدرت یکسانی داشته باشند [۱۲]. همچنین HSNM[۱۲] و DRV عامل‌های ارزیابی عملکرد در مد نگهداری داده حافظه‌های SRAM هستند.

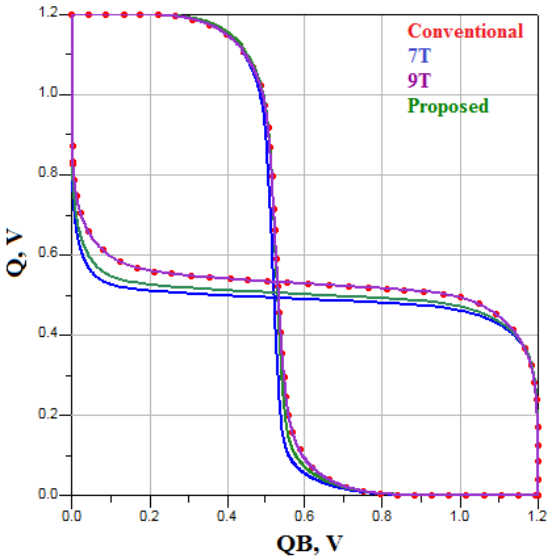
نمودار پروانه‌ای SNM در مد نگهداری داده سلول ارائه شده، سلول 9T، 7T و سلول سنتی 6T در شکل ۱۰ نشان داده شده است و مقادیر DRV در شکل ۱۱ باهم مقایسه شده است.

[۱۲] Hold SNM

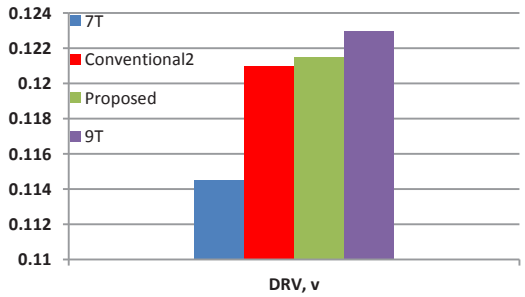
www.SID.ir

Archive of SID

با توجه به شکل ۱۱، نمودارهای پروانه‌ای سلول 6T و 9T برهم منطبق هستند. درنهایت HSNM سلول‌ها تقریبا با هم یکسان هستند. DRV سلول ارائه شده تقریبا با سلول سنتی و 9T یکسان و نسبت به سلول 7T، ٪۶/۱۱ بیشتر است.



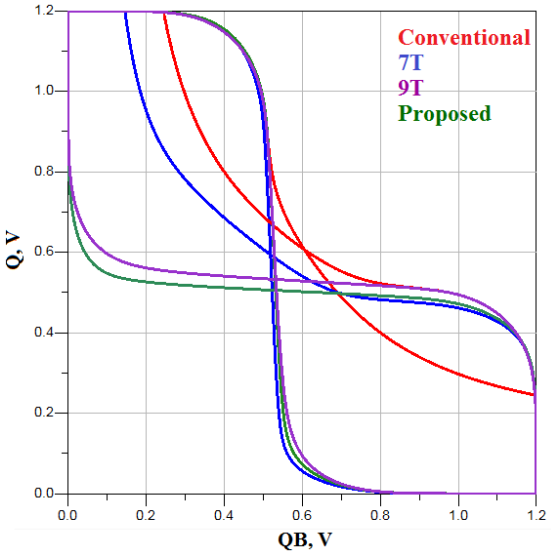
شکل ۱۰. نمودار پروانه‌ای HSNM سلول ارائه شده، 7T، 9T و سلول سنتی 6T.



شکل ۱۱. مقادیر DRV سلول ارائه شده، 7T، 9T و سلول سنتی 6T.

حاشیه نویز استاتیک خواندن

RSNM[۱۳] حاشیه نویز سلول در مد خواندن است که عامل ارزیابی عملکرد مد خواندن حافظه‌های SRAM است. در شکل ۱۲ RSNM چهار سلول نشان داده شده است. واضح است که RSNM طرح ارائه شده، با سلول 9T تقریبا یکسان است و نسبت به سلول سنتی و سلول 7T به طور قابل ملاحظه‌ای بهبود یافته است. به این ترتیب که RSNM طرح ارائه شده نسبت به سلول سنتی ٪۲۰۲/۵۹ و نسبت به سلول 7T، به میزان ٪۹۳/۶۰ افزایش یافته است.



شکل ۱۲. RSNM سلول ارائه شده، 7T، 9T و سلول سنتی 6T.

حاشیه نوشتن

برای نوشتن در یک سلول ، باید سلول را از وضعیت پایدار بیرون آورد، تا بتوان داده‌ی جدید را جایگزین کرد [۱۲]. برای اندازه‌گیری حاشیه نوشتن (WM[۱۴])، باید سلول را در حالت نوشتن قرار داد و نمودار پروانه‌ای سلول را بدست آورد. در این حالت حاشیه نوشتن، طول ضلع کوچکترین مربعی است که بین دو منحنی انتقال تعبیه می‌شود [۱۳].

WM معیار ارزیابی عمل نوشتن حافظه‌های SRAM است که باید برای هر دو عمل نوشتن صفر و نوشتن یک به طور جداگانه مورد بررسی قرار گیرد. از این‌رو WM برای سلول ارائه شده، سلول 9T، سلول 7T و سلول سنتی 6T در حالی‌که صفر در سلول نوشته می‌شود ($WM_{"0"}$) در شکل ۱۳ و همین‌طور برای زمانی‌که یک در سلول نوشته می‌شود ($WM_{"1"}$) در شکل ۱۴ نشان داده شده است.

همان‌طور که نمودارها نشان می‌دهند، $WM_{"0"}$ و $WM_{"1"}$ سلول سنتی و سلول 9T یکسان هستند. $WM_{"0"}$ سلول ارائه شده نسبت به سلول سنتی و سلول 9T به مقدار ٪۵/۲۵ و نسبت به سلول 7T، به میزان ٪۳/۹۵ بهبود پیدا کرده است.

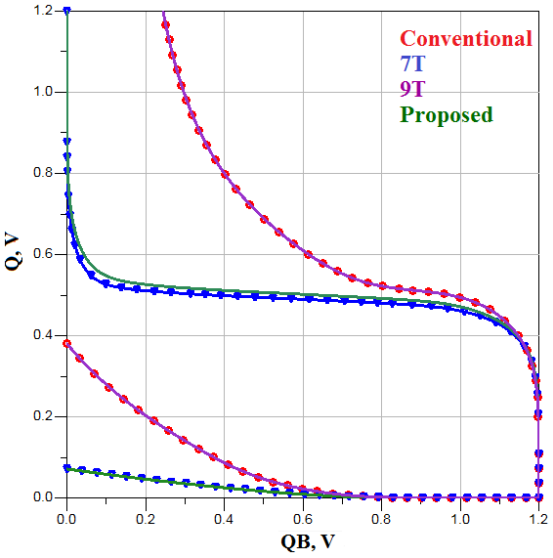
همچنین $WM_{"1"}$ سلول ارائه شده نسبت به سلول سنتی و سلول 9T ٪۴۶/۲۵ و نسبت به سلول 7T ٪۲/۲۷ کاهش یافته است.

[۱۳] Read SNM

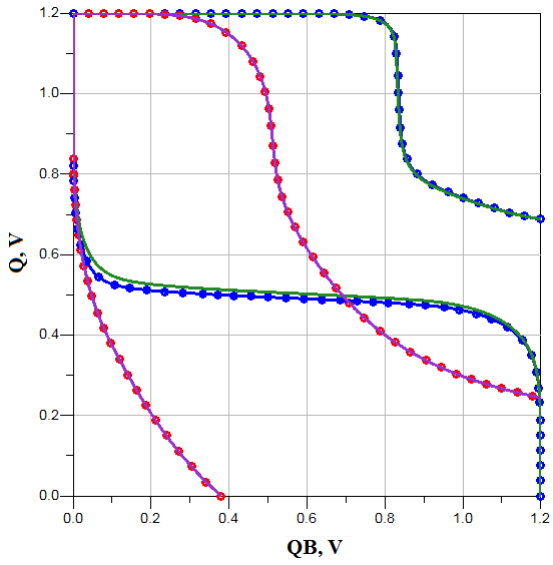
[۱۴] Write Margin

www.SID.ir

Archive of SID



شکل۱۳. $WM_{"0"}$ برای سلول ارائه شده، 7T، 9T و سلول سنتی 6T.



شکل۱۴. $WM_{"1"}$ برای سلول ارائه شده، 7T، 9T و سلول سنتی 6T.

توان استاتیک

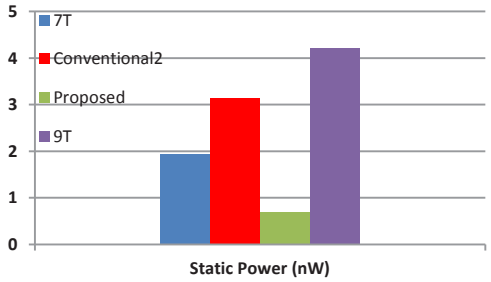
SRAM یکی از مهم‌ترین منابع مصرف توان استاتیک است که اغلب مدارات دیجیتال نیازمند استفاده از آن هستند. چالش بهینه کردن مصرف توان، نیازمند طراح‌های جدید توان پایین SRAM است [۱۴]. توان استاتیکی بخش قابل توجه توان کل است و در نتیجه‌ی ضرب ولتاژ تغذیه و جریان نشتی بدست خواهد آمد.

طبق نتایج شبیه‌سازی سناریوهای (الف) و (ب) در شکل ۸ و ۹ ولتاژ درین ترانزیستور M_8 (Vd_M8) در مد نگهداری، نزدیک V_{DD} است که باعث می‌شود، اثر DIBL کاهش یابد و در نتیجه جریان نشتی و توان استاتیک کاهش می‌یابد.

توان استاتیک به روش زیر محاسبه می‌شود:

$$[P_{static}=(\text{power of hold "1"}+\text{power of hold"0"})/2] \quad (۳)$$

شکل ۱۵ توان استاتیک چهار سلول را نشان می‌دهد که بیان‌گر بهبود قابل ملاحظه‌ی سلول پیشنهادی در توان استاتیک است. مصرف توان استاتیک سلول ارائه شده ٪۸۳/۷۴ نسبت به سلول 9T ، ٪۷۸/۲۱ نسبت به سلول سنتی و ٪۶۴/۷۳ نسبت به سلول 7T بهبود یافته است.



شکل ۱۵. توان استاتیک سلول ارائه شده، 7T، 9T و سلول سنتی 6T.

تغییرات فرآیند- ولتاژ- دما

تغییرات ناگهانی یا سیتماتیک فرآیند یکی دیگر از چالش‌های ویژه پیش روی مداراتی است که در مقیاس نانو طراحی می‌شوند. در این قسمت توان استاتیک تحت تغییرات دمایی، ولتاژ تغذیه و کرنرهای مختلف (PVT[۱۵]) بررسی شده است.

موضوعی که باید به آن توجه داشت، جریان نشتی و جریان زیر آستانه است که به دما بستگی دارد. بنابراین مصرف توان استاتیک تابعی از دما خواهد بود. نتایج شبیه‌سازی مصرف توان استاتیک سلول ارائه شده در دماهای مختلف و در مقایسه با سلول‌های دیگر در شکل ۱۶ آمده است. همانطور که از این شکل بر می‌آید، مصرف توان استاتیک به شدت به دما بستگی دارد.

شکل ۱۷ توان استاتیک را وقتی کرنرهای عملیات تغییر می‌کند، نشان می‌دهد. کرنرهای مختلف به سبب تغییرات داخلی die، ولتاژ آستانه را دچار تغییر می کند و ولتاژ آستانه نیز مصرف توان سلول‌های SRAM را تحت تاثیر قرار می‌دهد. کرنرهای مختلف SS، TT، FF در دمای اتاق و SS در دمای C ۸۵° و FF در دمای C ۴۰- بررسی شده است.

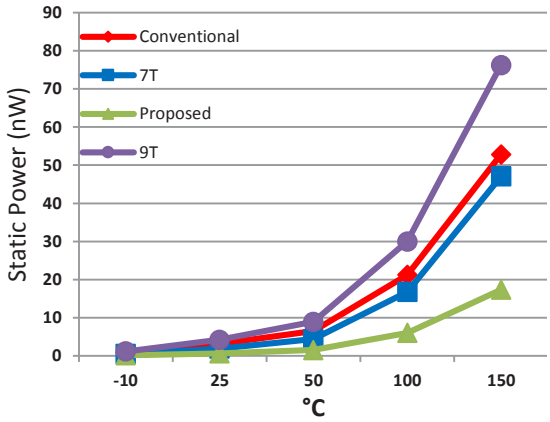
شکل ۱۸ توان استاتیک را تحت تغیر ولتاژ منبع تغذیه نشان می‌دهد. کاهش ولتاژ تغذیه توان استاتیک را کاهش می‌دهد، زیرا توان نشتی زیر آستانه به سبب کاهش DIBL، GIDL و جریان تونل‌زنی گیت، کاهش می‌یابد[۱۵].

[۱۵] Process Voltage Temperature

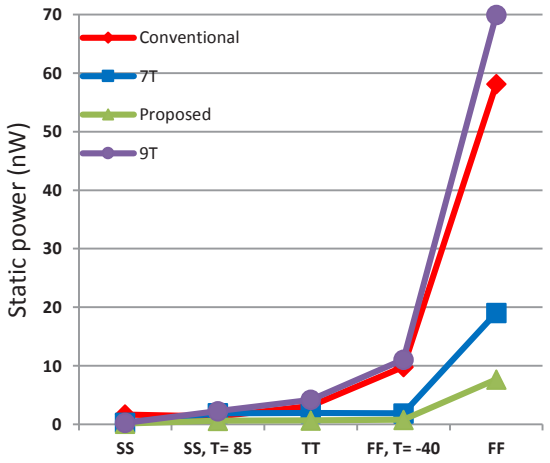
www.SID.ir

Archive of SID

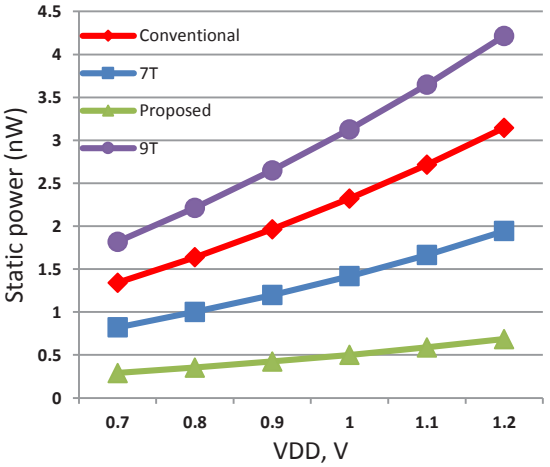
در نتیجه‌ی این مقایسه‌ها، طرح ارائه شده در دما، کرنرها و ولتاژهای تغذیه مختلف همچنان عملکرد بهتری دارد.



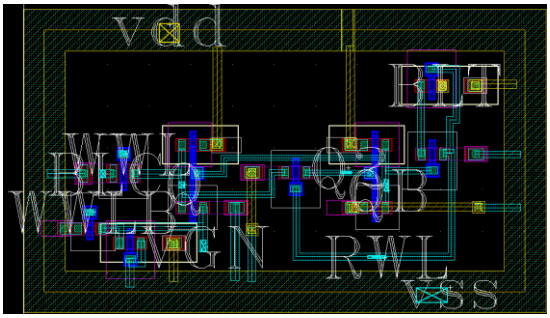
شکل۱۶. توان استاتیک سلول ارائه شده، 7T، 9T و سلول سنتی 6T در دماهای مختلف بر حسب سانتی‌گراد.



شکل۱۷. توان استاتیک سلول ارائه شده، 7T، 9T و سلول سنتی 6T در کرنرها و دماهای مختلف بر حسب سانتی.



شکل۱۸. توان استاتیک سلول ارائه شده، 7T، 9T و سلول سنتی 6T در ولتاژهای تغذیه مختلف.



شکل ۱۹. لایه‌های سلول ارائه شده به همراه زمین مجازی.

همچنین جانمایی لایه‌های سلول ارائه شده به همراه زمین مجازی در شکل ۱۹ نشان داده شده است. به منظور مقایسه کلی سلول‌ها، تمامی نتایج حاصل از شبیه‌سازی، همچنین نتایج Post-layout سلول ارائه شده در جدول ۲ آورده شده است. طبق این نتایج، نتایج pre-layout و post-layout سلول ارائه شده تقریبا یکسان هستند.

همچنین جدول ۲ مقایسه بین ساختار پیشنهادی را با ساختارهای مشابه نشان می‌دهد. همان‌طور که ملاحظه می‌گردد، در شرایط یکسان شبیه‌سازی، سلول پیشنهادی کمترین توان استاتیک را داراست. در این سلول حاشیه نویز خواندن نسبت به دو سلول 7T و 6T به طور قابل ملاحظه‌ای افزایش یافته است. حاشیه نوشتن سلول پیشنهادی با حاشیه نوشتن سلول 7T یکسان و نسبت به سلول سنتی و 9T کاهش یافته است.

نتیجه‌گیری

با توجه به افزایش کاربردهای باطری‌محور، کاهش توان مصرفی یکی از مهمترین بحث‌های تحقیقاتی روز است. در این مقاله یک سلول ۸ ترانزیستوری ارائه شده است که دارای مسیر خواندن و نوشتن منحصر به فرد است. زمانی‌که سلول SRAM در حالت نگهداری داده است، جریان نشتی مسیر خواندن کاهش و توان مصرفی به مقدار چشم‌گیری تا ٪۷۸/۲۱ سلول پایه، ٪۶۴/۷۳ نسبت به سلول 7T و ٪۸۳/۷۴ نسبت به سلول 9T کاهش می‌یابد.

در عملیات خواندن طرح ارائه شده مقاومت مسیر خواندن کاهش و سرعت دشارژ BLT از میان مسیر خواندن به زمین افزایش می‌یابد و منجر به بهبود عملیات خواندن می‌شود. همچنین با ایزوله کردن مقدار ذخیره شده در حین خواندن، RSNM نسبت به سلول پایه ٪۲۰۲/۵۹ و سلول 7T به میزان ٪۹۳/۶۰ افزایش داشته است. در مورد یکسان بودن RSNM

www.SID.ir

Archive of SID

جدول۲. مقایسه طرح پیشنهادی با سلول 7T، 9T و سلول سنتی 6T.

	Conventional	9T[6]	7T [7]	Proposed (Pre-layout)	Proposed (Post-layout)
DRV(V)	۰/۱۲۱	۰/۱۲۳	۰/۱۱۴۵	۰/۱۲۱۵	۰/۱۲۲
HSNM (V)	۰/۴۰۷	۰/۴۰۷	۰/۴۰۵	۰/۴۰۷	۰/۴۰۵۸
RSNM (V)	۰/۱۳۵	۰/۴۱	۰/۲۱۱	۰/۴۰۸۵	۰/۴
$WM_{"0"}$ (V)	۰/۴	۰/۴	۰/۴۰۵	۰/۴۲۱	۰/۴۱۸
$WM_{"1"}$(V)	۰/۴	۰/۴	۰/۲۲	۰/۲۱۵	۰/۲۰۵
Static Power (nW)	۳/۱۴۶	۴/۲۱۶	۱/۹۴۳۵	۰/۶۸۵۴۵	۰/۶۸۸۷

سلول ارائه شده و سلول 9T باید گفت این در حالی است که سلول 9T با افزایش شدید توان استاتیک همراه است.

بعلاوه برای بهبود عملیات نوشتن، ترانزیستور دسترسی نوشتن تقویت شده و از یک زمین مجازی برای سادگی نوشتن داده جدید در سلول استفاده شده است.

مراجع

[1] M. E. Sinangil and A. P. Chandrakasan, Application-Specific SRAM Design Using Output Prediction to Reduce Bit-Line Switching Activity and Statistically Gated Sense Amplifiers for Up to 1.9 Lower Energy/Access, IEEE Journal of Solid-State Circuits, 2014, vol. 49, no. 1, pp. 107-117.

[۲] سعیدی رقیه، طراحی و تحلیل حافظه SRAM کم ولتاژ توان پایین، پایان‌نامه درجه دکتری، دانشگاه صنعتی شریف، ۱۳۹۲، ص ص ۱۱.

[3] G. Pasandi and S. M. Fakhraie, An 8T Low-Voltage and Low-Leakage Half-Selection Disturb-Free SRAM Using Bulk-CMOS and FinFETs, IEEE Transactions on Electron Devices, 2014, vol. 61, no. 7, pp. 2357-2363.

[4] A.R. Ahmadimehr, B. Ebrahimi, A. Afzali-Kusha, A high speed subthreshold SRAM cell design, Proceedings of Asia Symposium on Quality Electronic Design, Kuala Lumpur, Malaysia, 15-16 July 2009, pp. 8–13

[5] R. Saeidi, M. Sharifkhani, and K. Hajsadeghi, A Subthreshold Symmetric SRAM Cell With High Read Stability, IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, vol. 61, no. 1, pp. 26-30.

[6] Z. Liu, and V. Kursun, Characterization of a novel nine-transistor SRAM cell, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2008, Volume: 16, Issue: 4, pp. 488 - 492

[7] Mehrabi Kolsoom, Ebrahimi Behzad, Afzali-Kusha Ali, A Robust and Low Power 7T SRAM Cell Design, 2015 18th CSI International Symposium on Computer Architecture and Digital Systems (CADS), Tehran, 7-8 Oct 2015.

[8] Sicard Etienne, Delmas Bendhia Sonia, Basics of CMOS Cell Design, McGraw-Hill Professional, 2007, pp. 69, 70, 71.

[9] Haghdad Kian, Parametric Yield of VLSI Systems under Variability: nalysis and Design Solutions, thesis for the degree of Doctor of Philosophy in Electrical and Computer Engineering, University of Waterloo, 2011, pp.8.

[10] Singh Jawar, P.Mohanty Saraju, K. Pradhan Dhiraj, 2013, Robust SRAM Designs and Analysis, New York, Springer, pp. 66.

[11] Bo Zhai, David Blaauw, Dennis Sylvester, Scott Hanson, A Sub-200mV 6T SRAM in 0.13µm CMOS, IEEE International Solid-State Circuits Conference. 10-12 Feb 2007, pp. 332-333.

[12] Rabaey Jan, Low Power Design Essentials, Springer, 2009, New York, pp. 189, 190, 236.

[13] Gadhe Ajay, Shirode Ujwal, Read stability and Write ability analysis of different SRAM cell, International Journal of Engineering Research and Applications, 2013, Vol. 3. Issue 1, pp. 1073-1078.

[14] P. Pavan Kumar, Dr. R Ramana Reddy and, M.Lakshmi Prasanna Rani,design of high speed and low power 4T SRAM cell, International Journal of Scientific and Research Publications, 2015, Vol 5, no. 2.

[15] a. Pal, Low-Power VLSI Circuits and Systems, Springer, 2009, pp. 176.

www.SID.ir