Archive of SID

ارائه ترانزیستور اثر میدانی تونلی بدون پیوند ناهمگون با گیت دو ماده ای برای کاربردهای آنالوگ و دیجیتال

هادی آغنده[1]، سید علی صدیق ضیابری[2]

[1]دانشجوی کارشناسی ارشد الکترونیک، موسسه آموزش عالی مهرآستان، آستانه

[2]استادیار گروه برق، دانشگاه آزاد اسلامی، واحد رشت، رشت، ایران

چکیده

در این مقاله ترانزیستور اثر میدانی تونلی بدون پیوند با استفاده از نرم افزار Silvaco شبیه سازی می‌شود. بر اساس ایده‌های گیت دو ماده‌ای (DMG) و ساختار ناهمگون (H) کانال-سورس، دو افزاره حاصل شبیه سازی و تحلیل می‌شوند. ما با ترکیب این دو ایده ترانزیستوراثر میدانی تونلی بدون پیوند ناهمگون با گیت دو ماده‌ای را ارائه می‌دهیم. تحلیل و مقایسه این ساختارها در حالت روشن و خاموش بر اساس الگوی نوار انرژی انجام می شود. با تحلیل مقایسه‌ای مشخصه جریان درین نسبت به ولتاژ گیت این افزاره‌ها جریان روشنایی بیشتر،شیب زیر آستانه کمتر، نسبت جریان روشنایی به خاموشی بالاتر و ولتاژ آستانه کمتر افزاره پیشنهادی نسبت به سه ساختار دیگر آشکار است. جهت بررسی مقایسه‌ای بیشتر، شاخص‌های هدایت انتقالی و فرکانس قطع نسبت به ولتاژ گیت این افزاره‌ها شبیه سازی شده‌اند. بهترین رفتار در مقایسه این شاخص‌ها نیز در افزاره پیشنهادی مشاهده می‌شود. بنابراین ترانزیستور پیشنهادی عملکردی بسیار خوب در کاربردهای دیجیتال و آنالوگ نسبت به سه افزاره دیگر دارد.

کلیدواژه

ترانزیستور تونلی بدون پیوند، ساختار ناهمگون، گیت دو ماده‌ای، شیب زیر آستانه، ولتاژ آستانه و فرکانس قطع

مقدمه

ترانزیستورهای مرسوم فلز اکسید نیمه هادی (MOSFETs) دارای پیوند p-n در مرز سورس و درین با کانال هستند. با ادامه روند کوچک سازی ترانزیستورها ایجاد پیوندهای p-n از دیدگاه ساخت، فرایندی پیچیده و هزینه بردار است. در این فرایند به تکنیک‌های بسیار دقیقی نیاز است تا ناخالصی‌های موجود در سورس و درین به داخل کانال نفوذ نکنند.

ترانزیستورهای بدون پیوند آلایشی همسان و یکنواخت در سورس، کانال و درین دارند [۱]. این افزاره‌ها مانند ساختارهای پیوندی مقدار I_{on}/I_{off} کم و شیب زیر آستانه زیادی دارند که در کاربردهای توان پایین مناسب نیست. جهت دست یابی به جریان خاموشی و شیب زیرآستانه‌ای کمتر و در نتیجه آن مقدار I_{on}/I_{off} بیشتر برای کاربردهای ولتاژ پایین، ترانزیستورهای تونلی پیشنهاد شده‌اند [۲,۳].

ما در این پژوهش به شبیه سازی، تحلیل و ارائه ساختار جدید در زمینه ترانزیستورهای اثر میدانی تونلی بدون پیوند می‌پردازیم. جریان درین در این افزاره‌ها بر اساس تونل زنی از سورس به کانال است. این افزاره دارای دو گیت به نام‌های گیت-P و گیت-C است [۴,۵]. این کار با استفاده از روش پلاسمای بار صورت می‌گیرد [۶]، که برای آن دو شرط ضروری وجود دارد. اول، تابع کار گیت‌ها باید با تابع کار سیلیکن متفاوت باشد به طوری که برای ایجاد سیلیکن نوع n باید تابع کار فلز از مقدار $\chi_{Si} + E_g/2$ کمتر باشد. برای ایجاد سیلیکن از نوع p باید تابع کار فلز از مقدار $\chi_{Si} + E_g/2$ بزرگتر باشد. در آن‌ها χ_{Si} الکترون خواهی[1] سیلیکن است. شرط دوم، ضخامت سیلیکن باید کمتر از Debye length باشد (یعنی $L_D < \sqrt{(\frac{\varepsilon_{Si} \times u_T}{q \times N})}$). که در آن ε_{Si} ثابت دی‌الکتریک و N چگالی حامل‌ها و u_T ولتاژ حرارتی[2] است. در این صورت بار موجود در زیر هر دو گیت فارغ از اینکه که سیلیکن زیرین به چه میزان آلایش داشته باشد، توسط حامل‌های بار تعیین می‌شود و ناحیه تخلیه‌ای که در زیر گیت ایجاد می‌گردد ناچیز بوده و می‌توان آن را نادیده گرفت [۶]. بنابراین گیت-P که ناحیه سورس را پوشش می‌دهد با تابع کاری بزرگ سبب تغییر رفتار ناحیه زیرین خود به نیمه هادی نوع p می‌شود، به طور مشابه نیز تابع کار گیت-C (گیت کنترل[3] کننده کانال)، به گونه‌ای انتخاب می‌شود که الگوی نوار انرژی این ناحیه از کانال کمی پایین‌تر از ناحیه گیت-P شود. در نتیجه آن امکان تونل زنی برای الکترون‌ها از سورس به کانال فراهم می‌شود. یکی از مشکلات افزاره‌های تونلی جریان روشنایی پایین است. بنابراین به منظور افزایش عملکرد ترانزیستورهای تونلی بدون پیوند، راهکارهای متفاوتی ارائه شده است. برخی از این راهکارها استفاده از

[1] Electron Affinity

[2] Thermal voltage

[3] Control gate

تاریخ دریافت : ۱۳۹۵/۰۷/۲۶ تاریخ پذیرش : ۱۳۹۶/۰۹/۲۸

www.SID.ir

Archive of SID

کرنش در کانال [۷]، استفاده از ساختار ناهمگون [۱۲-۸] برای کاهش شکاف انرژی و بهبود عملکرد آنالوگ افزاره [۱۳]، و مهندسی گیت [۱۴,۱۵] هستند. در این میان استفاده از گیت دو ماده در این نوع ترانزیستورها امکان انتخاب ولتاژ آستانه مناسب بدون افزایش جریان نشتی را ممکن می‌سازد [۱۶,۱۷]. اثر مثبت ساختار گیت دو ماده بر روی عملکرد فرکانس بالا نیز در این نوع ترانزیستورها مشاهده شده است [۱۸]. همچنین ترکیب ایده گیت دو ماده و ساختار ناهمگون نیز در گذشته بررسی شده است که ساختار ناهمگون آن برای کاهش جریان نشتی در سمت درین قرار دارد [۱۹]. همچنین اثر استفاده از عایق‌هایی با ضریب گذردهی بالا نیز برای بهبود این افزاره‌ها مطرح شده است [۲۰]. دیدگاه اصلی راهکارهای مطرح شده کاهش شکاف انرژی، کاهش سد تونل زنی و افزایش میدان الکتریکی در راستای کانال است.

ما در این مقاله ترانزیستور تونلی بدون پیوند با گیت-C دو ماده‌ای را شبیه سازی و تحلیل می‌کنیم. در ادامه افزاره‌ای تونلی بدون پیوند با ساختار ناهمگون در سورس کانال را شبیه سازی، تحلیل و با ساختار قبل مقایسه می‌کنیم. در انتها با ترکیب این دو ایده ترانزیستور تونلی بدون پیوند ناهمگون با گیت-C دو ماده‌ای را پیشنهاد می‌دهیم. همچنین کارایی بالای افزاره پیشنهادی در کاربردهای دیجیتال و آنالوگ بررسی و تحلیل می‌شود.

ساختارها و شبیه سازی

در شکل ۱ تصویرهای توصیفی دو بعدی چهار افزاره شبیه سازی شده در این پژوهش نشان داده شده‌اند. شکل ۱-الف نشان دهنده نمونه معمول از ترانزیستور اثر میدانی تونلی بدون پیوند است که در گیت-C آن از یک نوع ماده گیت استفاده شده است و به اختصار SMG-JLTFET[۴] نامیده می‌شود. کانال، سورس و درین به طور یکنواخت به مقدار 1×10^{19} cm^{-3} از نوع n آلایش شده‌اند. این الگوی آلایش در سه افزاره بعد تکرار می‌شود. جهت دستیابی به کنترل بهتر بر کانال از ساختار دو گیتی (بالا و پایین) استفاده شده است.

شکل ۱-ب افزاره‌ای است که دارای دو ماده با تابع کار متفاوت در گیت-C می‌باشد که DMG-JLTFET[۵] نامیده می‌شود. ناحیه نزدیک به سورس گیت تونلی[۶] و بخش نزدیک به درین گیت کمکی[۷] نامیده می‌شوند. در این پژوهش اندازه گیت تونلی نصف گیت کمکی است. شکل ۱-ج ترانزیستور اثر میدانی تونلی بدون پیوند کانال ناهمگون (SMG-H-JLTFET[۸]) است. در این ساختار جنس ماده سورس از ژرمانیوم است. شکل ۱-د ساختار پیشنهادی ما بر اساس ترکیب دو ایده ناهمگون و گیت دو ماده، ترانزیستور اثر میدانی تونلی بدون پیوند ناهمگون با گیت دو ماده است که به اختصار با DMG-H-JLTFET نامیده می‌شود. اکسید گیت ترانزیستورها از جنس SiO_2 است. شاخص‌های مورد استفاده در این ساختارها در جدول ۱ قابل مشاهده است. شبیه سازی‌های این پژوهش در نرم افزار Silvaco Atlas 2D سری R ۵,۱۹,۲۰ انجام شده است. به منظور بررسی جریان تونل زنی درون کانال از مدل تونل زنی غیر محلی باند به باند (BBT.NONLOCAL) استفاده می‌شود. این مدل جریان تونل زنی را به طور دقیق محاسبه می‌کند [۲۱]. این مدل در پژوهش‌های مختلف برای بررسی اثر تونل زنی استفاده شده است [۱۸-۱۲].

به دلیل تراکم ناخالصی بالا در کانال از مدل باریک شدگی گاف انرژی (BGN) و مدل شاکلی رید هال (SRH) به منظور مدل سازی اثر تله و مشکلات شبکه استفاده می‌شود. تونل زنی به کمک تله‌های موجود در شبکه نیمه هادی نقش مهمی در جریان تونل زنی ایفا می‌کنند، لذا این اثر با استفاده از مدل TAT در شبیه سازی در نظر گرفته شده است [۲۲]. در گذشته نشان داده شده است که بخش قابل توجه‌ای از جریان خاموشی مربوط به تونل زنی از طریق نقایص شبکه است [۴]. بنابراین ما با درنظر داشتن این مدل، می‌توانیم دقت بالاتری را برای محاسبه جریان خاموشی انتظار داشته باشیم. اثر تحدید کوانتومی در نزدیکی اکسید گیت نیز در این شبیه سازی در نظر گرفته شد، لذا برای شبیه سازی این اثر از مدل مکانیک کوانتومی HANSCHQM استفاده شد [۲۳].

جدول ۱. شاخص‌های به کار رفته در شبیه سازی

پارامتر	مقدار
آلایش درین/سورس/کانال	$1\times10^{19}cm^{-3}$
ضخامت موثر اکسید	۲ nm
تابع کار گیت-P	۵/۹۳ eV
تابع کار گیت-C برای گیت تک ماده	۴/۷ eV
تابع کار گیت تونلی (TUN) برای گیت دو ماده	۴/۱eV
تابع کار گیت کمکی (AUX) برای گیت دو ماده	۴/۷eV
ثابت دی الکتریک اکسید گیت (SiO_2)	۳/۹

[۴] Single Material Gate Junctionless TFET

[۵] Double Material Gate Junctionless TFET

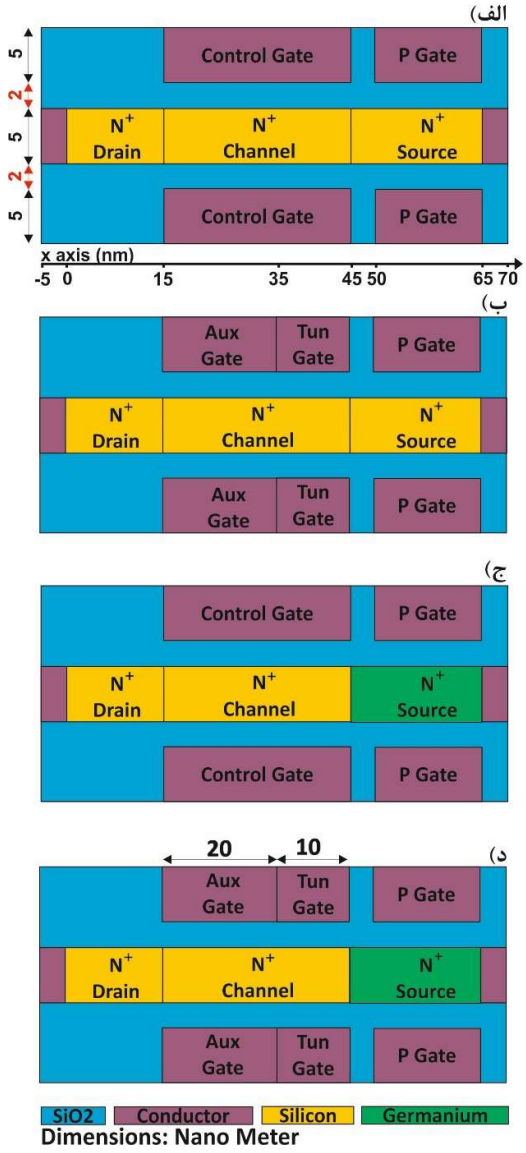
[۶] Tunneling Gate

[۷] Auxilary Gate

[۸] Single Material Gate Hetero-structureJunctionless TFET

www.SID.ir

Archive of SID



شکل ۱. تصویر توصیفی دو بعدی الف) SMG-JLTFET ب) DMG-JLTFET ج) SMG-H-JLTFET د) DMG-H-JLTFET

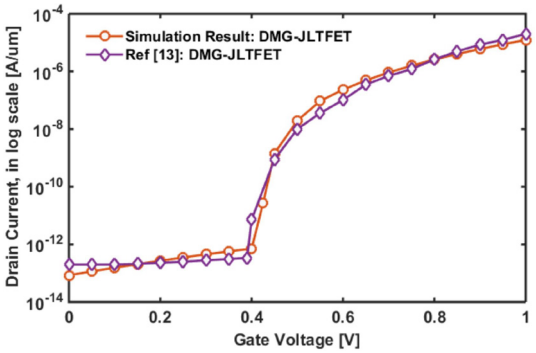
نتایج و تحلیل:

جریان درین در ترانزیستورهای تونلی رابطه مستقیمی با احتمال تونل زنی حامل‌ها دارد که از طریق تقریب WKB[۹] محاسبه می‌شود و رابطه آن به صورت زیر است [۲۴,۲۵].

$$T(E) \approx \exp\left(-\frac{4\Lambda E_g^{\frac{3}{2}}\sqrt{2m^*}}{3q\hbar(E_g+\Delta\emptyset)}\right) \qquad (۱)$$

در این رابطه m^* جرم موثر حامل در هنگام تونل زنی است. $\Delta\emptyset$ تفاوت سطوح انرژی نوار ظرفیت سورس با نوار هدایت کانال است. E_g شکاف انرژی و Λ پهنای سد تونلی، q بار الکترون و $\hbar$ ثابت پلانک است. با توجه به این رابطه می‌توان دریافت که احتمال تونل زنی با شکاف انرژی و پهنای تونل زنی رابطه‌ی عکس دارد. این رابطه در تحلیلی برخی رفتارهای محاسبه شده در این افزره ها قابل استفاده است.

در این بخش ابتدا الگوی نوار انرژی و مشخصه جریان درین سورس به ولتاژ گیت سورس، چهار ساختار شکل ۱ شبیه سازی، تحلیل و مقایسه می‌شوند. در ادامه مشخصه های هدایت انتقالی، فرکانس قطع، شیب زیر آستانه، جریان روشنایی به خاموشی و ولتاژ آستانه محاسبه و مقایسه می‌شوند. در آغاز فرایند شبیه سازی ترانزیستور اثر میدانی تونلی بدون پیوند با گیت دو ماده‌ای مطرح شده در [۱۵] را شبیه سازی می‌کنیم. عایق این افزاره HfO_2 است. همانطور که در شکل ۲ مشاهده می‌شود جریان درین سورس نسبت به ولتاژ گیت محاسبه شده مشابه نتیجه مرجع است.



شکل ۲. شبیه سازی مشخصه جریان درین سورس نسبت به ولتاژ گیت DMG-JLTFET و مقایسه آن با نتیجه حاصل شده در [۱۵]

الف) استفاده از دو ماده برای گیت-C

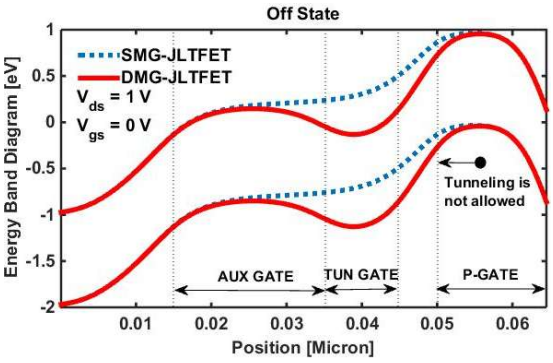
شکل ۳ الگوی نوار انرژی دو افزاره SMG-JLTFET شکل ۱-الف و DMG-JLTFET شکل ۱-ب را در شرایط V_{ds}=1 V و V_{gs}=0 V (حالت خاموشی) نشان می‌دهد. الگوی نوار انرژی DMG-JLTFET نشان می‌دهد که تابع کار کم گیت تونلی سبب پایین آمدن الگو می‌شود. با توجه به تابع کار گیت کمکی الگوی نوار انرژی آن مانند حالت تک ماده است. تابع کار گیت تونلی، ولتاژ آستانه را کنترل می‌کند و مقدار کم آن می‌تواند سبب افزایش جریان خاموشی شود، اما به دلیل ناحیه گیت کمکی جریان خاموشی افزایش چندانی نمی‌یابد. شکل ۴ الگوی نوار انرژی دو افزاره SMG-JLTFET و DMG-JLTFET در شرایط روشن (V_{gs}= 1 V) را نشان می‌دهد. در این شکل مشاهده می‌شود که در ساختار DMG عرض سد پتانسیل ناحیه تونلی (Tunneling Barrier Width) در مقایسه با ساختار SMG بسیار کمتر است. این کاهش عرض به دلیل ایجاد گیت

[۹] Wentzel–Kramers–Brillouin

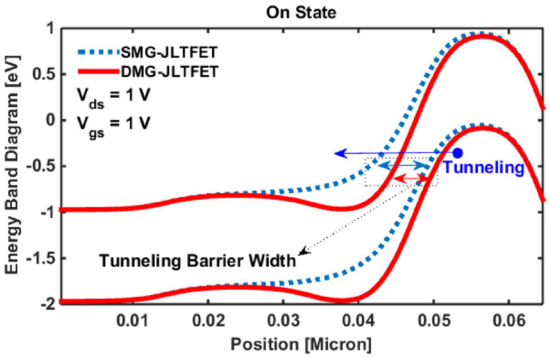
www.SID.ir

Archive of SID

تونلی است که در نتیجه آن جریان روشنایی افزایش خواهد یافت. زیرا طبق رابطه (۱) با کاهش سد تونلی احتمال تونل زنی الکترون‌ها بهبود یافته است.

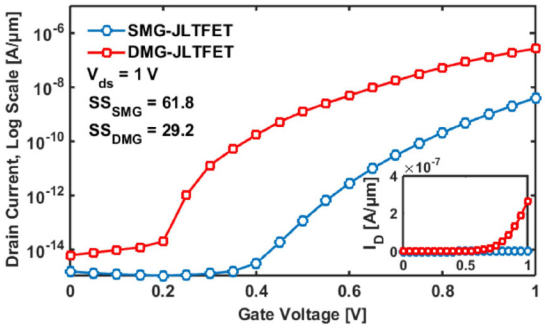


شکل ۳. الگوی نوار انرژی در حالت خاموش برای دو افزاره SMG-JLTFET و DMG-JLTFET



شکل ۴. الگوی نوار انرژی در حالت روشن برای دو افزاره SMG-JLTFET و DMG-JLTFET

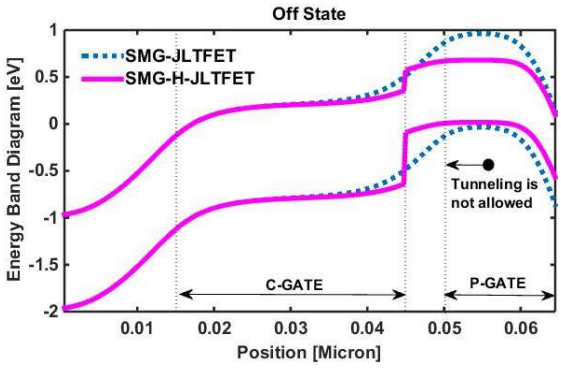
شکل ۵ مشخصه جریان درین سورس نسبت به ولتاژ گیت سورس را برای دو ساختار DMG و SMG به صورت لگاریتمی نشان می‌دهد. همانطور که پیش بینی شد استفاده از دو نوع ماده در گیت کنترل سبب افزایش جریان روشنایی شده است. در شرایطی که جریان خاموشی افزایش زیادی ندارد. جریان خاموشی و روشنایی به ترتیب برای افزاره SMG به اندازه $۱/۵۴\times۱۰^{-۱۵}$A/μm و $۴/۰۳\times۱۰^{-۹}$A/μm و برای افزاره DMG به ترتیب $۶/۱\times۱۰^{-۱۵}$A/μm و $۲/۶۷\times۱۰^{-۷}$A/μm هستند. افزاره DMG نسبت به SMG دارای جریان روشنایی ۶۶ برابر بیشتر است، در حالی که جریان خاموشی آن فقط ۴ برابر شده است. بنابراین I_{on}/I_{off} در افزاره DMG-JLTFET به اندازه قابل توجه‌ای بهبود یافته است. شیب زیر آستانه نقطه‌ای برای افزاره SMG به مقدار ۶۱/۸ mV/dec و برای افزاره DMG در حدود ۲۹/۲ mV/dec محاسبه شده است. همچنین کاهش ولتاژ آستانه افزاره نیز به دلیل پایین آمدن الگوی نوار انرژی در سمت سورس در شکل ۵ قابل مشاهده است. منحنی داخلی شکل ۵ نمایش خطی مشخصه جریان ولتاژ است.



شکل ۵. مشخصه لگاریتمی جریان ولتاژ برای دوافزاره SMG-JLTFET و DMG-JLTFET. منحنی داخلی نماینده مشخصه خطی جریان ولتاژ است.

ب) ساختار ناهمگون سورس کانال

شکل ۶ الگوی نوار انرژی SMG-H-JLTFET شکل ۱-ج را در مقایسه با افزاره SMG-JLTFET شکل ۱-الف نشان می‌دهد. در این بخش دو افزاره از نوع گیت تک ماده و در شرایط خاموشی هستند و فقط اثر ساختار ناهمگون در مرز ناحیه‌های سورس و کانال را بررسی می‌کنیم. آلایش کانال و سورس در این ساختار یکسان است. همانطور که مشاهده می‌شود ژرمانیوم در سورس سبب ایجاد تغییر شدید در الگوی نوار انرژی در مرز با کانال می‌شود. در گذشته استفاده از ماده‌ای با شکاف انرژی کوچک در سمت سورس به عنوان روشی برای افزایش جریان روشنایی، کنترل جریان نشتی و جریان خاموشی کم ارائه شده است [۲۶]. با توجه به شکل ۷، با اعمال ولتاژ گیت الگوی نوار انرژی تحت تاثیر این ولتاژ پایین می‌آید. کاهش پهنای سد تونلی در افزاره ناهمگون نسبت به SMG در این شکل آشکار است همچنین با توجه به رابطه (۱)، کاهش مقدار E_g می‌تواند باعث بهبود جریان تونلی شود. در نتیجه کاهش این شاخص، افزایش جریان روشنایی مورد انتظار است.

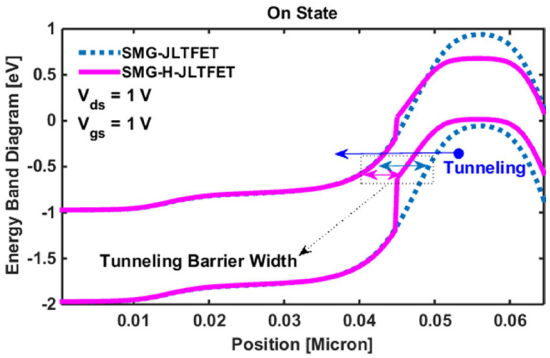


شکل ۶. الگوی نوار انرژی در حالت خاموش برای دو افزاره SMG-JLTFET و SMG-H-JLTFET

www.SID.ir

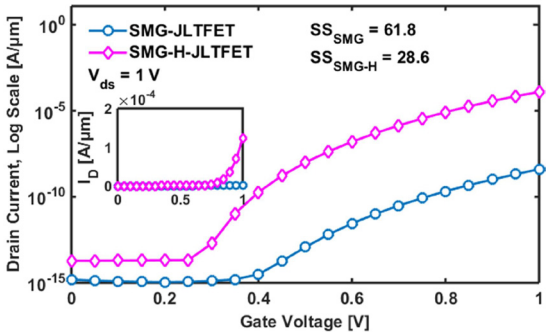
Archive of SID

شکل ۸ منحنی جریان درین سورس نسبت به ولتاژ گیت برای SMG-H-JLTFET و SMG-JLTFET را نشان می‌دهد. وجود ماده با شکاف انرژی کوچکتر (ژرمانیوم) درسورس سبب افزایش چشمگیر جریان روشنایی در افزاره می‌شود.

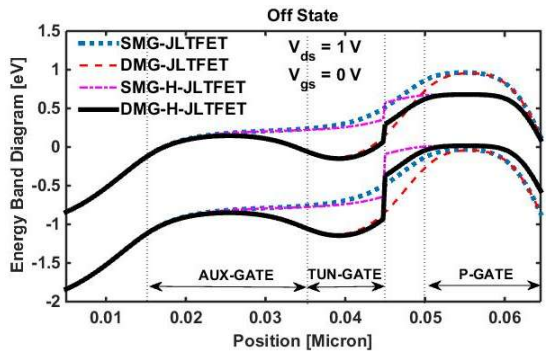


شکل ۷. الگوی نوار انرژی در حالت روشن برای دو افزاره SMG-JLTFET و SMG-H-JLTFET

جریان روشنایی برای این افزاره $۱/۲۳\times۱۰^{-۴}$A/μm است که با جریان خاموشی به اندازه $۱/۸۹\times۱۰^{-۱۴}$A/μm مقدار I_{on}/I_{off} آن $۶/۵\times۱۰^{۹}$ است. شیب زیر آستانه نقطه‌ای برای این افزاره ناهمگون ۲۸/۶ mV/dec است. نمودار داخلی شکل ۸ ارائه دهنده منحنی خطی مشخصه جریان درین–ولتاژ گیت است.



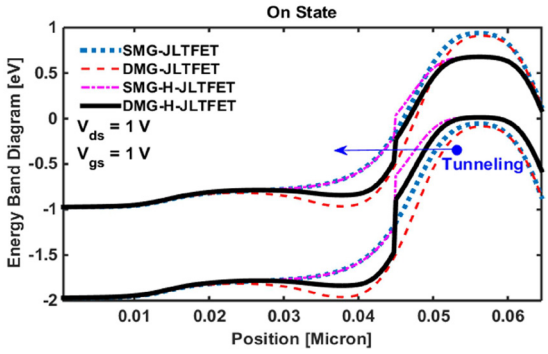
شکل ۸. مشخصه لگاریتمی جریان ولتاژ برای دو افزاره SMG-JLTFET و SMG-H-JLTFET. نمودار داخلی ارائه دهنده مشخصه خطی جریان ولتاژ است.



شکل ۹. دیاگرام باند انرژی در حالت خاموش برای چهار افزاره SMG-DMG-H-JLTFET و SMG-H-JLTFET،DMG-JLTFET،JLTFET

ج) ترانزیستور تونلی با کانال ناهمگون و گیت دو ماده

همانطور که مشاهده شد استفاده از ایده‌های گیت دو ماده و ساختار ناهمگون سبب بهبود عملکرد افزاره شکل ۱-الف شد. ما در این مقاله با ترکیب دو ساختار گیت دو ماده و سورس کانال ناهمگون، افزاره DMG-H-JLTFET شکل ۱-د را پیشنهاد داده به بررسی و مقایسه عملکرد آن می‌پردازیم. الگوی نوار انرژی این افزاره پیشنهادی در حالت خاموشی را محاسبه کرده و در شکل ۹ نشان می‌دهیم. در این شکل الگوی نوار انرژی سه افزاره دیگر را جهت تحلیل مقایسه ای نشان داده‌ایم. پهنای سد تونل زنی در حالت خاموش نسبت دیگر ساختارها کاهش بیشتری از خود نشان می‌دهد. این کاهش می‌تواند سبب افزایش جریان خاموشی گردد. اما گیت کمکی با تابع کار ۴/۷ الکترون ولت مانند سد عمل کرده و مانع افزایش قابل ملاحظه جریان خاموشی می‌شود. در شکل ۱۰ الگوی نوار انرژی در حالت روشن مشاهده می‌شود. افزاره پیشنهادی به دلیل استفاده از دو ویژگی گیت دو ماده و ساختار ناهمگون عرض سد تونل زنی بسیار کوچکتری نسبت به دیگر ساختارها دارد. این کاهش عرض سبب جریان روشنایی زیاد این افزاره می‌شود.

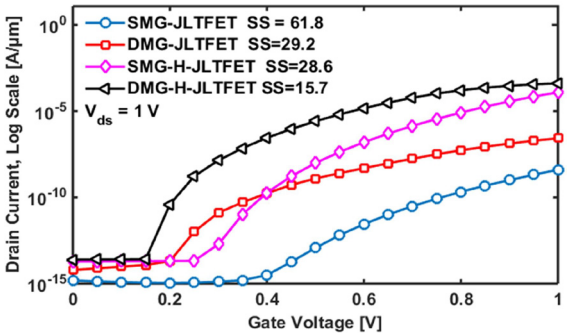


شکل ۱۰. دیاگرام باند انرژی در حالت روشن برای چهار افزاره SMG-DMG-H-JLTFET و SMG-H-JLTFET،DMG-JLTFET،JLTFET

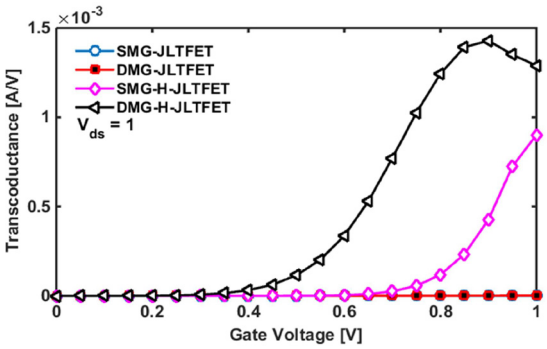
شکل ۱۱ منحنی جریان درین نسبت به ولتاژ گیت را برای افزاره‌های DMG-H-JLTFET، SMG-JLTFET، DMG-JLTFET و SMG-H-JLTFET را نشان می‌دهد. جریان روشنایی این ساختار پیشنهادی بهبود چشمگیری نسبت به دیگر ساختارها از خود نشان می‌دهد. جریان روشنایی آن $۴/۱\times۱۰^{-۴}$A/μm است. این مقدار در مقایسه با SMG-JLTFET تقریبا $۱۰^{۵}$ برابر بزرگتر است. جریان خاموشی برابر با $۲/۴۸\times۱۰^{-۱۴}$A/μm است که حدودا ۱۶ برابر مقدار SMG-JLTFET است. مقدار I_{on}/I_{off} برای این افزاره $۱/۶۵\times۱۰^{۱۰}$ است که نسبت به سه ساختار دیگر عملکرد بهتری دارد. همچنین شیب زیر آستانه نقطه‌ای به اندازه ۱۵/۷ mV/dec محاسبه شد.

www.SID.ir

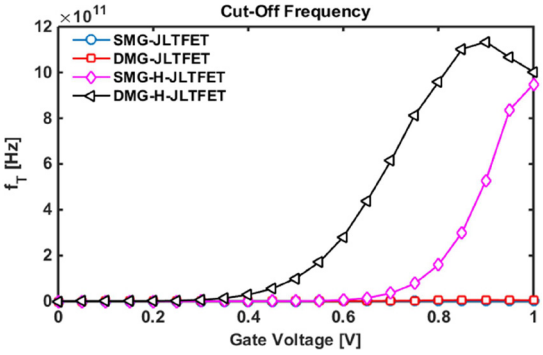
Archive of SID



شکل ۱۱. مشخصه لگاریتمی جریان ولتاژ برای چهار افزاره SMG-JLTFET،DMG-JLTFET،SMG-H-JLTFET و DMG-H-JLTFET



شکل ۱۲. هدایت انتقالی برای چهار افزاره SMG-JLTFET،DMG-JLTFET، SMG-H-JLTFET و DMG-H-JLTFET



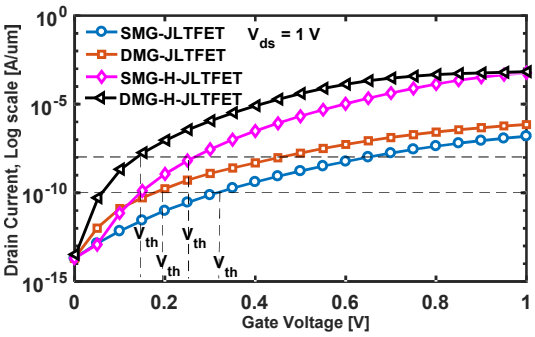
شکل ۱۳. فرکانس قطع برای چهار افزارهSMG-JLTFET، DMG-JLTFET، SMG-H-JLTFETو DMG-H-JLTFET در Vds=1 V

در این بخش منحنی هدایت انتقالی و فرکانس قطع برای این ساختارها محاسبه شده‌اند. هدایت انتقالی و فرکانس قطع از شاخص‌های کلیدی در ارزیابی کارایی افزاره در کاربرد آنالوگ هستند. هدایت انتقالی از رابطه‌ی $g_m=\partial I_{ds}/\partial V_{gs}$ محاسبه می‌شود. شکل ۱۲ منحنی هدایت انتقالی نسبت به ولتاژ را در V_{ds}=1 V نشان می‌دهد. افزاره DMG-H-JLTFET دارای g_m بزرگتری نسبت به دیگر ساختارها است. این رفتار با توجه به شکل ۱۱ به دلیل بهبود جریان نسبت به ولتاژ ناشی از کاهش پهنای سد تونل زنی است. هرچقدر که جریان در بازه‌های مساوی از ولتاژ تغییرات بیشتری نسبت به دیگر ساختارها داشته باشد، هدایت انتقالی بهبود می‌یابد. فرکانس قطع یکی از شاخص‌های مهم در عملکرد آنالوگ یک افزاره می‌باشد. این شاخص با رابطه‌ی $f_T=g_m/2\pi Cg$ تعریف می‌شود که g_m ترارسانایی و Cg خازن کل گیت هستند. خازن گیت توسط حل ac در فرکانس ۱ مگاهرتز استخراج شد و در محاسبه فرکانس قطع استفاده گردید. شکل ۱۳ نشان دهنده فرکانس قطع برای چهار ساختار است. افزاره DMG-H-JLTFET در کل محدوده ولتاژ گیت فرکانس قطع بزرگتری از دیگر ساختارها دارد.

به منظور اینکه مقایسه بین شاخص‌های افزاره عادلانه باشد، تابع کار گیت‌ها را مطابق با جدول ۲ تغییر داده‌ایم تا اینکه تمامی ساختارها دارای جریان خاموشی یکسان باشند و تونل زنی در نزدیکی ولتاژ گیت صفر ولت شروع شود. مشخصه جریان ولتاژ این چهار ساختار در شکل ۱۴ ارائه شده است. مقدار جریان خاموشی برای تمامی ساختارها تقریبا معادل ۲×۱۰^{-۱۴}A/μm است.

جدول ۲. تابع کار مورد استفاده برای هر ساختار برای یکسان سازی جریان خاموشی با فرض تابع کار گیت-P به اندازه ۵/۹۳ eV

ساختارها	تابع کار گیت کنترل	
SMG	۴/۲۴ eV	
SMG-H	۴/۴۵ eV	
	تابع کار گیت تونلی	تابع کار گیت کمکی
DMG	۳/۹۰ eV	۴/۵۰ eV
DMG-H	۳/۹۵ eV	۴/۵۵ eV



شکل ۱۴. مشخصه جریان ولتاژ برای چهار افزاره SMG-JLTFET، DMG-JLTFET، SMG-H-JLTFET و DMG-H-JLTFET در Vds=1 V با تابع کار مطرح شده در جدول ۲

در جدول ۳ شاخص‌های شیب زیر آستانه نقطه‌ای و متوسط، ولتاژ آستانه، جریان خاموشی، جریان روشنایی و نسبت جریان روشنایی به خاموشی در شرایط $V_{ds}=V_{gs}$= 1 V محاسبه شده‌اند.

www.SID.ir

Archive of SID

عملکرد کلیدزنی در ترانزیستورها توسط شاخص شیب زیر آستانه ارزیابی می‌شود. برای محاسبه شیب زیر آستانه متوسط می‌توان از رابطه‌ی $SS_{av.} = \frac{V_{th}-V_r}{\log I_{th}-\log I_r}(\frac{mV}{dec})$ استفاده کرد [۲۷]. که در آن V_{th} و I_{th} به ترتیب ولتاژ و جریان آستانه افزاره و V_r ولتاژی است که در ازای آن جریان درین شروع به افزایش می‌کند و I_r مقدار جریان در نقطه آغاز افزایش است. شاخص شیب زیر آستانه چهار افزاره مورد بررسی در جدول ۳ مشاهده می‌شود و نشان دهنده عملکرد بهتر ساختار DMG-H است. با توجه به روند متغییر شیب زیر آستانه در ترانزیستورهای تونلی، روش جریان ثابت برای بدست آوردن ولتاژ آستانه این نوع افزاره‌ها استفاده شده است [۲۸]. جریان مورد نظر باید مطابق با نوع ساختار انتخاب شود. بنابراین برای ساختار DMG و SMG از جریان $۱۰^{-۱۰}$A/μm و برای ساختارهای SMG-H و DMG-H که جریان بیشتری دارند از جریان $۱۰^{-۸}$A/μm استفاده می‌شود. ولتاژ متناظر با این جریان‌ها ولتاژ آستانه بوده که در شکل ۱۴ قابل مشاهده هستند و در جدول ۳ نیز بیان شده‌اند. مشاهده می‌شود که ولتاژ آستانه افزاره DMG-H-JLTFET از دیگر افزاره‌ها کمتر است، که نشان دهنده کارایی آن برای کاربردهای توان پایین است. با توجه به یکسان سازی جریان خاموشی ساختارها، مشاهده می‌شود که جریان روشنایی ساختار DMG-H با اختلاف کمی نسبت به ساختار SMG-H بیشترین مقدار را دارد و شاخص I_{on}/I_{off} این دو ساختار تقریبا یکسان است. اما از دیدگاه دیگر شاخص‌ها عملکرد افزاره پیشنهادی بسیار بهبود یافته است.

نتیجه گیری:

ما در این پژوهش ترانزیستور اثر میدانی بدون پیوند تونلی معمول، با گیت دو ماده‌ای و با ساختار ناهمگون را شبیه سازی کرده و شاخص‌های مهم در کاربردهای آنالوگ و دیجیتال را بررسی و مقایسه کردیم. ابتدا نشان دادیم که استفاده از مهندسی گیت می‌تواند عملکرد افزاره را بهبود دهد و سپس با ایجاد ساختار ناهمگون در سورس کانال عملکرد افزاره بهبود یافت. بر این اساس ساختار جدید DMG-H-JLTFET پیشنهاد شد، که با ایجاد گیت دو ماده در ساختار ناهمگون، امکان استفاده از مزایای آن را برای یک افزاره ناهمگون را فراهم می‌آورد. در واقع می‌توان به صورت مجزا جریان نشتی و ولتاژ آستانه را کنترل کرد. از دیدگاه آنالوگ مشاهده شد که مهندسی گیت و ساختار ناهمگون سبب افزایش جریان و بهبود عملکرد در هدایت انتقالی و فرکانس قطع می‌شود. در این تحلیل مقایسه‌ای برتری شاخص‌های افزاره پیشنهادی مشاهده شد. از دیدگاه دیجیتال افزاره‌های با گیت مهندسی شده و ناهمگون دارای نسبت جریان روشن به خاموش بسیار بالا، شیب زیر آستانه کمتر و ولتاژ آستانه پایین‌تری، نسبت به افزاره معمول بودند. اما ساختار پیشنهادی ما با نسبت جریان روشنایی به خاموشی $۲/۴۶\times۱۰^{۱۰}$ و ولتاژ آستانه بسیار پایین به مقدار ۰/۱۵ V عملکرد بهتری نسبت به سه افزاره دیگر دارد.

جدول ۳. برخی از شاخص‌های محاسبه شده برای چهار ساختار شبیه سازی شده در این پژوهش در $V_{ds}=V_{gs}=1$ V

شاخص‌ها	ساختارها			
	SMG-JLTFET	DMG-JLTFET	SMG-H-JLTFET	DMG-H-JLTFET
SS_{point} (mV/dec)	۶۱/۸	۲۹/۲	۲۸/۶	۱۵/۷
$SS_{av.}$ (mV/dec)	۸۶	۵۴	۴۷	۲۶
V_{th}(V)	~۰/۳۲	~۰/۲۰	~۰/۲۷	~۰/۱۵
I_{on} (A)	$۱/۵۵\times۱۰^{-۷}$	$۷/۰۹\times۱۰^{-۷}$	$۴/۸۶\times۱۰^{-۴}$	$۵/۱۶\times۱۰^{-۴}$
I_{off}(A) (V_{gs}=0 V)	$۲/۰۵\times۱۰^{-۱۴}$	$۲/۰۰\times۱۰^{-۱۴}$	$۲/۰۵\times۱۰^{-۱۴}$	$۲/۰۹\times۱۰^{-۱۴}$
I_{on}/I_{off}	$۷/۵۶\times۱۰^{۶}$	$۳/۵۴\times۱۰^{۷}$	$۲/۳۷\times۱۰^{۱۰}$	$۲/۴۶\times۱۰^{۱۰}$

مراجع:

[1] J.-P. Colinge, C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, M. White, A.-M. Kelleher, B. McCarthy & R. Murphy, "Nanowire transistors without junctions," *Nature Nanotechnology,* vol. 5, no. 3, p. 225, 2010.

[2] Chi-Woo Lee, Alexei N,Nazarov, Isabelle Ferain, Nima Dehdashti Akhavan,Ran Yan, Pedram Razavi, Ran Yu, Rodrigo T. Doria, and Jean-Pierre Colinge, "Low subthreshold slope in junctionless multigate transistors," *Applied Physics Letters,* vol. 96, no. 10, p. 102106, 2010.

[3] M. T. Björk, J. Knoch, H. Schmid, H. Riel and W. Riess, "Silicon nanowire tunneling field-effect

www.SID.ir

Archive of SID

Electronics, vol. 15, no. 3, pp. 850-856, 2016

[14] B. Ghosh, P. Bal, P. Mondal, "A junctionless tunnel field effect transistor with low subthreshold," *Journal of Computational Electronics,* vol. 12, no. 3, p. 428, 2013.

[15] P. Bal, B. Ghosh, P. Mondal, M. Akram and B. Tripathi, "Dual material gate junctionless tunnel field effect transistor," *Journal of Computational Electronics,* vol. 13, no. 1, pp. 230-234, 2013.

[16] S. Abbassi, F. Bashir, S. Loan and A. Alamoud, "Hetero Gate Material and Dual Oxide Dopingless Tunnel FET", *Proceedings of the International MultiConference of Engineers and Computer Scientists*, vol. 2, 2016.

[17] R. Molaei Imen Abadi and S. Sedigh Ziabari, "Improved performance of nanoscale junctionless tunnel field-effect transistor based on gate engineering approach", *Applied Physics A*, vol. 122, no. 11, 2016

[18] K. Nigam, P. Kondekar and D. Sharma, "High frequency performance of dual metal gate vertical tunnel field effect transistor based on work function engineering", *Micro & Nano Letters*, vol. 11, no. 6, pp. 319-322, 2016.

[19] Ghosh, Bahniman, Shibir Basak, and Pranav Kumar Asthana. "Performance Improvement In Nanoscale Ge–Gaas Heterojunction Junctionless Tunnel FET Using A Dual Material Gate". Journal of Low Power Electronics 10.3 (2014): 354-360. Web. 25 Jan. 2017.

[20] A. Lahgere, M. Panchore and J. Singh, "Dopingless ferroelectric tunnel FET architecture for the improvement of performance of dopingless n-channel tunnel FETs", *Superlattices and Microstructures*, vol. 96, pp. 16-25, 2016.

[21] Silvaco Inc., Atlas User's Manual, 2014.

[22] A. Schenk, "A model for the field and temperature dependence of SRH lifetimes in silicon," *Solid-State Electronics,* vol. 35, no. 11, pp. 1585-1596, 1992.

[23] W. Hänsch, T. Vogelsang, R. Kircher and M. Orlowski, "Carrier Transport Near the Si/SiO2 Interface of a MOSFET," *Solid-State Elec,* vol. 32, no. 10, p. 839, 1989.

[24] A. Ionescu and H. Riel, "Tunnel field-effect transistors as energy-efficient electronic switches", *Nature*, vol. 479, no. 7373, pp. 329-

transistors," *Applied Physics Letters,* vol. 92, no. 19, p. 193504, 2008.

[4] B. Ghosh and M. W. Akram, "Junctionless Tunnel Field Effect Transistor," *IEEE Electron Device Letters,* vol. 34, no. 5, p. 584, 2013.

[5] M. Jagadesh Kumar, S. Janardhanan, "Doping-Less Tunnel Field Effect Transistor: Design and Investigation," *IEEE Transactions on Electron Devices,* vol. 60, no. 10, pp. 3285-3290, 2013.

[6] R. Hueting, B. Rajasekharan, C. Salm and J. Schmitz, "The Charge Plasma P-N Diode", *IEEE Electron Device Letters*, vol. 29, no. 12, pp. 1367-1369, 2008.

[7] R. M. Imen Abadi, S. A. Sedigh Ziabari, "Representation of strained gate-all-around junctionless tunneling nanowire filed effect transistor for analog applications," *Microelectronic Engineering,* vol. 162, p. 12, 2016.

[8] R. M. Imen Abadi and S. A. Sedigh Ziabari, "Representation of type I heterostructure junctionless tunnel field effect transistor for high-performance logic application," *Applied Physics A,* vol. 122, no. 6, p. 616, 2016.

[9] P. Kumar Asthana, B. Ghosh, Y. Goswami and B. Tripathi, "High-Speed and Low-Power Ultradeep-Submicrometer III–V Heterojunctionless Tunnel Field-Effect Transistor," *IEEE Transactions on Electron Devices,* vol. 61, no. 2, pp. 479-486, 2014.

[10] S. Gundapaneni, A. Konar, M. Bajaj, K. Murali, "Improved Performance of Junctionless Tunnel FETs with Source/Channel Heterostructure," *Physics of Semiconductor Devices,* p. 289, 2013.

[11] S. Basak, P. Kumar Asthana, Y. Goswami, and B. Ghosh, "Dynamic threshold voltage operation in Si and SiGe source junctionless tunnel field effect transistor," *Journal of Semiconductors,* vol. 35, no. 11, p. 114001, 2014.

[12] P. K. ASTHANA, Y.Goswami, S. Basak, S. B. Rahi and B. Ghosh, "Improved Performance of Junctionless Tunnel Field Effect Transistor with Si and SiGe Hetero-Structure for Ultra Low Power Applications," *RSC Advances,* vol. 5, no. 60, p. 48779, 2015.

[13] S. Anand and R. Sarin, "Analog and RF performance of doping-less tunnel FETs with Si 0.55 Ge 0.45 source", *Journal of Computational*

www.SID.ir

Archive of SID

on Electron Devices, vol. 54, no. 7, pp. 1725–1733, Jul. 2007.

[28] A. Ortiz-Conde, F. García Sánchez, J. Liou, A. Cerdeira, M. Estrada and Y. Yue, "A review of recent MOSFET threshold voltage extraction methods", Microelectronics Reliability, vol. 42, no. 4-5, pp. 583-596, 2002.

337, 2011.

[25] M. Rahimian and M. Fathipour, "Asymmetric junctionless nanowire TFET with built-in n + source pocket emphasizing on energy band modification", *Journal of Computational Electronics*, vol. 15, no. 4, pp. 1297-1307, 2016.

[26] S. Rahi, B. Ghosh and B. Bishnoi, "Temperature effect on hetero structure junctionless tunnel FET", Journal of Semiconductors, vol. 36, no. 3, p. 034002, 2015.

[27] K. Boucart and A. M. Ionescu, "Double-gate tunnel FET with High gate Dielectric," IEEE Transactions

www.SID.ir

Archive of SID

www.SID.ir