تحلیل و طراحی سنتزکننده فرکانس برپایه ساختارحلقه قفل فاز نوع سوم برای سیستم های رادار موج پیوسته با مدولاسیون فرکانس

علی علایی صلوات[۱]، سعید سعیدی[۲]

[۱]دانش آموخته مقطع کارشناسی ارشد الکترونیک، دانشکده مهندسی برق و کامپیوتر، دانشگاه تربیت مدرس

[۲](نویسنده مسئول) استادیار دانشکده مهندسی برق و کامپیوتر، دانشگاه تربیت مدرس، نشانی پست الکترونیک: saeed.saeedi@modares.ac.ir

چکیده

در این مقاله، پیشنهاد به کارگیری حلقه قفل فاز نوع سوم در سنتزکننده های فرکانس عدد کسری برای سیستم رادار موج پیوسته با مدولاسیون فرکانس مطرح می شود. تحلیل حلقه قفل فاز نوع سوم و مقایسه آن با حلقه قفل فاز متداول نوع دوم نشان می دهد که این ساختار تغییرات فرکانس خطی در سیستم رادار موج پیوسته را با دقت بیشتری دنبال می کند و خطای فاز ماندگار در آن، برخلاف حلقه قفل فاز نوع دوم، به طور مستقل از پهنای باند حلقه و یا شیب تغییرات فرکانس خروجی، به صفر می رسد. با توجه به شرایط پایداری، توان مصرفی، نویز فاز خروجی و دقت مورد نیاز برای مدولاسیون فرکانس، روند طراحی سنتزکننده فرکانس مبتنی بر حلقه قفل فاز نوع سوم در این مقاله بیان شده و برمبنای آن، یک سنتزکننده فرکانس عدد کسری به همراه مدولاتور دلتا- سیگما جهت اعمال مدولاسیون مثلثی در فرکانس مرکزی ۱۰ گیگاهرتز با شیب تغییرات فرکانس ۲ مگاهرتز بر میکروثانیه طراحی می شود. شبیه سازی مدار طراحی شده در فناوری ۰/۱۸ میکرومتر سی ماس، کاهش ۳۴ درصدی خطای فرکانس خروجی را نسبت به طراحی با ساختار حلقه قفل فاز نوع دوم، در توان مصرفی یکسان، نشان می دهد.

کلیدواژه

رادار موج پیوسته با مدولاسیون فرکانس، سنتزکننده فرکانس عدد کسری، حلقه قفل فازنوع سوم، فیلترحلقه، مدولاتور دلتا-سیگما

مقدمه

رادارهای موج پیوسته با مدولاسیون فرکانس[۱] کاربردهای متنوعی در صنایع مختلف مانند صنعت خودرو و صنعت پتروشیمی دارند. در صنعت خودرو از این رادارها برای آشکارسازی فاصله و سرعت موانع ثابت و متحرک به منظور افزایش ایمنی استفاده می شود[۱-۳]. در صنعت پتروشیمی، رادار FMCW برای اندازه گیری سطح مایعات در مخازن به کارگرفته می شود[۴-۵]. در این نوع رادار، یک سیگنال پیوسته که فرکانس آن با زمان تغییر می کند به سمت هدف ارسال شده و با انجام پردازش دیجیتال بر روی سیگنال برگشتی، فاصله و سرعت هدف آشکار می شود. در مقایسه باارادارهای پالسی، که با اندازه گیری و پردازش زمان رفت و برگشت یک پالس از هدف آشکارسازی را انجام می دهند، رادارهای FMCW قدرت تفکیک بالاتری دارند و توان کمتری مصرف می کنند. همچنین قابلیت مجتمع سازی این رادارها نسبت به رادارهای پالسی بیشتر است[۶-۷].

بخش اصلی سیستم رادار FMCW یک سنتز کننده فرکانس است که سیگنال ارسالی با مدولاسیون فرکانس مثلثی را تولید می کند. در این نوع مدولاسیون، فرکانس ازیک مقدار حداقل تا یک مقدار حداکثر به صورت پیوسته تغییر کرده و مجددا به مقدار حداقل برمی گردد. کارآیی رادار به میزان خطسانی[۲] سیگنال مثلثی مدوله کننده فرکانس، نویز فاز سنتز کننده و پهنای باند مدولاسیون فرکانس، یعنی اختلاف بین فرکانس حداقل و حداکثر، بستگی دارد [۸-۹].

برای سنتز کننده فرکانس FMCW، دو ساختار وجود دارد. یک ساختار مبتنی بر سنتزکننده فرکانس دیجیتال مستقیم[۳] است که در آن، یک سیگنال مرجع فرکانس پایین با مدولاسیون فرکانس مثلثی توسط یک پردازشگر دیجیتال تولید می شود.

[۱] Frequency Modulated Continuous Wave (FMCW)

[۲] Linearity

[۳] Direct Digital Frequency Synthesizer (DDFS)

www.SID.ir

تاریخ دریافت: ۱۳۹۷/۰۶/۲۶ تاریخ پذیرش: ۱۳۹۸/۰۲/۱۸

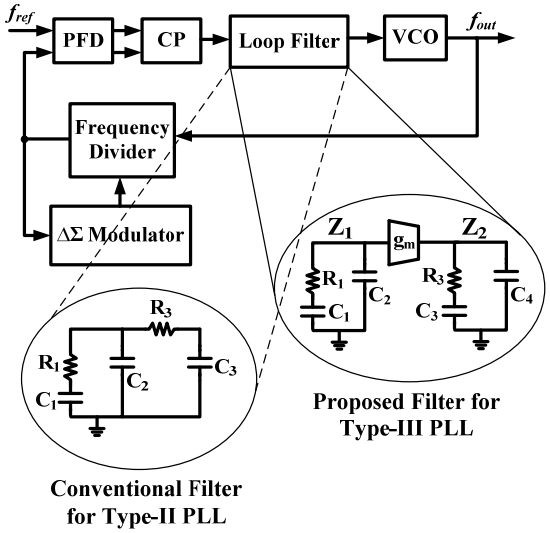
Archive of SID

این سیگنال مرجع به یک حلقه قفل فاز[۴] با تقسیم کننده فرکانس عدد صحیح اعمال می شود تا مضرب فرکانسی آن در خروجیPLL به دست آید. با این کار، سیگنال فرکانس بالای مدوله شده با موج مثلثی فرکانس تولید می شود[۱۰]. اشکال این روش توان مصرفی بالای بخش DDFS است. برای کاهش توان مصرفی می توان از ساختار سنتزکننده فرکانس عدد کسری[۵] استفاده کرد[۱۱-۱۲]. در این ساختار، سیگنال مرجع ورودی PLL ثابت بوده و مدولاسیون مثلثی فرکانس با تغییر عدد تقسیم تقسیم کننده فرکانس به دست می آید. برای افزایش دقت فرکانسی سیگنال خروجی، عدد تقسیم فرکانس توسط یک مدولاتور دلتا-سیگمای[۶] دیجیتال تعیین می شود. عدد تقسیم به گونه ای بازمان تغییر می کند که مدولاسیون فرکانس مثلثی در خروجی سنتزکننده تولید شود.

در هردوساختاری که برای تولید سیگنال FMCW برپایه PLL مطرح شد، به کارگیری حلقه نوع دوم محدودیتهایی را از نظر دنبال کردن تغییرات فرکانس مثلثی ایجاد می کند. در PLL نوع دوم، فیلتر حلقه به گونه ای انتخاب می شود که تابع تبدیل حلقه باز دارای دو قطب در مبدا باشد. در این مقاله نشان داده می شود که این کار خطای سیگنال FMCW را نسبت به سیگنال مثلثی ایده آل افزایش می دهد. برای کاهش این خطا، در مقالات معمولا پهنای باند حلقه بسیار بزرگتر از نرخ تغییرات فرکانس انتخاب می شود تا حلقه بتواند شیب فرکانس[۷] را دنبال کند[۱۲].

برای غلبه بر محدودیتهای PLL نوع دوم، می توان از PLL نوع سوم که در ادبیات موضوع، برای کاهش جیتر خروجی PLL [۱۳]، کاهش زمان نشست[۸] آن [۱۴] ویا در سیستمهای کنترلی الکترونیک قدرت [۱۵] به کارگرفته شده است، استفاده کرد. در این مقاله به کارگیری PLL نوع سوم برای سنتزکننده فرکانس رادار FMCW در تکنولوژی سی ماس[۹] پیشنهاد می شود که با ایجاد یک درجه آزادی در طراحی و کاهش محدودیت در انتخاب پهنای باند حلقه، شیب فرکانس را دنبال کرده و خطای فاز ورودی PLL و خطای فرکانس را کاهش می دهد. برای اثبات کارآیی ساختار پیشنهادی، ابتدا تحلیل ساختار PLL نوع سوم برای سیستم FMCW و مقایسه آن با ساختار PLL نوع دوم مطرح می شود. در این تحلیل، روند طراحی و نحوه انتخاب پارامترهای حلقه نوع سوم برای پایدارسازی با در نظر گرفتن نویز فاز خروجی بیان می شود.

۴ Phase Locked Loop (PLL)
۵ Fractional-N Frequency Synthesizer
۶ ΔΣ Modulator
۷ Frequency Ramp
۸ Settling Time
۹ Complementary Metal Oxide Semiconductor (CMOS)



شکل ۱. ساختار سنتزکننده فرکانس FMCW برپایه PLL متداول نوع دوم و PLL پیشنهادی نوع سوم

در ادامه و بر اساس روند طراحی ارائه شده، یک سنتزکننده فرکانس ۱۰ گیگاهرتز با ساختار PLL نوع سوم در فناوری CMOS طراحی شده و نتایج شبیه سازی آن ارائه می شود. برای به دست آوردن مشخصه مدولاسیون فرکانس در خروجی این مدار، از معماری سنتز کننده فرکانس عدد کسری با مدولاتور دلتا-سیگما استفاده می شود. بخش پایانی به مقایسه نتایج شبیه سازی مدار طراحی شده با سنتزکننده های فرکانس FMCW با ساختار PLL نوع دوم متداول و جمع بندی نتایج حاصل از به کارگیری راهکار پیشنهادی برای کاهش خطای فرکانسی در سیستم FMCW اختصاص دارد.

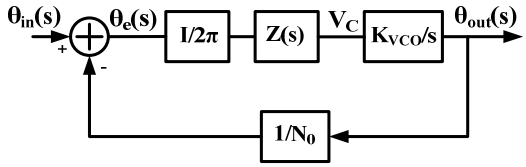
تحلیل حلقه قفل فاز نوع سوم برای سنتزکننده فرکانس FMCW

ساختار PLL عدد کسری با مدولاتور دلتا-سیگما برای تولید سیگنال FMCW در شکل ۱ نشان داده شده است. در این ساختار، یک نوسان ساز کنترل شونده با ولتاژ[۱۰] سیگنال خروجی مورد نظر با مدولاسیون مثلثی فرکانس را تولید می کند. ولتاژ کنترلی موردنیاز VCO برای تولید سیگنال FMCW با به کارگیری مدار فیدبک PLL، که شامل مدارهای تقسیم کننده فرکانس[۱۱]، مدولاتور دلتا-سیگما، آشکارسازفازوفرکانس[۱۲]، مدارپمپ بار[۱۳] و فیلترحلقه[۱۴] است، به دست می آید.

۱۰ Voltage Controlled Oscillator (VCO)
۱۱ Frequency Divider
۱۲ Phase-Frequency Detector (PFD)
۱۳ Charge Pump (CP)
۱۴ Loop Filter

www.SID.ir

Archive of SID



شکل ۲. مدل خطی PLL

برای تحلیل ساختارهای PLL نوع دوم متداول و PLL نوع سوم پیشنهادی برای سیستم FMCW، که در شکل ۱ نشان داده شده اند، می توان از یک مدل خطی مرسوم حلقه های قفل فاز مطابق شکل ۲ استفاده کرد [۱۶]. در این مدل، فاز اضافی [۱۵] سیگنال خروجی PLL، θ_{out}، برحسب فاز اضافی سیگنال مرجع ورودی، θ_{in}، مشخص می شود. مدارهای PFD و CP با یک تابع تبدیل از اختلاف فاز بین سیگنال خروجی تقسیم کننده فرکانس و سیگنال مرجع به جریان خروجی CP، I، مدل شده اند. جریان خروجی مدار CP به امپدانس فیلتر حلقه (Z(s) در شکل ۲) اعمال شده و ولتاژ حاصل (V_C در شکل ۲)، فاز و فرکانس مدار VCO را تعیین می کند. تابع تبدیل از ولتاژ کنترلی به فاز اضافی VCO نیز به صورت یک انتگرالگیر مدل شده است که در آن، K_{VCO} شیب تغییرات فرکانس خروجی VCO برحسب ولتاژ کنترلی است. همانطور که در مقدمه گفته شد، در سنتز کننده فرکانس FMCW با ساختارعددکسری، فرکانس مرجع ورودی، f_{ref}، ثابت بوده و شیب بالارونده و پایین رونده فرکانس خروجی با تغییر عدد تقسیم تقسیم کننده فرکانس ازمقدار نامی N_0 به دست می آید. برای به دست آوردن دینامیک تغییرات فرکانس خروجی PLL در این حالت، می توان تغییر عدد تقسیم به اندازه ΔN حول N_0 را معادل با تغییر فرکانس ورودی به اندازه $\Delta f_{in}=\Delta N\times f_{ref}/N_0$ نسبت به مقدار نامی f_{ref} در نظر گرفت [۱۷]. بنابراین باتوجه به مدل خطی شکل ۲، می توان تابع تبدیل تغییرات فرکانس خروجی PLL ، Δf_{out} ، برحسب Δf_{in} را به صورت زیرنوشت:

$$\frac{\Delta f_{out}(s)}{\Delta f_{in}(s)}=\frac{\frac{I}{2\pi}\frac{K_{VCO}}{S}Z(s)}{1+\frac{I}{2\pi N_0}\frac{K_{VCO}}{S}Z(s)} \qquad (۱)$$

در سنتز کننده فرکانس FMCW علاوه برنحوه تغییرات فرکانس خروجی بازمان، میزان خطای فاز در ورودی حلقه، θ_e، یعنی اختلاف فاز بین سیگنال ورودی حلقه و سیگنال خروجی تقسیم کننده فرکانس، در حالت تغییر فرکانس با مدولاسیون مثلثی، نیز اهمیت دارد. هرچه این خطای فاز کمتر باشد، قابلیت دنبال کردن تغییرات فرکانس مورد نظر توسط سنتز کننده بیشتر است. همچنین، خطای فاز در ورودی حلقه میزان تاثیر مدارهای PFD و CP بر کیفیت سیگنال خروجی را نیز تعیین می کند. وجود خطای فاز در ورودی حلقه باعث افزایش اثر نویز این مدارها برفاز سیگنال خروجی می شود. علاوه براین، در صورتی که این خطا در حالت ماندگار [۱۶] صفر نشود، مدار CP به طور پیوسته به فیلتر حلقه جریان تزریق می کند و باعث افزایش خطای فرکانسی سیگنال خروجی به دلیل یکسان نبودن جریان های بالا و پایین [۱۷] پمپ بار می شود.

با توجه به شکل ۲، تابع تبدیل خطای فاز در ورودی حلقه نسبت به فاز اضافی سیگنال ورودی حلقه برابر است با:

$$\frac{\theta_e(s)}{\theta_{in}(s)}=\frac{1}{1+\frac{I}{2\pi N_0}\frac{K_{VCO}}{s}Z(s)} \qquad (۲)$$

در صورتی که در سنتزکننده فرکانس FMCW، تغییرات فرکانس به صورت یک شیب بالارونده و یا پایین رونده خطی با زمان با ضریب α فرض شود، خطای فاز در حالت ماندگار به صورت زیر به دست می آید:

$$\Delta f_{in}(t)=\alpha t u(t)\Rightarrow\theta_{in}(s)=\frac{\alpha}{s^3}$$

$$lim_{t\to\infty}\theta_e(t)=lim_{\ s\to 0}\ s\,\theta_e(s)=\lim_{s\to 0}\frac{\frac{\alpha}{s^2}}{1+\frac{I}{2\pi N_0}\frac{K_{VCO}}{s}Z(s)} \qquad (۳)$$

در این رابطه u(t) تابع پله واحد [۱۸] است که در زمان t=0 به سیستم اعمال می شود. در ادامه و براساس رابطه (۳)، خطای فاز حالت ماندگار برای PLL نوع دوم و سوم بررسی شده و مزیت PLL نوع سوم، از نظر قابلیت کاهش این خطا درحالت تولید سیگنال FMCW در خروجی و ایجاد درجه آزادی در طراحی، نشان داده می شود.

تحلیل PLL نوع دوم

مطابق شکل ۱، در ساختار PLL نوع دوم متداول، مقاومت R_1 و خازن C_1 یک قطب در مبدا و یک صفر ایجاد می کنند [۱۶] که با وجود قطب ناشی از مدل VCO، تابع تبدیل حلقه باز PLL دارای دو قطب در مبدا است. خازن C_2 به همراه ترکیب R_3 و C_3 نیز قطبهای اضافی در فرکانسهای بالاتر از پهنای باند حلقه ایجاد می کنند تا اثرنامطلوب سیگنال مرجع و هارمونیکهای آن را بر ولتاژ کنترلی VCO و خلوص طیف خروجی، کاهش دهند. امپدانس Z(s) و تابع تبدیل حلقه بازدر این حالت برابر است با:

۱۵ Excess Phase

۱۶ Steady state

۱۷ Up and Down Currents

۱۸ Unit Step

www.SID.ir

Archive of SID

$$Z(s)=\frac{\tau_1 s+1}{sc_1(a(\tau_1 s)^2+b\tau_1 s+c)}$$

$$a=\frac{\tau_3}{\tau_1}\frac{c_2}{c_1},\ b=\frac{\tau_3}{\tau_1}\frac{c_2}{c_1}+\frac{\tau_3}{\tau_1}+\frac{c_2}{c_1}+\frac{c_3}{c_1},\ c=1+\frac{c_2}{c_1}+\frac{c_3}{c_1} \qquad (۴)$$

$$loop\ gain=\frac{IK_{vco}}{2\pi N_0 s}Z(s)$$

در این رابطه، τ_1 و τ_3 به ترتیب برابر R_1C_1 و R_3C_3 است. اگر ω_c پهنای باند بهره واحد حلقه باشد، حاشیهٔ فاز[۱۹] حلقه از رابطه (۵) به دست می آید:

$$PM=tan^{-1}(\omega_c\tau_1)-tan^{-1}\left(\frac{b\omega_c\tau_1}{c-a(\omega_c\tau_1)^2}\right) \qquad (۵)$$

با مشتق گیری از رابطه (۵) نسبت به ω_c، نشان داده می شود که برای به دست آوردن حداکثر حاشیهٔ فاز، باید روابط زیر بین پارامترهای حلقه برقرار باشد:

$$\omega_c\tau_1=$$

$$\sqrt{\left(\frac{2ac+ab+bc-b^2}{2(a^2-ab)}+\sqrt{\left(\left(\frac{2ac+ab+bc-b^2}{2(a^2-ab)}\right)^2-\frac{(c^2-bc)}{(a^2-ab)}\right)}\right)}$$

$$\frac{IK_{vco}}{2\pi N_0}P=cc_1\omega_c^2$$

$$P=c\sqrt{\frac{1+(\omega_c\tau_1)^2}{(b\omega_c\tau_1)^2+(c-a(\omega_c\tau_1)^2)^2}} \qquad (۶)$$

حال با توجه به روابط (۳) و (۶)، می توان خطای فاز حالت ماندگار را در PLL نوع دوم به دست آورد:

$$lim_{t\to\infty}\theta_e(t)=\frac{\alpha P}{\omega_c^2} \qquad (۷)$$

رابطه (۷) محدودیت PLL نوع دوم را در دنبال کردن تغییرات سیگنال FMCW نشان می دهد. همانطور که از این رابطه مشخص است، خطای فازحالت ماندگار، در صورت تغییرات فرکانس به صورت خطی، با فرکانس بهره واحد حلقه نسبت معکوس دارد. برای کاهش این خطا باید فرکانس بهره واحد حلقه از حدی بزرگتر انتخاب شود ولی این کار قابلیت فیلتر کردن نویز فاز سیگنال مرجع ورودی را محدود می کند زیرا نویز فاز مرجع ورودی با یک تابع تبدیل پایین گذر[۲۰] که فرکانس قطع آن تقریبا با فرکانس بهره واحد حلقه برابر است، در خروجی حلقه ظاهر می شود. همچنین رابطه (۷) نشان می دهد که خطای فاز حالت ماندگار با شیب تغییرات فرکانس نسبت مستقیم دارد و در صورتی که در سیستم FMCW ، شیب تغییرات فرکانس مورد نیاز زیاد باشد، خطای فاز حالت ماندگار نیز به همان نسبت زیاد می شود.

تحلیل PLL نوع سوم و روند طراحی آن برای سنتزکننده فرکانس FMCW

در ساختار PLL نوع سوم پیشنهادی برای سیستم FMCW، امپدانس حاصل از المانهای R_1 ، C_1 و C_2 و امپدانس حاصل از المانهای R_3 ، C_3 و C_4 در شکل ۱، هریک، یک قطب در مبدا ایجاد می کنند. ترارسانایی g_m قرارگرفته بین دو امپدانس باعث ضرب تابع تبدیل آنها شده و در مجموع، این فیلتر دو قطب در مبدا ایجاد می کند. مطابق شکل ۱، امپدانس Z(s) و تابع تبدیل حلقه باز این PLL برابر است با:

$$Z(s)=g_mZ_1(s)Z_2(s)$$

$$Z_1(s)=\frac{a}{a+1}\frac{1}{C_1 s}\frac{\tau_1 s+1}{\frac{\tau_1 s}{a+1}+1},\qquad Z_2(s)=\frac{b}{b+1}\frac{1}{C_3 s}\frac{d\tau_1 s+1}{\frac{d\tau_1 s}{b+1}+1}$$

$$a=\frac{C_1}{C_2},b=\frac{C_3}{C_4},\tau_1=R_1C_1,\tau_3=R_3C_3,d=\frac{\tau_3}{\tau_1}$$

$$loop\ gain=\frac{IK_{VCO}}{2\pi N_0 s}Z(s) \qquad (۸)$$

بنابراین با در نظرگرفتن قطب ناشی از مدل VCO ، تابع تبدیل حلقه باز PLL سه قطب در مبدا دارد. با توجه به رابطه (۳) در این حالت مشخص است که خطای فاز حالت ماندگار، در صورت تغییرات فرکانس به صورت خطی در سیستم FMCW، بدون وابستگی به پارامترهای حلقه و یا شیب تغییرات فرکانس، به سمت صفر میل می کند:

$$lim_{t\to\infty}\theta_e(t)=lim_{\ s\to 0}\ s\,\theta_e(s)=$$
$$lim_{s\to 0}\frac{\frac{\alpha}{s^2}}{1+\frac{1}{2\pi N_0}\frac{K_{VCO}}{s}Z(s)}=$$
$$\lim_{s\to 0}\frac{\frac{\alpha}{s^2}\times C_3C_1s^3}{C_3C_1s^3+\frac{IK_{VCO}}{2\pi N_0}\left[g_m\frac{a}{a+1}\frac{\tau_1 s+1}{\frac{\tau_1 s}{a+1}+1}\frac{b}{b+1}\frac{d\tau_1 s+1}{\frac{d\tau_1 s}{b+1}+1}\right]}=0 \qquad (۹)$$

در نتیجه، استفاده از PLL نوع سوم یک درجه آزادی به طراحی اضافه می کند به گونه ای که می توان فرکانس بهره واحد حلقه را بدون محدودیت ناشی از خطای فاز ماندگار و براساس سایر پارامترهای مورد نظر، مانند میزان کاهش نویز فاز فرکانس مرجع ورودی و اندازه و بازه زمانی تغییر فرکانس خروجی، تعیین کرد.

طراحی PLL نوع سوم باید با توجه به پایداری حلقه و حاشیه فاز مورد نظر تعیین شود. با توجه به رابطه (۸)، حاشیه فاز حلقه را می توان به دست آورد:

$$PM=tan^{-1}(\omega_c\tau_1)+tan^{-1}(d\omega_c\tau_1)-tan^{-1}\left(\frac{\omega_c\tau_1}{a+1}\right)-$$
$$tan^{-1}\left(\frac{d\omega_c\tau_1}{b+1}\right)-90 \qquad (۱۰)$$

---
۱۹ Phase Margin (PM)
۲۰ Low-pass Filter

www.SID.ir

Archive of SID

با مشتق گیری از رابطه (۱۰) نسبت به ω_c، نشان داده می شود که برای به دست آوردن حداکثر حاشیهٔ فاز، باید روابط (۱۱) و (۱۲) بین پارامترهای حلقه برقرار باشد:

$$\frac{\partial PM}{\partial \omega_c} = 0 \Rightarrow$$

$$M(\omega_c\tau_1)^6 + Q(\omega_c\tau_1)^4 + U(\omega_c\tau_1)^2 + Y = 0$$

$$M = [(a+1)d^2 + d(b+1)]d^2 - d^3(d+1)$$

$$Q = [(a+1)d^2 + d(b+1)](d^2+1) + d^2(a+1)(b+1)[b+1+d(a+1)] - [(b+1)^2 + d^2(a+1)^2]d(d+1) - d^2(d+1)$$

$$U = [(a+1)d^2 + d(b+1)] + (d^2+1)(a+1)(b+1)[b+1+d(a+1)] - (a+1)^2(b+1)^2d(d+1) - (d+1)[(b+1)^2 + d^2(a+1)^2]$$

$$Y = (a+1)(b+1)[b+1+d(a+1)] - (d+1)(a+1)^2(b+1)^2 \qquad (۱۱)$$

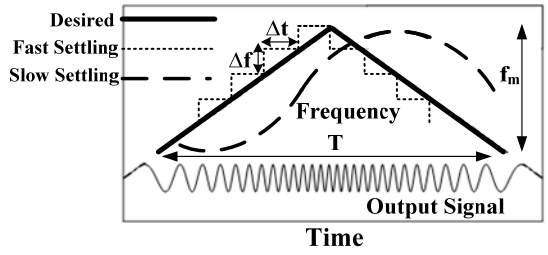
$$\frac{IK_{VCO}}{2\pi N_0} abg_m = \omega_c^3 C_1 C_3 \frac{\sqrt{[(a+1)^2+(\omega_c\tau_1)^2][(b+1)^2+d^2(\omega_c\tau_1)^2]}}{\sqrt{(1+(\omega_c\tau_1)^2)(1+d^2(\omega_c\tau_1)^2)}} \qquad (۱۲)$$

با توجه به روابط به دست آمده، می توان روند طراحی حلقه قفل فاز نوع سوم را برای به کارگیری در بخش سنتز کننده فرکانس FMCW در پنج مرحله "الف تا ث" به شرح زیر بیان کرد:

الف- برطبق فرکانس خروجی موردنیاز و فرکانس مرجع PLL ، مقدار عدد تقسیم N_0 به دست می آید. همچنین مقدار K_{VCO} را نیز می توان ازروی شبیه سازی مدار VCO طراحی شده در فرکانس مورد نظر در یک فناوری ساخت مشخص به دست آورد.

ب- با انتخاب حاشیه فاز مورد نظر برای پایداری حلقه، نسبتهای a، b و d در رابطه (۸) و نیز مقدار $\omega_c\tau_1$ ، ازروی روابط (۱۰) و (۱۱) حاصل می شود.

پ- با انتخاب پهنای باند بهره واحد حلقه ، ω_c، می توان مقادیر τ_1 و τ_3 را نیز با توجه به مقادیر $\omega_c\tau_1$ و d حاصل شده در مرحله ب به دست آورد. همانطور که گفته شد در PLL نوع سوم، انتخاب پهنای باند بهره واحد حلقه بدون محدودیت ناشی از خطای فاز ماندگار و براساس پارامترهای دیگر مانند نحوه تغییرات زمانی فرکانس خروجی تعیین می شود. شکل ۳ تغییرات زمانی فرکانس خروجی سنتز کننده فرکانس FMCW را نشان می دهد. در این شکل، T دوره تناوب تغییر فرکانس مثلثی و f_m دامنه تغییرات فرکانس بین مقادیر حداقل و حداکثر است.



شکل ۳. تغییرات زمانی فرکانس خروجی سنتز کننده فرکانس FMCW

در پیاده سازی سنتزکننده کسری با مدولاتور دلتا-سیگما، دقت مدولاتور گام تغییر فرکانس[۲۱] ، Δf ، را تعیین می کند. در صورتی که تعداد بیتهای مدولاتور برابر k باشد، مدولاتور می تواند گامهای فرکانسی بزرگتر از $f_{ref}/2^k$ تولید کند. مطابق شکل ۳ ، گام Δf در بازه زمانی Δt توسط مدولاتور ایجاد می شود. برای اینکه خروجی سنتز کننده فرکانس FMCW با دقت بالا بتواند شیب بالارونده و پایین رونده تغییرات فرکانس را دنبال کند، باید پهنای باند حلقه در محدوده تعریف شده در زیر قرارداشته باشد [۱۰-۱۲] :

$$\frac{1}{T} < \frac{\omega_c}{2\pi} < \frac{1}{\Delta t} \qquad (۱۳)$$

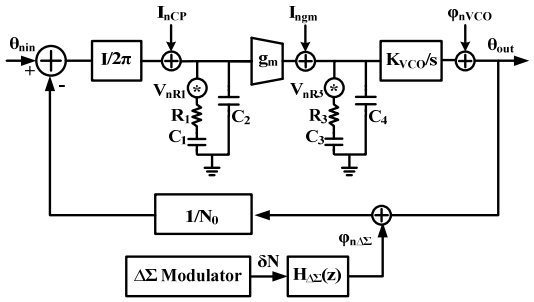
حدبالای تعیین شده در رابطه (۱۳)، از تغییرات بسیار سریع فرکانس خروجی که باعث تبدیل شدن تغییرات فرکانس به یک شکل موج پله ای می شود، جلوگیری می کند. مطابق شکل ۳، در صورتی که نشست حلقه سریع باشد و زمان نشست حلقه نسبت به زمان Δt کم باشد، تغییرات خطی مورد نظر در فرکانس خروجی ایجاد نشده و تغییرات خروجی به شکل پله ای در می آید. از طرف دیگر، باید پهنای باند حلقه مطابق رابطه (۱۳) از نرخ تغییرات فرکانس سیگنال FMCW بیشتر باشد تا تغییرات مثلثی در زمان تغییر از شیب بالارونده به پایین رونده دنبال شود. در صورتی که PLL کند باشد و پهنای باند حلقه بسیار کم باشد، تغییرات فرکانس به جای مثلثی شبیه سینوسی خواهد شد.

ت- در این مرحله با انتخاب اندازه خازنهای C_1 و C_3 ، ازروی رابطه (۱۲) مقادیرجریان مدار پمپ بار، I ، و ترارسانایی g_m به دست می آید. با این کار و از روی نسبتهای a، b ، d و τ_1 و τ_3 تعیین شده در مراحل قبل، بقیه المانهای فیلتر حلقه شامل مقاومتهای R_1 و R_3 و خازنهای C_2 و C_4 نیز مشخص می شود.

[۲۱] Frequency Step

www.SID.ir

Archive of SID



شکل ۴. مدل خطی PLL نوع سوم برای محاسبه نویز فاز

ث- در این مرحله نویز فاز خروجی PLL ناشی از نویز مقاومتهای فیلتر حلقه به دست می آید و در صورتی که این نویز در خروجی PLL نویز فاز غالب باشد، می توان به مرحله قبل بازگشت و با افزایش خازنهای C_1 و C_3، اندازه مقاومتهای R_1 و R_3 در فیلتر حلقه را کوچکتر کرد زیرا τ_1 و τ_3 در مرحله "پ" تعیین شده و مقادیر ثابتی هستند. با این کار، نویزفاز خروجی ناشی از نویز مقاومتهای فیلتر حلقه کمتر می شود. همچنین با افزایش اندازه C_1 و C_3 ، مقادیر I و g_m و در نتیجه توان مصرفی PLL افزایش می یابد. البته در ازای این افزایش توان مصرفی، اثر نویز مدار پمپ بار و ترارسانایی g_m بر نویز فاز خروجی کمتر می شود. برای به دست آوردن نویز فاز ناشی از نویز المانهای تشکیل دهنده PLL نوع سوم می توان از مدل خطی شکل ۴ استفاده کرد. در این مدل، V_{nR1}، V_{nR3}، I_{nCP} و I_{ngm} به ترتیب ولتاژ نویز مقاومتهای R_1 و R_3 و جریان نویز مدار پمپ بار و ترارسانایی g_m هستند. θ_{nin} و φ_{nVCO} نیز نویز فاز ناشی از مدار VCO و سیگنال مرجع ورودی است. طبق شکل ۴، تابع تبدیل نویز هریک از المانها به نویز فاز خروجی برابر است با:

$$\frac{\theta_{out}}{I_{nCP}} = \frac{Z(s)K_{VCO}}{s+\frac{IK_{VCO}Z(s)}{2\pi N_0}} \quad (۱۴)$$

$$\frac{\theta_{out}}{\varphi_{nVCO}} = \frac{s}{s+\frac{IK_{VCO}Z(s)}{2\pi N_0}} \quad (۱۵)$$

$$\frac{\theta_{out}}{\theta_{nin}} = \frac{\frac{IK_{VCO}Z(s)}{2\pi}}{s+\frac{IK_{VCO}Z(s)}{2\pi N_0}} \quad (۱۶)$$

$$\frac{\theta_{out}}{I_{ngm}} = \frac{K_{VCO}Z_2(s)}{s+\frac{IK_{VCO}Z(s)}{2\pi N_0}} \quad (۱۷)$$

$$\frac{\theta_{out}}{V_{nR1}} = \frac{K_{VCO}g_mZ_2C_1s}{s(R_1C_1C_2s^2+s(C_1+C_2))+\frac{I}{2\pi N_0}K_{VCO}g_mZ_2(R_1C_1s+1)} \quad (۱۸)$$

$$\frac{\theta_{out}}{V_{nR3}} = \frac{K_{VCO}C_3s}{s(R_3C_3C_4s^2+s(C_3+C_4))+\frac{I}{2\pi N_0}K_{VCO}g_mZ_1(R_3C_3s+1)} \quad (۱۹)$$

مطابق شکل ۴، نویز شکل دهی شده در خروجی مدولاتور دلتا-سیگما، δN ، با تابع تبدیل $H_{\Delta\Sigma}(z)$ به نویز فاز $\varphi_{n\Delta\Sigma}$ تبدیل شده و توسط تابع تبدیل حلقه به نویز فاز خروجی منتقل می شود. با توجه به اینکه تغییرات δN در خروجی مدولاتور برروی عدد تقسیم فرکانس اثر می گذارد، ثابت می شود که تابع $H_{\Delta\Sigma}(z)$ که این تغییرات عدد تقسیم را به فاز تبدیل می کند، به صورت یک انتگرالگیر است [۱۸-۱۹]:

$$H_{\Delta\Sigma}(z) = \frac{2\pi z^{-1}}{1-z^{-1}} \quad (۲۰)$$

تابع تبدیل نویز فاز $\varphi_{n\Delta\Sigma}$ به نویزفاز خروجی نیز برابر است با:

$$\frac{\theta_{out}}{\varphi_{n\Delta\Sigma}} = \frac{\frac{IK_{VCO}Z(s)}{2\pi N_0}}{s+\frac{IK_{VCO}Z(s)}{2\pi N_0}} \quad (۲۱)$$

در ادامه و در بخش بعد، طراحی یک سنتزکننده فرکانس FMCW برپایه روند طراحی حلقه قفل فاز نوع سوم ذکرشده در مراحل "الف تا ث" این بخش، مطرح می شود و کارآیی ساختار پیشنهادی مورد بررسی قرار می گیرد.

طراحی سنتزکننده فرکانس FMCW ۱۰ گیگاهرتز با ساختار پیشنهادی

برای اثبات کارآیی ساختار حلقه قفل فاز نوع سوم با مدولاتور دلتا-سیگما برای تولید سیگنال FMCW، طراحی یک نمونه سنتزکننده فرکانس در فرکانس مرکزی ۱۰ گیگاهرتز در فناوری ۰/۱۸ میکرومتر سی ماس با این ساختار، در دو زیربخش طراحی سیستمی و طراحی مداری بیان می شود.

طراحی سیستمی

در این طراحی، محدوده تغییرات فرکانس سیگنال FMCW به اندازه ۲۰۰ مگاهرتز، بین ۱۰ تا ۱۰/۲ گیگاهرتز ، مورد نظر است. همانطور که در بخش طراحی مداری مطرح خواهد شد، این مشخصه با یک VCO از نوع سلف-خازن[۲۲] قابل پیاده سازی است. با توجه به محدوده تغییرات ولتاژ کنترلی VCO در فناوری استفاده شده، بهره K_{VCO} در حدود ۵۰۰ مگاهرتز برولت به دست می آید که محدوده ۲۰۰ مگاهرتزی مورد نظر را با حاشیه فرکانس مطلوب پوشش می دهد. همچنین در صورتی که فرکانس مرجع برابر ۵۰۰ مگاهرتز انتخاب شود، متوسط عدد تقسیم کسری در طراحی سیستمی، N_0، برابر ۲۰ در نظر گرفته می شود. مطابق مرحله "ب" در طراحی سیستمی و با توجه به روابط (۱۰) و (۱۱)، در صورت انتخاب مقادیر زیر برای پارامترهای اصلی حلقه نوع سوم، حاشیه فاز ۵۶ درجه به دست می آید:

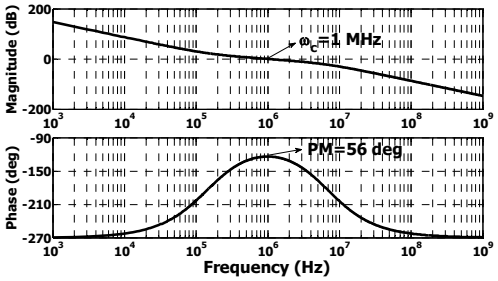
$$a = 52.9, b = 37.5, d = 0.72, \omega_c\tau_1 = 8 \quad (۲۲)$$

حال مطابق مرحله "پ" باید مقدار پهنای باند حلقه، ω_c، با توجه به رابطه (۱۳) و براساس مقادیر T ، Δt و f_m در شکل ۳

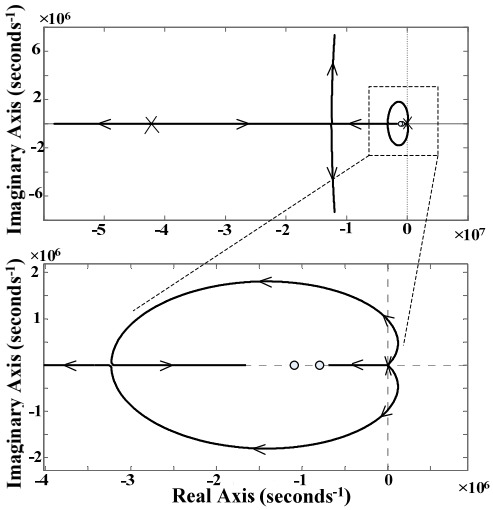
[۲۲] LC VCO

www.SID.ir

Archive of SID



شکل ۵. نمودار بهره و فاز حلقه قفل فاز نوع سوم طراحی شده



شکل ۶. نمودار مکان هندسی ریشه ها برای تابع تبدیل حلقه بسته نوع سوم به ازای تغییرات بهره $K=Ig_mK_{VCO}$

تعیین شود. در این مثال طراحی، مقدار f_m برابر ۲۰۰ مگاهرتز ، T برابر ۲۰۰ میکروثانیه و Δt برابر ۱۰۰ نانوثانیه انتخاب شده است، بنابراین:

$$2\pi \times 5kHz < \omega_c < 2\pi \times 10MHz \qquad (۲۳)$$

با توجه به رابطه (۲۳)، مقدار ω_c برابر $2\pi\times1MHz$ انتخاب می شود، در نتیجه مقادیر τ_1 و τ_3 به ترتیب برابر ۱/۲۷ و ۰/۹۲ میکروثانیه خواهد بود. همچنین از روی شکل ۳، مقدار گام تغییر فرکانس، Δf، در بازه زمانی Δt برابر ۲۰۰ کیلوهرتز به دست می آید که باید از گام فرکانسی که مدولاتور می تواند ایجاد کند، بزرگتر باشد. درصورتی که از یک مدولاتور ۱۶ بیتی در این طرح استفاده شود،مدولاتور می تواند گامهای فرکانسی به اندازه $f_{ref}/2^k=500MHz/2^{16}\approx 8kHz$ ایجاد کند که به اندازه کافی از ۲۰۰کیلوهرتز کوچکتر است.

مطابق مرحله "ت" ، خازنهای C_1 و C_3 به ترتیب برابر ۲۷۵ و ۴۱۲ پیکوفاراد انتخاب می شود تا مقادیر سایر المانهای حلقه به صورت زیر از روی رابطه (۱۲) به دست آید:

$$(12) \Rightarrow Ig_m \cong 25\times10^{-9} \Rightarrow I = 145\mu A, g_m = 175\ \mu A/V$$
$$C_1 = 275\ PF \xrightarrow{a=52.9,\ \tau_1=1.27\ \mu s} R_1 = 4.62k\Omega, C_2 = 5.2\ pF$$
$$C_3 = 412\ PF \xrightarrow{b=37.5,\ \tau_3=0.92\ \mu s} R_3 = 2.23k\Omega, C_4 = 11\ pF \qquad (۲۴)$$

با توجه به مقادیر به دست آمده برای پارامترهای حلقه، نمودار بهره و فاز حلقه در شکل ۵ رسم شده است که حاشیه فاز ۵۶ درجه رانشان می دهد. این حاشیه فاز در اثر وجود دو صفر در تابع تبدیل حلقه باز رابطه (۸) به دست آمده است. همچنین، نمودار مکان هندسی ریشه ها برای تابع تبدیل حلقه بسته به ازای تغییرات بهره $K=Ig_mK_{VCO}$، در شکل ۶ رسم شده است. طبق این شکل، در مقادیر کم بهره K در حلقه قفل فاز نوع سوم، دو قطب وارد نیم صفحه راست صفحه مختلط می شوند ولی با افزایش K، این دو قطب به سمت نیم صفحه چپ متمایل شده و سیستم پایدار می شود.

بر اساس مقادیر به دست آمده برای پارامترهای حلقه، در زیربخش بعد، طراحی مدار VCO، PFD، CP ، مدار ترارسانایی g_m و نیز مدار تقسیم کننده فرکانس به همراه مدولاتور دلتا-سیگما برای سنتزکننده فرکانس FMCW با ساختارحلقه قفل فاز نوع سوم بیان شده و نویز این المانها از شبیه سازی مداری استخراج می شود تا طبق مرحله "ث" از روند طراحی بیان شده، در بخش بعد، نویز فاز خروجی حلقه به دست آید.

طراحی مداری

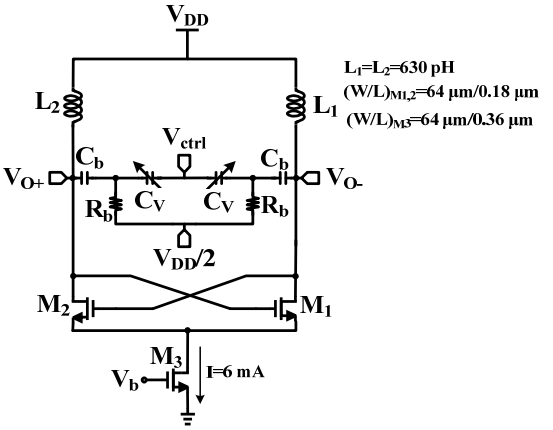
شکل ۷ مدار LC VCO طراحی شده را به همراه مقادیر المانها و پارامترهای آن نشان می دهد. در این مدار از یک زوج ترانزیستور NMOS به صورت ضربی کوپل شده[۲۳]، برای تأمین فیدبک مثبت مورد نیاز استفاده شده است. همچنین در مدار تشدید، سلفها و خازن های متغیر با ولتاژ[۲۴] داخل تراشه پروسه ۰/۱۸ میکرومتر به کارگرفته شده است. شکل ۸ نمودار تغییرات فرکانس VCO را به ازای تغییرات ولتاژ کنترلی در گوشه های مختلف پروسه[۲۵] ساخت نشان می دهد. با توجه به این شکل، مدار VCO بازه فرکانسی ۱۰ تا ۱۰/۲ گیگاهرتز را پوشش می دهد. اندازه K_{VCO} نیز در حالت معمول[۲۶] برابر ۵۰۰ مگاهرتز برولت بوده و در حدود ۲۰ درصد در حالت های دیگر تغییر می کند. برای حفظ شرایط دینامیک حلقه و پایداری آن در صورت تغییرات K_{VCO}، می توان مقدار جریان مدار پمپ بار را متناسب با تغییرات K_{VCO} تغییر داد تا حاصلضرب آنها تقریبا ثابت بماند [۲۰]. شکل ۹ نویز فاز مدار VCO را در شبیه سازی PSS+PNoise با ابزار Spectre-RF نشان می دهد که از آن در بخش بعد، برای به دست آوردن نویز فازخروجی سنتز کننده فرکانس استفاده خواهد شد.

---

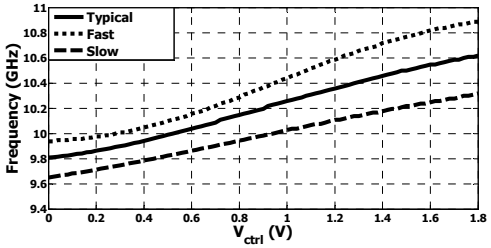
۲۳ Cross Coupled
۲۴ Varactors
۲۵ Process Corners
۲۶ Typical

www.SID.ir

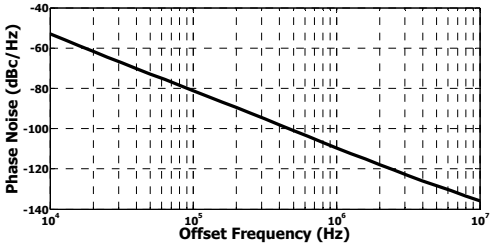
Archive of SID



شکل ۷. مدار VCO



شکل ۸. نمودار تغییرات فرکانس VCO به ازای تغییرات ولتاژ کنترلی



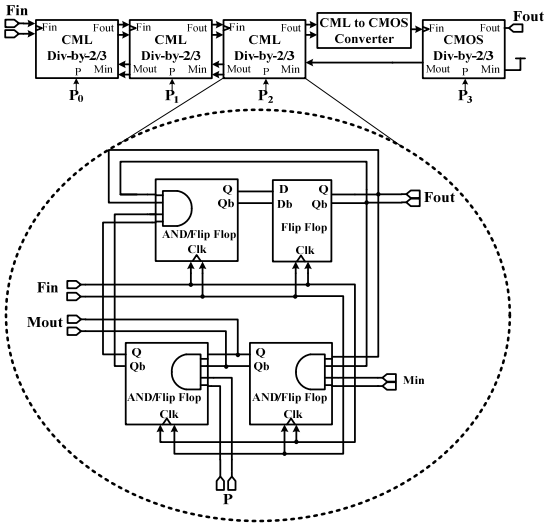
شکل ۹. نویز فاز مدار VCO

ساختار تقسیم کننده فرکانس سنتزکننده عدد کسری در شکل ۱۰ نشان داده شده است [۱۲] که در آن چهار تقسیم کننده فرکانس بر ۲ یا ۳ به صورت پشت سر هم قرار داده شده‌اند تا محدوده عدد تقسیم ۱۶ تا ۳۱ را ایجاد کنند. در این حالت عدد تقسیم برحسب سیگنالهای کنترلی P_0 تا P_4 برابر است با :

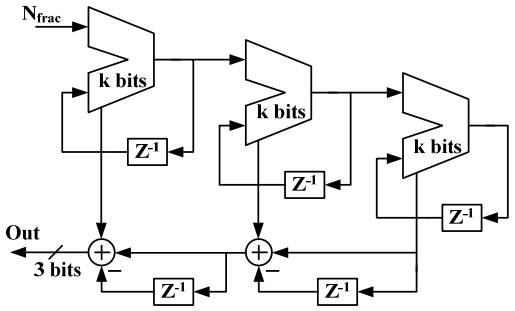
$$N = 2^4 + P_3 2^3 + P_2 2^2 + P_1 2^1 + P_0 \qquad (۲۵)$$

مطابق شکل ۱۰، سه بلوک اول تشکیل دهنده تقسیم کننده با مدارهای حالت جریانی پیاده سازی شده اند [۲۱]. یک مبدل سیگنال حالت جریانی[۲۷] به CMOS سیگنال لازم برای بلوک آخر را، که با مدار CMOS پیاده سازی شده است، فراهم می کند. بیتهای کنترلی تقسیم کننده توسط مدولاتور دلتا-سیگما تولید می شود تا گام فرکانسی مورد نظر در سیگنال FMCW خروجی ایجاد شود. در این طراحی، از مدولاتور

[۲۷] Current Mode Logic (CML)



شکل ۱۰. ساختار تقسیم کننده فرکانس سنتزکننده عدد کسری



شکل ۱۱. ساختار مدولاتور MASH 1-1-1

MASH 1-1-1[۲۸] دیجیتال k=16 بیتی مطابق شکل ۱۱ استفاده شده است [۱۹]. این مدولاتور از سه مدولاتور درجهٔ یک، شامل انباشتگرهای[۲۹] ۱۶ بیتی تشکیل شده است که به صورت پشت سر هم قرارداده شده اند. مزیت مدولاتور MASH، پایداری ذاتی آن است. خروجی این مدولاتور یک عدد سه بیتی است که میانگین آن برابر عدد کسری $p=N_{frac}/2^k$ است و نویز کوانتیزاسیون شکل داده شده به آن اضافه شده است. مشخصه مدولاتور در حوزه تبدیل z از رابطه (۲۶) به دست می آید:

$$Out(z) = p + (1 - z^{-1})^3 E_q(z) \qquad (۲۶)$$

در این رابطه، E_q نویز کوانتیزاسیون طبقه سوم است. خروجی مدولاتور به عدد تقسیم $N_0=20$ اضافه می‌شود و حاصل آن، عدد تقسیم حلقه را به صورت لحظه‌ای در هر دورهٔ متناوب فرکانس مرجع تعیین می‌کند به گونه ای که فرکانس خروجی سنتزکننده برابر می شود با:

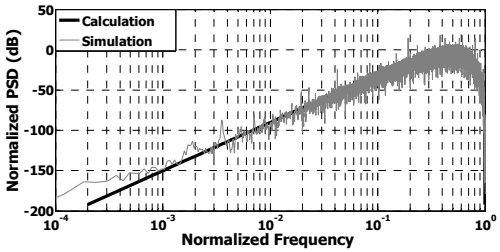
$$f_{out} = \left(N_0 + \frac{N_{frac}}{2^k}\right) f_{ref} \qquad (۲۷)$$

[۲۸] Multi-stAge noise SHaping

[۲۹] Accumulator

www.SID.ir

Archive of SID



شکل ۱۲. چگالی طیفی توان نویزکوانتیزاسیون شکل داده شده در خروجی مدولاتور

در سنتز کننده فرکانس کسری FMCW طراحی شده، عدد ۱۶ بیتی ورودی مدولاتور، N_{frac}، به صورت پله ای در بازه های زمانی Δt=100 ns و با گامهای معادل Δf=200 kHz تغییر می کند تا سیگنال با مدولاسیون فرکانس مثلثی در خروجی سنتز کننده تولید شود.

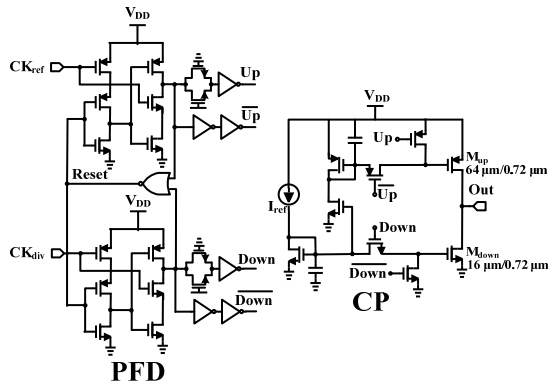
با توجه به معادله (۲۶) و با فرض سفید بودن نویز کوانتیزاسیون E_q، چگالی طیفی توان نویز کوانتیزاسیون شکل داده شده در خروجی مدولاتور برابر است با:

$$S_{\delta N}(f) = \frac{1}{12 f_{ref}} \left(2sin\left(\frac{\pi f}{f_{ref}}\right)\right)^6 \qquad (۲۸)$$

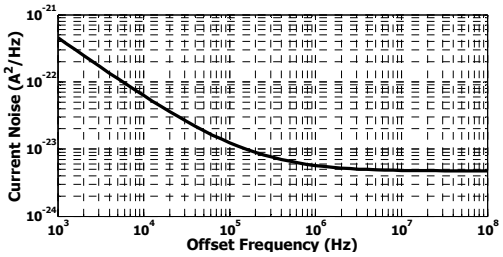
با استفاده از رابطه (۲۸)، چگالی طیفی توان نویزکوانتیزاسیون شکل داده شده در خروجی مدولاتور درشکل ۱۲ نشان داده شده است. در این شکل، چگالی طیفی توان حاصل ازشبیه سازی مدولاتور در ابزار MATLAB نیز نشان داده شده است که با نمودار حاصل از رابطه (۲۸) تطابق دارد. برطبق رابطه (۲۸) و با به کارگیری توابع تبدیل (۲۰)و(۲۱)، نویزفازخروجی سنتزکننده فرکانس ناشی از مدولاتور به دست می آید که در بخش بعد و در نتایج شبیه سازی به آن اشاره خواهد شد.

شکل ۱۳ مدارهای PFD و CP به همراه مقادیر المانهای آنها رانشان می دهد. مدار PFD از دو فلیپ فلاپ با لاجیک TSPC [۳۰] و مسیر Reset تشکیل شده است [۲۱-۲۳]. میزان تاخیر در مسیر Reset در حدود ۳۰۰ پیکوثانیه است تا از اثرناحیه مرده [۳۱]جلوگیری شود [۱۹]. در مدار CP دومنبع جریان با سوییچ در گیت به کاررفته است که با سیگنالهای خروجی PFD کنترل می شوند [۱۷] و [۲۴]. شکل ۱۴ نمودار نویز جریان خروجی مدار CP را که از شبیه سازی PSS+PNoise با ابزار Spectre-RF در فرکانس مرجع ورودی ۵۰۰ مگاهرتز به دست آمده است، نشان می دهد. در بخش بعد از این نمودار برای به دست آوردن نویزفاز خروجی سنتزکننده براساس رابطه (۱۴) استفاده خواهد شد.

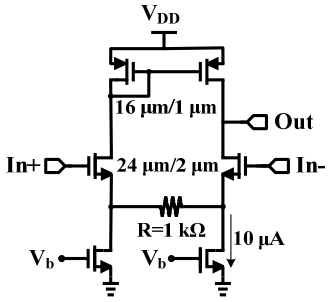
طبق شکل ۱، برای فیلتر حلقه سنتزکننده فرکانس برپایه حلقه قفل فاز نوع سوم، یک مدار ترارسانایی g_m مورد نیاز است که



شکل ۱۳. مدارهای PFD و CP



شکل ۱۴. نمودار نویز جریان خروجی مدار CP



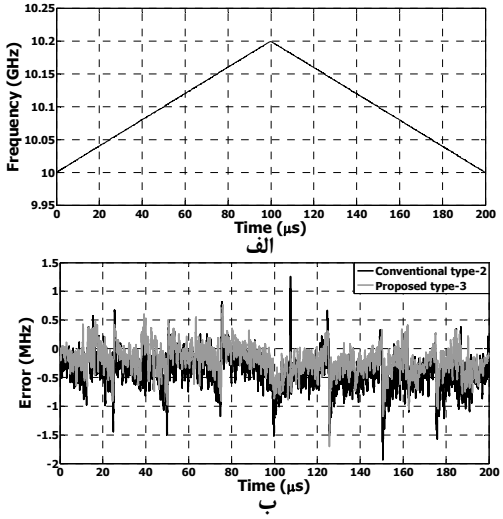
شکل ۱۵. مدارترارسانایی g_m فیلتر حلقه

سیگنال ولتاژ خروجی مدار پمپ باررا به جریان تبدیل کرده و به مدار با امپدانس Z_2 تزریق می کند تا ولتاژ کنترلی VCO تولید شود. شکل ۱۵ مدارترارسانایی g_m فیلتر حلقه رانشان می دهد که از یک زوج دیفرانسیلی به همراه مدار تبهگن سورس [۳۲] برای افزایش خطسانی ترارسانا تشکیل شده است. در حلقه قفل فاز نوع سوم پیشنهادی، ورودی +In ترارسانا به سیگنال خروجی مدار پمپ بار متصل شده و ورودی -In آن به یک ولتاژ بایاس وصل می شود. با این کار، در هنگام تغییرات فرکانس سیگنال خروجی سنتزکننده FMCW به صورت مثلثی، ولتاژ خروجی مدار پمپ بار نیز حول ولتاژ بایاس ورودی ترارسانا تغییر می کند. در بخش بعد نشان داده می شود که یکی از مزایای حلقه نوع سوم پیشنهادی نسبت به حلقه نوع دوم این است که در آن، تغییرات ولتاژ خروجی پمپ بار حول ولتاژ بایاس و در نتیجه خطای عدم تطبیق منابع جریان پمپ بار کمتر است.

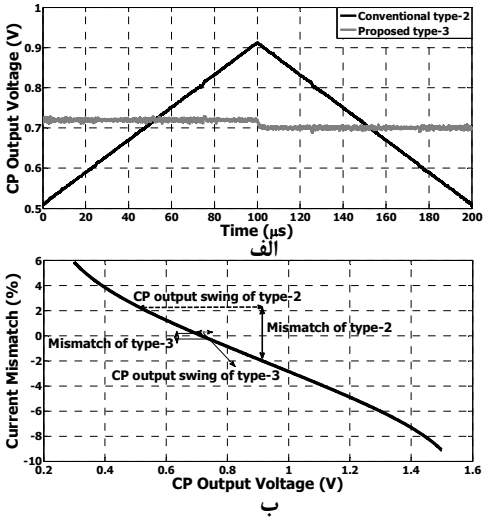
۳۰ True Single-Phase Clocked
۳۱ Dead Zone
۳۲ Source Degeneration

www.SID.ir

Archive of SID



شکل ۱۶. الف) نمودار تغییرات فرکانس خروجی سنتز کننده های نوع دوم و سوم در شبیه سازی زمانی، ب) خطای لحظه ای تغییرات فرکانس خروجی نسبت به سیگنال مثلثی ایده آل در سنتز کننده های نوع دوم و سوم



شکل ۱۷. الف) نتیجه شبیه سازی زمانی ولتاژ خروجی مدار پمپ بار در حلقه قفل فاز نوع دوم و سوم، ب) میزان عدم تطبیق منابع جریان پمپ بار در حلقه نوع دوم و سوم

نتایج شبیه سازی

شکل ۱۶ نتیجه شبیه سازی زمانی مدار سنتزکننده فرکانس FMCW عدد کسری با ساختار حلقه قفل فاز نوع سوم در فناوری ۰/۱۸ میکرومتر CMOS را نشان می دهد. برای انجام این شبیه سازی، از مدل رفتاری[۳۳] مدولاتور دلتا-سیگما MASH-1-1-1 همراه با مدارهای طراحی شده استفاده شده است. توان مصرفی سنتزکننده به جز بخش مدولاتور برابر ۳۲ میلی وات است. برای مقایسه نتایج شبیه سازی سنتزکننده فرکانس پیشنهادی با ساختار حلقه قفل فاز نوع دوم، یک سنتز کننده فرکانس عدد کسری نوع دوم متداول با توان مصرفی برابر با ساختار پیشنهادی و تنها با تغییر فیلتر حلقه آن، طراحی شده و نتایج شبیه سازی آن در شکل ۱۶ نشان داده شده است. شکل ۱۶-الف نمودار تغییرات فرکانس خروجی سنتز کننده های نوع دوم و سوم را نشان می دهد که مطابق آن، شیب تغییرات فرکانس در هردوحالت برابر ۲ مگاهرتز بر میکروثانیه است. نمودار خطای لحظه ای تغییرات فرکانس خروجی نسبت به سیگنال مثلثی ایده آل در شکل ۱۶-ب نشان داده شده است. مطابق این شکل، مقدار rms خطا در سنتزکننده نوع دوم و سوم به ترتیب برابر ۴۹۱ کیلوهرتز و ۳۲۲ کیلوهرتز است که کاهش حدود ۳۴ درصدی را درصورت به کارگیری ساختار پیشنهادی سنتزکننده با حلقه نوع سوم نشان می دهد.

شکل ۱۷-الف نتیجه شبیه سازی زمانی ولتاژ خروجی مدار پمپ بار را در حلقه قفل فاز نوع دوم و سوم نشان می دهد. مطابق این شکل حداکثر تغییرات ولتاژ در حلقه نوع دوم حدود ۴۰۰ میلی ولت و در حلقه نوع سوم حدود ۲۰ میلی ولت است. بنابراین خطای عدم تطبیق منابع جریان پمپ بار، که در اثر مدولاسیون طول کانال[۳۴] ترانزیستورهای تشکیل دهنده منابع جریان و تغییر ولتاژ درین-سورس آنها به وجود می آید [۱۷]، در حلقه قفل فاز نوع سوم کمتر است. مطابق شکل ۱۷-ب حداکثر میزان عدم تطبیق منابع جریان حلقه در حلقه نوع دوم و سوم به ترتیب برابر ۲ درصد و ۰/۱۵ درصد است.

شکل ۱۸ الف تا ج نویزفاز خروجی سنتزکننده فرکانس با حلقه نوع دوم و سوم را در توان مصرفی یکسان بایکدیگر مقایسه می کند. نمودار نویزفاز ناشی از المانهای مقاومتی و ترارسانایی g_m در فیلتر حلقه در شکل ۱۸-الف نشان داده شده است. طبق این نمودار، در فرکانس های آفست پایین، نویز فاز ناشی از فیلتر حلقه در سنتز کننده نوع سوم نسبت به نوع دوم، به دلیل وجود نویز ترارسانایی g_m، بیشتر است ولی در فرکانس های آفست بالاتر، نویز فاز حلقه نوع سوم با شیب بیشتری نسبت به حلقه نوع دوم کاهش می یابد. شکل های ۱۸-ب و ۱۸-پ، به ترتیب، اثر نویز مدار پمپ بار و مدولاتور دلتا-سیگما بر نویز فاز خروجی رانشان می دهد که طبق آن در فرکانسهای آفست بالا، نویز فاز خروجی حلقه نوع سوم کمتر است. این کاهش نویز فاز در فرکانسهای آفست بالا در حلقه نوع سوم نسبت به نوع دوم، در مورد اثر نویز فاز سیگنال مرجع نیز، مطابق شکل ۱۸-ت، صادق است. دلیل آن افزایش تعداد قطبهای حلقه نوع سوم نسبت به نوع دوم است که باعث می شود که حلقه نوع سوم نویز فاز سیگنال مرجع را بیشتر تضعیف کند. برای به دست آوردن نمودار شکل ۱۸-ت، یک مشخصه برای نویز فاز سیگنال

[۳۳] Behavioral Model

[۳۴] Channel-Length Modulation

www.SID.ir

Archive of SID

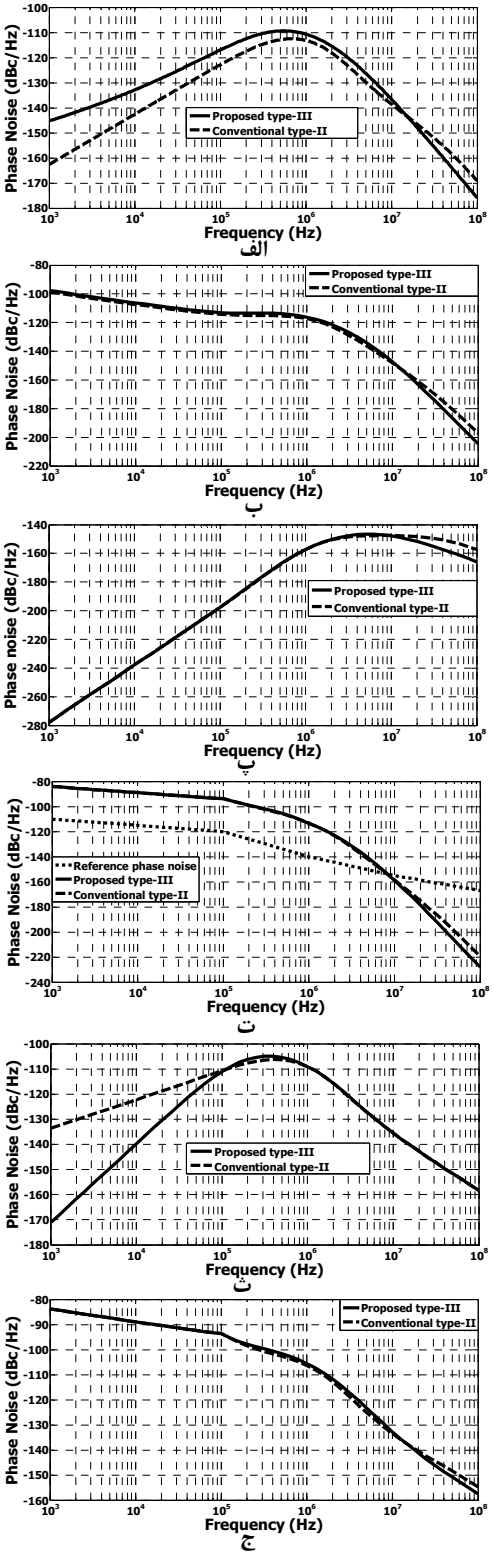
مرجع ورودی ۵۰۰ مگاهرتز، با توجه قطعات نوسانگر مرجع موجود، فرض شده است که در این شکل نشان داده شده است. با توجه به اینکه در طراحی حلقه قفل فاز نوع سوم نسبت به حلقه قفل فاز نوع دوم محدودیت کمتری در انتخاب پهنای باند حلقه وجود دارد و برخلاف حلقه نوع دوم نیازی به افزایش پهنای باند حلقه برای کاهش خطای فاز ماندگار وجود ندارد، می توان در طراحی در صورت بالا بودن نویز فاز ناشی از سیگنال مرجع، پهنای باند حلقه را کمتر انتخاب کرد.

در مورد اثر نویز فاز VCO در خروجی، که طبق رابطه (۱۵) به شکل فیلتر بالاگذر است، باید گفت که تعدادقطبهای بیشتر حلقه نوع سوم نسبت به نوع دوم در مبدا، خود را در نویز فاز فرکانس آفست پایین نشان می دهد. مطابق شکل ۱۸-ث حلقه نوع سوم تضعیف بیشتری برروی نویزفاز ناشی از VCO در فرکانسهای آفست پایین دارد. شکل ۱۸-ج نویزفاز ناشی از همه المان های حلقه را درخروجی سنتزکننده فرکانس نوع دوم وسوم نشان می دهد. مطابق این شکل، نویز فاز در حلقه نوع سوم تنها در برخی فرکانس های آفست میانی از حلقه نوع دوم به اندازه 1 dB بیشتر است و در فرکانس آفست صد مگاهرتز از حلقه نوع دوم در حدود 3 dB کمتر می شود. بنابراین، با وجود اینکه به کارگیری حلقه نوع سوم به جای حلقه نوع دوم، با کاهش خطای فرکانس خروجی و خطای عدم تطبیق منابع جریان پمپ بار، بهبود قابل ملاحظه ای در کارآیی سنتزکننده FMCW ایجاد می کند، اثر نامطلوبی بر نویز فاز خروجی آن ندارد وحتی در فرکانسهای آفست بالا منجر به کاهش نویز فاز نیز می شود.

همانطور که گفته شد، در سنتز کننده های فرکانسی FMCW هرچه میزان شیب تغییرات فرکانس برحسب زمان بیشتر باشد خطای فاز و فرکانس خروجی نسبت به سیگنال مثلثی ایده آل افزایش می یابد [۱۰-۱۲]. بر این اساس، برای مقایسه ساختار های مختلف سنتز کننده FMCW، به کارگیری معیار شایستگی[۳۵] رابطه (۲۹) پیشنهاد می شود:

$$FOM = \frac{Slope\ of\ frequency\ ramp\ (\frac{MHz}{ms})}{rms\ error\ (kHz)} \qquad (۲۹)$$

معیار شایستگی رابطه (۲۹) برای سنتزکننده فرکانس FMCW با ساختار حلقه نوع سوم پیشنهادی و حلقه نوع دوم متداول به همراه تعدادی از سنتزکننده های فرکانس FMCW که در مقالات ارائه شده اند، در جدول ۱ نشان داده شده است. طبق این جدول، ساختار حلقه نوع سوم پیشنهادی معیار شایستگی بیشتری نسبت به بقیه ساختارها دارد.



شکل ۱۸. الف) نویزفاز ناشی از المانهای مقاومتی و ترارسانایی g_m در فیلتر حلقه، ب) نویز فاز ناشی از مدار پمپ بار، پ) اثر نویز مدولاتور دلتا-سیگما بر نویز فاز خروجی، ت) اثر نویز فاز سیگنال مرجع بر نویز فاز خروجی، ث) اثر نویز فاز VCO در خروجی، ج) نویزفاز ناشی از همه المان های حلقه درخروجی سنتزکننده فرکانس نوع دوم وسوم

[۳۵] Figure of Merit (FOM)

www.SID.ir

Archive of SID

جدول ۱. مقایسه ساختارهای مختلف سنتزکننده FMCW

فناوری	توان مصرفی (mW)	فرکانس مرکزی (GHz)	معیارشایستگی (MHz/ms/kHz)	خطای موثر فرکانس (kHz)	شیب مدولاسیون (MHz/ms)	ساختارسنتزکننده	نوع حلقه (تعداد قطبهای در مبدا درتابع تبدیل حلقه باز)	مرجع
۹۰ نانومتر سی ماس	۱۰۱	۷۸	۲/۳۳	۱۰۵۰	۲۴۵۰	عدد صحیح به همراه سنتزکننده فرکانس دیجیتال مستقیم	دو	[۱۰]
۶۵ نانومتر سی ماس	۷۳	۷۶	۳/۲۵	۳۰۰	۹۷۵	عدد کسری	دو	[۱۱]
۶۵ نانومتر سی ماس	۵۱	۷۶	۴/۵۶	۷۳	۳۳۳	عدد کسری	دو	[۱۲]
۰/۱۳ میکرومتر سی ماس + ۰/۳۵ میکرومتر SiGe Bipolar	۱۱۷	۷۷	۵/۶۵	۱۷۷	۱۰۰۰	عدد کسری به همراه ضرب کننده فرکانس در خروجی	دو	[۲۵]
۰/۱۸ میکرومتر سی ماس	۳۲ بدون مدولاتور	۱۰	۴/۰۷	۴۹۱	۲۰۰۰	عدد کسری	دو	**ساختار متداول طراحی شده در این مقاله**
۰/۱۸ میکرومتر سی ماس	۳۲ بدون مدولاتور	۱۰	۶/۲۱	۳۲۲	۲۰۰۰	عدد کسری	سه	**ساختار پیشنهادی**

نتیجه گیری

در این مقاله، به کارگیری حلقه قفل فاز نوع سوم برای سنتزکننده های فرکانس FMCW با ساختار عدد کسری پیشنهاد شده است. تحلیل خطای فاز ماندگار در این نوع حلقه قفل فاز، مزیت آن را در دنبال کردن سیگنال با تغییرات فرکانس در شیب بالارونده یا پایین رونده، نسبت به حلقه قفل فاز نوع دوم، نشان می دهد. در این مقاله نشان داده شده است که حلقه قفل فاز نوع سوم یک درجه آزادی به طراحی اضافه می کند به گونه ای که پهنای باند حلقه را می توان بدون محدودیت ناشی از خطای فاز ماندگار و شیب تغییرات فرکانس تعیین کرد. بر اساس تحلیل ارائه شده در این مقاله، روند طراحی حلقه قفل فاز نوع سوم برای سنتزکننده فرکانس FMCW با توجه به شرایط پایداری، توان مصرفی، نویز فاز خروجی و دقت مدولاتور دلتا-سیگما بیان شده است. به منظور اثبات کارآیی ساختار پیشنهادی، یک سنتزکننده فرکانس FMCW در فرکانس مرکزی ۱۰ گیگاهرتز در فناوری ۰/۱۸ میکرومتر CMOS طراحی و شبیه سازی شد. مقایسه نتایج شبیه سازی مدار طراحی شده نسبت به ساختار حلقه نوع دوم در توان مصرفی برابر، کاهش ۳۴ درصدی خطای فرکانس خروجی و کاهش خطای عدم تطبیق منابع جریان پمپ بار از ۲ درصد به ۰/۱۵ درصد را نشان می دهد، بدون اینکه اثر نامطلوبی بر نویز فاز خروجی داشته باشد. همچنین دراین مقاله، یک معیار شایستگی برای سنتزکننده های فرکانس FMCW بر پایه شیب تغییرات فرکانس خروجی معرفی شد که طبق آن، ساختار پیشنهادی مبتنی بر حلقه قفل فاز نوع سوم معیار شایستگی بیشتری نسبت به ساختارهای متداول مبتنی بر حلقه نوع دوم دارد.

www.SID.ir

Archive of SID

مراجع

[1] J. Vovnoboy, et al., "A Dual-Loop Synthesizer With Fast Frequency Modulation Ability for 77/79 GHz FMCW Automotive Radar Applications," IEEE J. of Solid-State Circuits, vol. 53, no.5, pp. 1328 - 1337, May 2018.

[2] H. Chen and L. Lu, "A 34.8%-PAE CMOS Transmitter Frontend for 24-GHz FMCW Radar Applications" IEEE Asian Solid-State Circuits Conference, pp. 265-268, Nov. 2012.

[3] W. Wu, R. Staszewski and J. Long, "A 56.4-to-63.4 GHz Multi-Rate All-Digital Fractional-N PLL for FMCW Radar Applications in 65 nm CMOS" IEEE J. of Solid-State Circuits, vol. 49, no. 5, pp. 1081-1096, May 2014.

[4] J. Kielb and M. Pulkrabek, "Application of a 15 GHz FMCW radar for industrial control and process level measurement" IEEE MTT-S Digest, pp. 281- 284, 1999.

[5] Y. Im, J. Lee and S. Park, "A DDS and PLL-based X-band FMCW radar system," IEEE MTT-S International Microwave Workshop Series on Intelligent Radio for Future Personal Terminals, 2011.

[6] S. Liu, Y. Zheng and X. He., "Design of a wideband low power FMCW synthesizer in 65 nm CMOS for radar applications," IEEE International Symposium on Circuits and Systems (ISCAS), pp.1776-1779, 2014.

[7] F. Herzel, A. Ergintav and Y. Sun, "Phase Noise Modeling for Integrated PLLs in FMCW Radar," IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 60, no.3, pp.137 - 141, March 2013.

[8] M. Dayanik and M. Flynn, "Digital Fractional-N PLLs Based on a Continuous-Time Third-Order Noise-Shaping Time-to-Digital Converter for a 240-GHz FMCW Radar System," IEEE J. of Solid-State Circuits, vol. 53, no.6, pp. 1719 -1730, June 2018.

[9] F. Herzel, D. Kissinger and H. Jalli Ng, "Analysis of Ranging Precision in an FMCW Radar Measurement Using a Phase-Locked Loop," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 65, no. 2, pp. 783-792, Feb. 2018.

[10] T. Mitomo, et al., "A 77 GHz 90 nm CMOS Transceiver for FMCW Radar Applications," IEEE J. of Solid-State Circuits, vol. 45, no.4, pp. 928 - 937, April 2010.

[11] J. Lee, et al., "A Fully-Integrated 77-GHz FMCW Radar Transceiver in 65-nm CMOS Technology" IEEE J. of Solid-State Circuits, vol. 45, no. 12, pp. 2746-2756, Dec. 2010.

[12] T. Luo, C. Wu and Y. Chen, "A 77-GHz CMOS FMCW Frequency Synthesizer With Reconfigurable Chirps," IEEE Transactions on Microwave Theory and Techniques, vol. 61, no. 7, pp. 2641-2647, July 2013.

[13] A. Sai, et al., "A Digitally Stabilized Type-III PLL Using Ring VCO with 1.01 psrms Integrated Jitter in 65nm CMOS," IEEE International Solid State Circuits Conference, ISSCC, pp. 248-249, 2012.

[14] H. Adrang and H. Miar Naeimi, "A type III fast locking time PLL with transconductor-C structure," IEEE International Midwest Symposium on Circuits and Systems, 2009.

[15] S. Golestan, et al., "Advantages and Challenges of a Type-3 PLL," IEEE Transactions on Power Electronics, vol. 28, no.11, pp. 4985 - 4997, Nov. 2013.

[16] H. Rategh, H. Samavati and T. Lee., "A CMOS Frequency Synthesizer with an Injection-Locked Frequency Divider for a 5-GHz Wireless LAN Receiver," IEEE J. of Solid-State Circuits, vol. 35, no.5, pp.780-787, May 2000.

[17] B. Razavi, "RF Microelectronics," 2nd ed., Prentice Hall, New York, 2012.

[18] M. Perrott, M. Trott and C. Sodini, "A modeling approach for ΣΔ fractional-N frequency synthesizers allowing straightforward noise analysis," IEEE J. of Solid-State Circuits, vol. 37, no. 8, pp. 1028-1038, August 2002.

[19] B. De Muer and M. Steyaert, "A CMOS monolithic ΔΣ-controlled fractional-N frequency synthesizer for DCS-1800," IEEE J. of Solid-State Circuits, vol. 37, no.7, pp.835-844, July 2002.

[20] E. Sung, et al., "A Wideband 0.18-μm CMOS ΣΔ Fractional-N Frequency Synthesizer with a single VCO for DVB-T," IEEE Asian Solid-State Circuits Conference, pp.193 - 196, 2005.

[21] S. Saeedi and M. Atarodi., "Single-VCO multi-band DTV frequency synthesizer with a divide-by-3 frequency divider for quadrature signal generation," Analog Integrated Circuits

www.SID.ir

Archive of SID

and Signal Processing, vol. 64, no. 3, pp. 103–113, August 2010.

[22] W. Lee, J. Cho and S. Lee, "A High Speed and Low Power Phase-Frequency Detector and Charge-pump," Proceedings of the ASP-DAC Asia and South Pacific Design Automation Conference, 1999.

[23] A. Homayoun and B. Razavi, "Analysis of Phase Noise in Phase/Frequency Detectors," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 60, no. 3, pp. 529-539, March 2013.

[24] M. Terrovitis, et al., "A 3.2 to 4GHz, 0.25µm CMOS Frequency Synthesizer for IEEE 802.11a/b/g WLAN," IEEE International Solid State Circuits Conference, ISSCC, 2004.

[25] H. Jalli Ng, et al., "A DLL-Supported, Low Phase Noise Fractional-N PLL With a Wideband VCO and a Highly Linear Frequency Ramp Generator for FMCW Radars," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 60, no. 12, pp. 3289 - 3302, Dec. 2013.

www.SID.ir