طراحی مدولاتور متعامد زمان پیوسته پیشخور برای گیرنده‌های چند استانداردی

علیرضا شمسی
استادیار دانشکده مهندسی برق- دانشگاه علوم و فنون هوایی شهید ستاری، alireza.shamsi@ssau.ac.ir

چکیده

طراحی و پیاده سازی یک مدولاتور دلتا سیگمای متعامد [۱](QDSM) چند استانداردی زمان پیوسته [۲](CT) مرتبه سه پایین‌گذر [۳](LP) کم مصرف در این مقاله ارائه شده است. مدولاتور پیشنهادی در دو حالت حقیقی و متعامد، گیرنده‌های مخابراتی با استانداردهای WLAN/WCDMA/GSM را پشتیبانی می‌کند. در مد GSM به شکل حقیقی و تک بیتی، و در مدهای WLAN/WCDMA، جهت دستیابی به پهنای باند و SNR مورد نیاز این استانداردها، بصورت متعامد و با کوانتایزر چند بیتی کار می‌کند. این مدولاتور با ساختار پیشخور [۴](FF) طراحی شده است و جهت کاهش مصرف توان، آپ‌امپهای جمع کننده انتهای فیلتر حلقه آن حذف شده‌اند. جهت حذف خطای عدم تطابق [۵] بین DAC[۶]های مسیرهای I و Q ازمبدل آنالوگ به دیجیتال مختلط [۷](C_DAC) طراحی شده و جانمایی آن نیز ارائه گردیده است. این مدولاتور در تکنولوژی CMOS ۱۸۰ نانومتر پیاده‌سازی شده است. مقادیر SNR[۸] بدست آمده برای استانداردهای WLAN/WCDMA/GSM در سطح ترانزیستور بترتیب مقادیر ۸۱/۶۳، ۷۵/۹ و ۵۴ دسی‌بل و ضریب شایستگی [۹](FOM) بترتیب برابر (pj/conv) ۱/۶۳، ۰/۴۸۵ و ۰/۸۲۸ محاسبه شده است. این ساختار، در مقایسه با مدولاتورهای دلتا سیگمای مشابه ارائه شده در مقالات، در مدهای عملیاتی WLAN/WCDMA دارای FOM بهتری می‌باشد.

کلیدواژه

مدولاتور دلتا سیگمای متعامد، چند استانداردی، WLAN/WCDMA/GSM، DAC مختلط

مقدمه

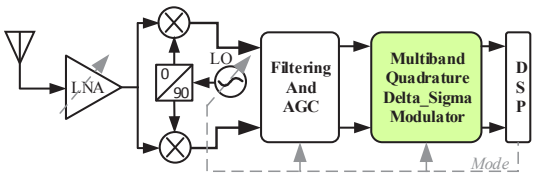
اندازه کوچک و مصرف توان کم از مهمترین رویکردهای طراحی سیستمهای رادیونرم افزار قابل حمل بوده و در سالهای اخیر تحقیقات زیادی برای طراحی چنین گیرنده‌های چند استانداردی یکپارچه با تکنولوژی CMOS شده است [۱]. در همین راستا، ساختار Low-IF چند استانداردی بدلیل نداشتن مشکلات آفست DC و نویز 1/f یکی از ساختارهای مورد توجه در طراحی این گیرنده‌ها بوده است[۲]. یکی از مهمترین چالشهای این گیرنده‌ها، طراحی مبدل آنالوگ به دیجیتالی [۱۰](ADC) است که بتواند در استانداردهای مختلف بصورت بهینه عمل تبدیل را انجام دهد. مبدلهای دلتا سیگما بدلیل شکل دهی نویز کوانتیزاسیون، دقت بالا [۳] و انعطاف پذیری، کاربرد گسترده‌ای در این گیرنده‌ها پیدا کرده‌اند. با توجه به اینکه مبدل‌های دلتا سیگمای متعامد با مصرف توان و سخت افزار معادل، پهنای باند بزرگتری نسبت به نوع حقیقی آن در اختیار می گذارند، برای کاربرد در گیرنده‌های Low-IF رواج پیدا کرده‌اند [۴, ۵]. در این گیرنده‌ها بجای دو مدولاتور حقیقی می‌توان از یک مدولاتور متعامد استفاده نمود که باعث افزایش کارآیی و کاهش مصرف توان نیز می‌شود [۴, ۸]. در شکل ۱ ساختار بلوکی گیرنده Low-IF چند استانداردی و جایگاه مدولاتور متعامد نشان داده شده است.

[1] quadrature delta sigma modulator (QDSM)
[2] continuous time (CT)
[3] Low Pass
[4] feedforward (FF)
[5] mismatch
[6] Digital to analog converter
[7] Complex_DAC
[8] signal to noise ratio
[9] figure-of-merits
[10] Analog to Digital converter

www.SID.ir

تاریخ دریافت: ۱۳۹۷/۰۷/۱۵ تاریخ پذیرش: ۱۳۹۸/۰۴/۰۲

Archive of SID



شکل ۱. ساختار گیرنده Low-IF

سه روش برای پیاده سازی مبدل آنالوگ به دیجیتال در گیرنده-های چند استانداردی وجود دارد: روش اول موازی کردن چند مبدل، بطوریکه هر کدام برای یک استاندارد در نظر گرفته شود. این روش موجب افزایش توان مصرفی و سطح تراشه می‌شود. روش دوم استفاده از یک مدولاتور پهن باند است بطوریکه همزمان محدوده فرکانسی همه استانداردها را پوشش دهد. در این حالت، مدولاتور همیشه با بیشترین پهنای باند و فرکانس کار می‌کند و بیشترین توان مصرفی را دارد. روش سوم، طراحی مدولاتوری با قابلیت پیکربندی مجدد است، به نحوی که با تغییرات جزئی در ساختار آن، عملکرد مدولاتور با استاندارد مورد نظر متناسب شود[۶, ۷].

مدولاتورهای دلتا سیگمای متعامد نیز برای استانداردهای مختلف به‌کار گرفته شده‌اند. یک مدولاتور متعامد زمان پیوسته میان گذر چند استانداردی برای استفاده در سه مد GSM-EDGE/UMTS/DVB-T در [۲] ارائه شده است. نمونه‌های دیگری از مدولاتور متعامد با ساختار فیدبک[11] (FB) و دو حالته باند باریک/ پهن باند [۸] و پایین گذر/ میان گذر [۹] طراحی شده است که قابلیت پشتیبانی دو باند فرکانسی را دارند. یک مدولاتور متعامد زمان پیوسته FF برای استاندارد WLAN در [۱۰] ارائه شده‌است. علی رغم مزیتهای مدولاتورهای متعامد، یکی از مشکلات آنها خطای عدم تطابق DACهای دو مسیر I و Q است که با بکار گیری مبدل آنالوگ به دیجیتال مختلط[۲] و یا الگوریتم‌های DEM[12] در حوزه دیجیتال [۸] مبادرت به حذف این خطاها می‌شود.

در این مقاله یک مدولاتور دلتا سیگمای متعامد برای استانداردهای WLAN/ WCDMA/ GSM طراحی شده است. این مدولاتور با روش ارائه شده در مرجع [۱۰] و با ساختار دو حالته (حقیقی، متعامد) چند استانداردی و با اعمال DACهای مختلط طراحی شده است. این مدولاتور با ساختار FF و برای استانداردهای مخابراتی WLAN/ WCDMA/ GSM طراحی شده است و جهت کاهش مصرف توان، جمع کننده‌های انتهای مسیر فیلتر حلقه حذف شده‌اند. شبیه‌سازی‌های سیستمی و مداری حاکی از عملکرد مطلوب این مدولاتور بوده و در مقایسه با نمونه-های مشابه ارائه شده در پژوهش‌های پیشین دارای FOM بهتری می‌باشد. برای صرفه جویی در مصرف توان از دو آپ‌امپ با GBW[13] متفاوت در هر انتگرالگیر استفاده شده است. جهت کاهش سطح اشغالی، آپ امپ‌های بکار برده شده در مد عملیاتی WCDMA، در مد GSM نیز استفاده شده‌اند. بعلت سرعت بالای این آپ‌امپ‌ها نسبت به نیاز مد عملیاتی GSM، در این مد OSR را زیاد نموده و در عوض کوانتایزر تک بیتی بکار برده شده است که نیازی به خطی سازی نیز ندارد.

مشخصات مدولاتور پیشنهادی

برای برآوردن کیفیت خدمات[14] (QoS) هر یک از استانداردهای مخابراتی محدوده هایی مشخص شده است که باید در طراحی مدولاتور در نظر گرفته شوند. بنابراین مدولاتور پیشنهادی باید قادر باشد نیاز هر یک از استانداردهای WLAN/ WCDMA/ GSM را با کیفیت مناسبی برآورده کند. جدول ۱ مشخصات مورد نیاز برای این استانداردها آمده است.

جدول ۱. پهنای باند و محدوده پویایی مورد نیاز برای مدولاتور دلتا سیگمای چند استانداردی[۱۱]

standard	Channel Bandwidth (BW)	Dynamic Range (DR)
WLAN	20 MHz	>70 dB
WCDMA	2 MHz	>60 dB
GSM	200 kHz	>52 dB

مهمترین پارامترهای هر استاندارد، پهنای باند و رنج دینامیکی یا SNR است. پهنای باند و فرکانس مرکزی مدولاتور دلتاسیگما توسط ضرایب فیلتر حلقه مشخص می شوند و SNR آن نیز به پارامترهای رابطه (۱) وابسته است[۱۲].

$$SQNR = \frac{3(2L+1)}{2\pi^{2L}} OSR^{2L+1}(2^N - 1)^2 \qquad (۱)$$

با تعیین مقدار مناسب مرتبه فیلتر(L)، فرکانس نمونه برداری (fs) یا OSR و تعداد بیت‌های کوانتایزر (N) می‌توان SNR لازم برای هر استاندارد را فراهم نمود [۱۳]. برای طراحی یک مدولاتور باید بین این مولفه‌ها مصالحه نمود. چرا که افزایش مرتبه فیلتر موجب کاهش پایداری مدولاتور می‌شود، OSR بیشتر باعث افزایش فرکانس کاری مدولاتور و مصرف توان می‌شود و با کوانتایزر چند

[11] Feed back
[12] Dynamic Element Matching

[13] Gain Band width
[14] Quality of Service

www.SID.ir

Archive of SID

بیتی نیز باید DAC چند بیتی استفاده شود که غیر خطی است[۱۴]. با در نظر گرفتن این مسائل و خصوصیات هر استاندارد در مدولاتور پیشنهادی، این مدولاتور در مد عملیاتی GSM، با ساختار حقیقی و کوانتایزر تک بیتی و در مدهای WLAN/ WCDMA بعلت نیاز به پهنای باند بزرگ، در حالت متعامد با کوانتایزر سه بیتی طراحی شده است.

ساختار مدولاتور پیشنهادی

جهت صرفه جویی در مصرف توان ساختار FF برای پیاده‌سازی مدولاتور پیشنهادی انتخاب شده است. یکی از معایب ساختار پیشخور، نویز خارج باند است. در مدولاتور طراحی شده با بهینه سازی محل قطبهای تابع تبدیل نویز بوسیله مسیرهای ضربدری، این مشکل مرتفع شده و موجب افزایش SNR نیز می شود. مشکل دیگر وجود جمع کننده قبل از کوانتایزر است که تمام سیگنال‌های پیشرو را دریافت نموده و به کوانتایزر منتقل می‌کند. این جمع‌کننده که با آپ‌امپ پیاده‌سازی می‌شود، مصرف توان بالایی داشته و بهره محدود آن موجب کاهش توان موثر فیلتر مدولاتور می‌شود همچنین وجود قطب در تابع تبدیل آن، پهنای باند فیلتر را کاهش می‌دهد [۱۵]. در مدولاتور پیشنهادی جمع کننده‌های انتهای مسیرهای فیلتر حذف شده و آخرین انتگرالگیر بعنوان جمع کننده نیز بکار می‌رود که باعث کاهش مصرف توان می‌شود [۱۰].

طراحی ساختار اولیه مدولاتور پیشنهادی به روش طراحی مدولاتور حقیقی و تبدیل آن به مدولاتور انجام شده است[۱۰]. در این روش، ابتدا یک مدولاتور حقیقی FF مرتبه سه با مشخصات مطلوب طراحی شده و پس از حذف جمع کننده‌ها و جبرانسازی تاخیر اضافی حلقه[۱۵] [۱۲]، با اعمال مسیرهای ضربدری، به مدولاتور متعامد تبدیل می‌شود. بدین ترتیب قطبهای تابع تبدیل نویز در هر یک از مدهای عملیاتی WLAN/WCDMA به محل‌های بهینه منتقل شده است. این عمل با توجه به ویژگیهای این استانداردها بترتیب با پهنای باندهای 2MHz و 20MHz، و فرکانس مرکزی 1MHz و 10MHz، به منظور دست‌یابی به بیشترین سطح سیگنال به نویز در هریک از استانداردها انجام شده است. با حذف جمع کننده‌ها، به هریک از مسیرها یک NRZ_DAC[16] اضافه شده و یکی از ضرایب حقیقی به ضریب مختلط تبدیل می‌شود. برای جبرانسازی تاخیر اضافی حلقه نیز یک مبدل دیجیتال به آنالوگ RZ_DAC[17] به هریک از مسیرهای مدولاتور اضافه می‌شود. این مبدل‌ها با دو مبدل NRZ_DAC جایگزین می‌شوند. سپس مبدلهایی که بدلیل حذف جمع کننده به مدار اضافه شده بود با این دو مبدل ادغام می شوند و فقط دو مبدل NRZ_DAC که برای جبرانسازی تاخیر اضافی به هر مسیر اضافه شده بود در ساختار مدولاتور باقی می‌ماند.

طراحی سیستمی مدولاتور پیشنهادی

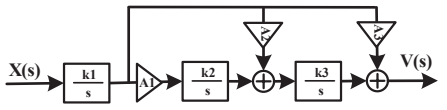
طراحی مدولاتور، با محاسبه تابع فیلتر گسسته زمان حقیقی شروع می‌شود [۱۵]. با تبدیل آن به تابع پیوسته زمان و انتقال قطبهای این تابع بوسیله ضرایب مختلط، تابع فیلتر مدولاتور متعامد پیوسته زمان شکل می‌گیرد. مراحل تبدیل تابع فیلتر پایین‌گذر به میان‌گذر مختلط در معادلات (۲) تا (۴) آمده است[۸]. در این معادلات ω_0 صفر تابع در DC و ω_c مقدار شیفت صفرهای تابع تبدیل فیلتر مختلط از فرکانس DC است.

$$H_{LP}(j\omega)=\frac{1}{1+j\omega/\omega_0} \quad (۲)$$

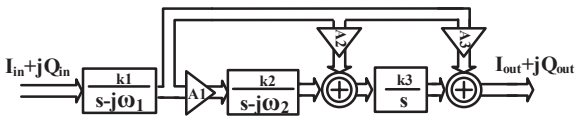
$$H_{QBP}(j\omega)=H_{LP}(j\omega-j\omega_C) \quad (۳)$$

$$H_{QBP}(j\omega)=\frac{1}{1+j\omega/\omega_0-j\omega_C/\omega_0} \quad (۴)$$

در روش طراحی مدولاتور متعامد پیشنهادی، دو فیلتر پایین گذر حقیقی (شکل ۲) موازی شده و با اعمال مسیرهای ضربدری، به فیلتر مختلط تبدیل می‌شوند[۱۶]. ساختار بلوکی فیلتر مختلط در شکل ۳ نشان داده شده است.



شکل ۲. ساختار فیلتر حقیقی H(s) درجه ۳



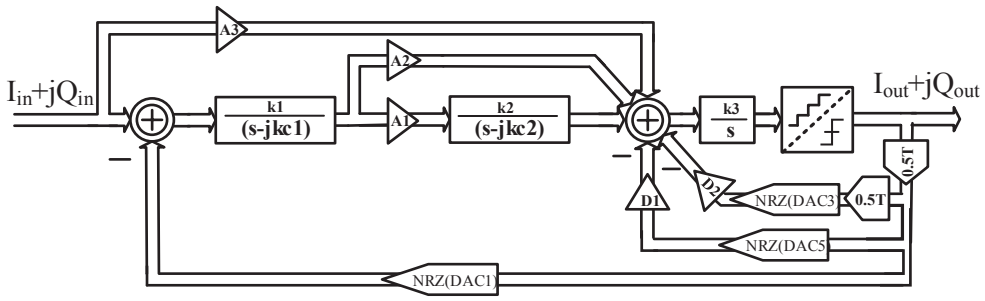
شکل ۳. ساختار فیلتر مختلط H(s) درجه ۳

[15] Excess Loop Delay

[16] Non return ti zero
[17] Return to zero

www.SID.ir

Archive of SID



شکل ۴. ساختار نهایی مدولاتور متعامد چند استانداردی پیشنهادی

رابطه (۵) بیانگر تابع تبدیل فیلتر مختلط حاصل است. در این تابع دو صفر تابع فیلتر حقیقی از فرکانس صفر به فرکانس‌های ω_1 و ω_2 (فرکانسهای تشدیدگرهای مختلط)، در تابع تبدیل فیلتر مختلط منتقل شده‌اند.

$$H(s)=\frac{A_1k_1k_2k_3}{s(s-\omega_1 i)(s-\omega_2 i)}+\frac{k_1k_3A_2}{s(s-\omega_1 i)}+\frac{k_1A_3}{(s-\omega_1 i)} \qquad (۵)$$

در مدولاتور پیشنهادی، ضرایب حقیقی ثابت هستند و برای فراهم کردن محل و پهنای باند لازم در هر مد عملیاتی ضرایب مختلط تغییر می‌کنند. ساختار نهایی مدولاتور پس از جبران سازی، حذف جمع کننده و تلفیق DACها در شکل ۴ نشان داده شده است. در این شکل ضرایب kc_1 و kc_2 بترتیب برای تعیین محل صفرهای تشدیدگر مختلط در فرکانسهای ω_1 و ω_2 قرار داده شده‌اند. کوانتایزر در دو حالت تک بیتی برای مد GSM و ضرایب مدولاتور در جدول ۲ آمده است. ضرایب حقیقی در هر سه مد عملیاتی ثابت هستند و ضرایب مختلط در مد عملیاتی GSM صفر هستند و در مدهای WLAN و WCDMA براساس مشخصات استاندارد محاسبه شده‌اند. مقادیر فیدبک ها نیز در سه مد عملیاتی ثابت و برابر D1=0.3297 و D2=1.724 هستند.

جدول ۲ ضرایب مدولاتور در مد های عملیاتی مختلف

standard	A1	A2	A3	kc1	kc2
WLAN	0.4576	1.3958+j0.9447	2.0537	0.406	0.181
WCDMA	0.4576	1.3958+j0.1786	2.0537	0.183	0.087
GSM	0.4576	1.3958	2.0537	0	0

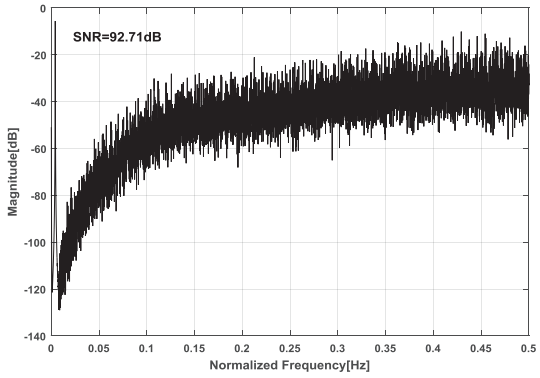
طیف خروجی سطح سیستم مدولاتور در مدهای عملیاتی مختلف در شکل ۵ تا ۷ نشان داده شده‌است. شکل ۵ بیانگر این است که در مد عملیاتی GSM همه صفرهای تابع در DC قرار گرفته‌اند و شکل‌های ۶ و۷ نشان می‌دهند که در مدهای عملیاتی WLAN/ حالت سه بیتی برای مدهای WLAN و WCDMA طراحی شده‌است. مدولاتور در مد GSM در حالت حقیقی با تابع تبدیل فیلتر (۶) کار می‌کند و در مدهای WCDMA و WLAN در حالت متعامد بوده و تابع تبدیل فیلتر آن بترتیب در روابط (۷) و (۸) نشان داده شده است.

$$H(s)=\frac{2.0537}{s}+\frac{1.3958}{s^2}+\frac{0.4576}{s^3}+0.862 \qquad (۶)$$

$$H'(s)=\frac{0.4576+(1.3958+j0.1786)(s-j0.183)+2.0537s(s-j0.183)}{s(s-j0.087)(s-j0.183)}+0.862 \qquad (۷)$$

$$H'(s)=\frac{0.4576+(1.3958+j0.9447)(s-j0.460)+2.0537(s-j0.460)(s-j0.181)}{s(s-j0.460)(s-j0.181)}+0.862 \qquad (۸)$$

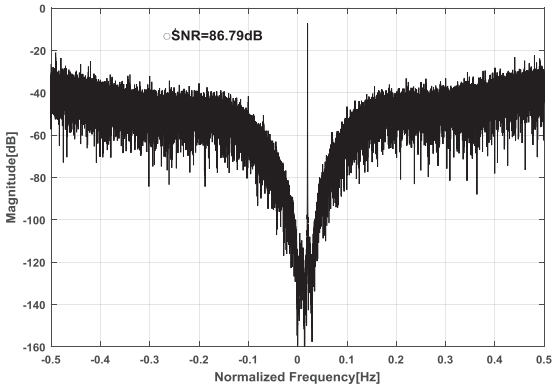
WCDMA یک صفر در DC و دو صفر (مختلط) دیگر در فرکانسهای مثبت واقع شده‌اند. مقدار SNR در مدهای WLAN/ WCDMA/ GSM بترتیب برابر ۹۲/۷۱، ۸۶/۷۹ و ۶۱/۸۹ است.



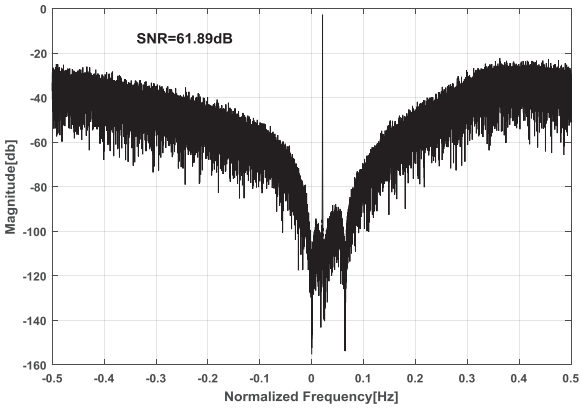
شکل ۵. طیف خروجی مدولاتور پیشنهادی در مد عملیاتی GSM

www.SID.ir

Archive of SID



شکل ۶. طیف خروجی مدولاتور پیشنهادی در مد عملیاتی WCDMA



شکل ۷. طیف خروجی مدولاتور پیشنهادی در مد عملیاتی WLAN

پیاده سازی DAC مختلط

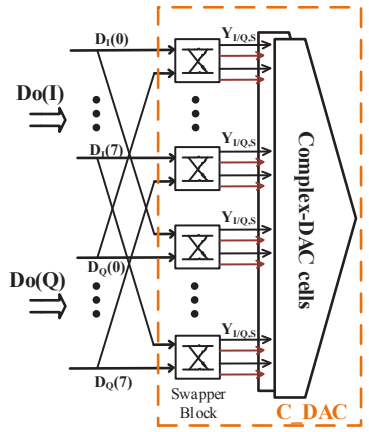
جدول۳. نحوه انتخاب سلول DAC بر اساس ورودیهای مختلف

D_I	D_Q	Y_{I,C_DAC}	Y_{Q,C_DAC}
0	0	$\overline{Y_I}$	$\overline{Y_Q}$
0	1	$\overline{Y_I}$	Y_Q
1	1	Y_I	Y_Q
1	0	Y_I	$\overline{Y_Q}$

در این روش بجای دو DAC مجزا با ۸ سلول، یک C_DAC با ۱۶ سلول قرار داده شده که تمام سلولهای آن برای هر دو مسیر I/Q به اشتراک گذاشته می‌شود. بدین ترتیب علاوه بر حذف خطای عدم انطباق بین دو مسیر بعلت جا بجایی سلولها در هر بار تبدیل خطای عدم تطابق در یک مسیر نیز کاهش می‌یابد.

در مدولاتور پیشنهادی C_DAC سه بیتی بوده و شامل ۱۶ سلول مختلط است که به روش گفته شده در مرجع [۱۸] طراحی شده

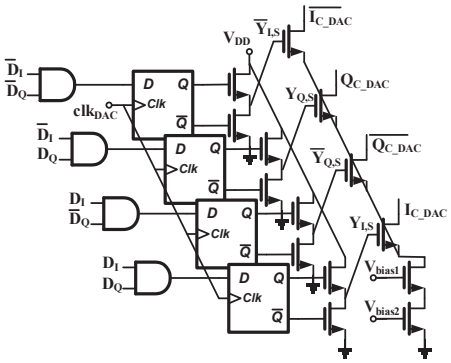
بلوک‌های DAC در مسیر فیدبک مدولاتور دلتا سیگما قرار دارند و خطای آنها به ورودی اعمال شده و مستقیما با آن جمع می-شوند. در مدولاتورهای متعامد خطای عدم تطابق DACها در مسیرهای I و Q نیز باعث ایجاد خطا بین خروجی‌های دو مسیر می‌شوند. این مشکل با استفاده از یک C_DAC بجای دو DAC حقیقی، مرتفع شده است. ساختار بلوکی DAC مختلط طراحی شده در شکل ۸ نشان داده شده است.



شکل ۸. بلوک DAC مختلط

در این ساختار یک بخش swapper وجود دارد که بر اساس مقادیر خروجی کوانتایزر مسیرهای I و Q و مطابق جدول ۳ یکی از سلولهای C_DAC را انتخاب می کند.

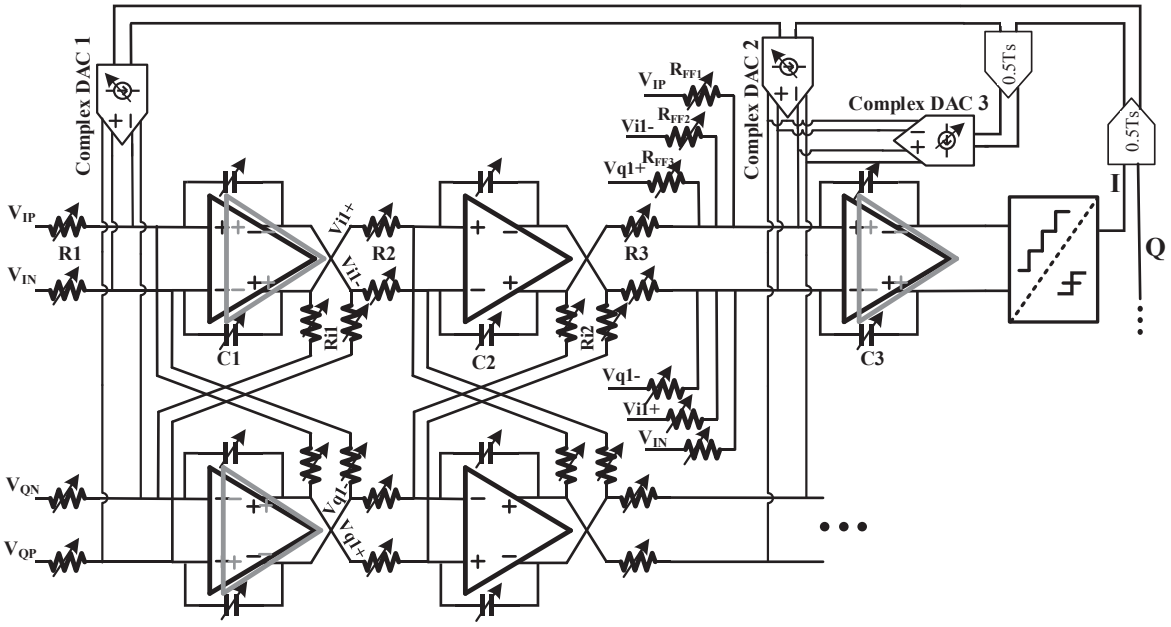
است. ساختار یکی از سلولهای آن درشکل ۹ نشان داده شده است.



شکل ۹. یکی از بخشهای DAC مختلط به همراه swapper

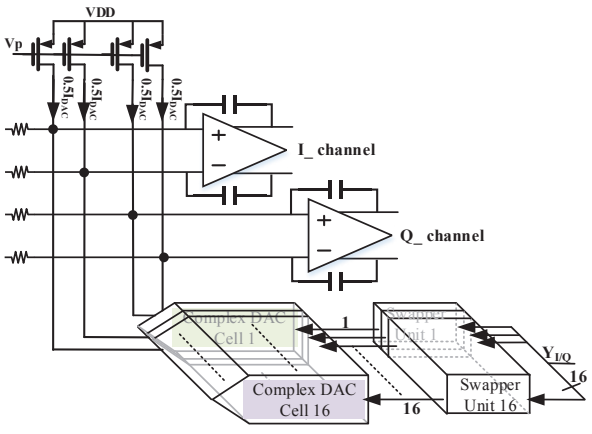
www.SID.ir

Archive of SID



شکل ۱۲. نمای کلی مدولاتور دلتا سیگمای متعامد چند استانداردی پیشنهادی

هر سلول C_DAC از چهار فلیپ فلاپ، چهار سوییچ و یک دنباله جریانی تشکیل شده است و با توجه به مقادیر ورودیهای D_I /D_Q یکی از سوییچها بر اساس جدول ۳ وصل شده و مسیر جریان دنباله را تعیین می‌کند. نحوه اتصال C_DAC به ورودی انتگرال گیرها در شکل ۱۰ نمایش داده شده است. همانطور که در این شکل مشاهده می‌شود تمام سلولهای آن برای هر دو مسیر به اشتراک گذاشته شده و موجب حذف عدم تطابق بین دو مسیر می‌شود.



شکل ۱۰. نحوه اتصال C_DAC فیدبک به ورودی انتگرال‌گیرها

پیاده سازی مداری مدولاتور متعامد

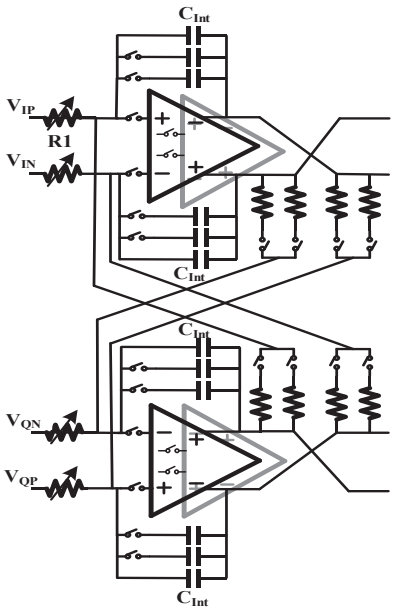
یکی از بخش‌های اصلی مدولاتور متعامد، تشدیدگرهای مختلط هستند که از دو انتگرال‌گیر موازی تشکیل شده‌اند. ساختار مداری یکی از تشدیدگرهای مختلط مدولاتور پیشنهادی در شکل ۱۱ نشان داده شده است. همانطور که در شکل نشان داده شده، هر انتگرال‌گیر از دو آپ‌امپ، خازن‌ها و مقاومت‌هایی تشکیل شده است که با تغییر استاندارد، توسط سوییچ‌های تعبیه شده جایگزین می‌شوند.

ساختار مداری مدولاتور پیشنهادی در شکل ۱۲ نشان داده شده‌است. هر مسیر مدولاتور دارای سه DAC از نوع NRZ هستندکه با روش رشته جریانی[8] پیاده سازی شده‌اند [۲۰, ۲۱] که ساختار آن در بخش قبل شرح داده شد. بدلیل خاصیت خطی بالای روش RC فعال، انتگرال‌گیرهای مدولاتور با این روش پیاده-سازی شده‌اند[۱۷]. با توجه به رابطه (۹) و ضرایب بدست آمده در طراحی سیستمی مدولاتور، مقادیر مقاومت و خازن‌های این تشدیدگر برای هر استاندارد محاسبه شده‌اند.

[8] Current Stirring

www.SID.ir

Archive of SID



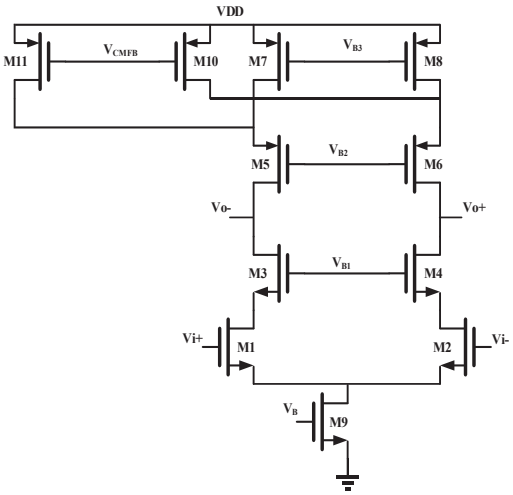
شکل ۱۱. ساختار مداری تشدیدگر مختلط چند استانداردی پیشنهادی

مقادیر مقاومتها و خازنهای مدولاتور با توجه به ویژگیهای هر مد عملیاتی محاسبه شده و در جدول ۴ آمده است. برای صرفه جویی در مصرف توان، در هر انتگرال‌گیر از دو آپامپ با پهنای باند (و مصرف توان) مختلف استفاده شده است. برای مدهای عملیاتی WCDMA/GSM یک آپامپ با پهنای باند کوچکتر و برای مد عملیاتی WLAN آپامپ دیگری با پهنای باند بزرگتر تعبیه شده‌است و توسط سوییچها جایگزین می‌شوند.

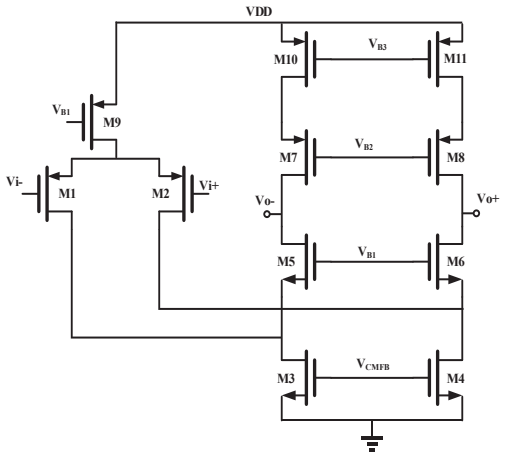
جدول۴. مقادیر قطعات استفاده شده در مدولاتور در مدهای مختلف

Circuit parameter	Size GSM mode	Size WCDMA mode	Size WLAN mode
R1	32.4k	15.625k	8.34k
R2	32.4k	15.625k	12.5k
R3	68.28k	34.1405k	18.22k
Ri1	--	179.6k	14.61k
RFF1	15.19k	7.59k	4k
RFF2	22.4k	11.197k	6k
RFF3	--	87.49k	9.27k
Ri2	--	85.41k	35.86k
C1	1p	1p	0.5p
C2	1p	1p	0.333p
C3	1p	1p	0.5p

انتگرال‌گیر طبقه اول مهمترین انتگرال‌گیر مدولاتور است و سهم بیشتری از مصرف توان را به خودش اختصاص می‌دهد. به همین دلیل آپامپ تلسکوپی که مصرف توان پایین و پهنای باند بزرگتری دارد برای این طبقه استفاده شده است[۱۸]. در طبقه دوم آپامپ کسکود تاشده استفاده می‌شود. مهمترین ویژگی این آپامپ انتخاب محدوده مد مشترک ورودی و خروجی مستقل است [۱۹]. انتگرال‌گیر طبقه سوم بعنوان جمع کننده مسیرهای پیشخور نیز عمل می‌کند. به همین دلیل برای این طبقه از تقویت کننده تلسکوپی استفاده می‌شود تا با مصرف توان کمتر پهنای باند لازم را نیز داشته باشد. ساختار آپامپ تلسکوپی و آپامپ کسکود تاشده در شکل‌های ۱۳ و ۱۴ نشان داده شده است.



شکل ۱۳. آپامپ تلسکوپی



شکل ۱۴. آپامپ کسکود تاشده

اندازه ترانزیستورهای این آپامپها برای مدهای عملیاتی WCDMA/GSMو مد عملیاتی WLAN بترتیب در جدولهای ۵ و ۶ آمده است.

www.SID.ir

Archive of SID

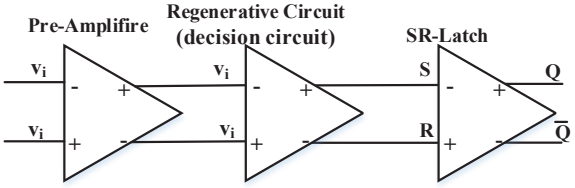
جدول ۵. اندازه های آپامپ های استفاده شده برای مدهای عملیاتی WCDMA/GSM

Specifications	Telescopic Op-amp used in 1st and 3rd integrators	Folded Cascode Op-amp used in 2nd integrator
DC Gain (dB)	65.3	54.35
GBW (MHz)	289.2	206
Phase Margin (degree)	54.5	55.64
Output Swing	1.5	1.75
$I_D(\mu A)$	370	260.1
Power dissipation(mW)	0.732	1.225
Technology	TSMC 0.18	TSMC 0.18
Transistor Size (µm)	Size (µm)	Size (µm)
M1,2	112/0.45	500/0.45
M3,4	114/0.45	61/0.45
M5,6	400/0.3	53/0.45
M7,8	400/0.5	200/0.45
M9	200/0.45	60/0.45
M10,11	16/0.45	300/0.45

جدول ۶. اندازه های آپامپ های استفاده شده برای مد عملیاتی WLAN

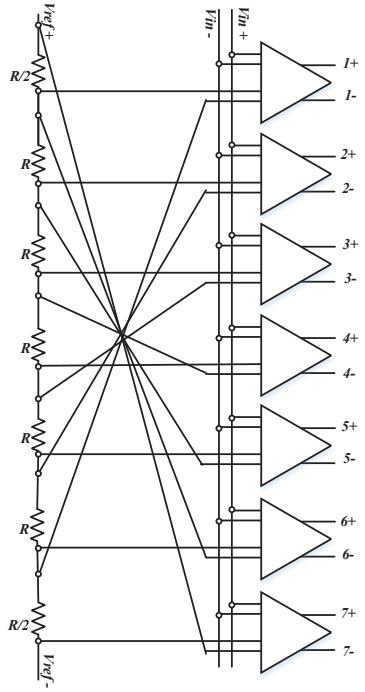
Specifications	Telescopic Op-amp used in 1st and 3rd integrators	Folded Cascode Op-amp used in 2nd integrator
DC Gain (dB)	57.65	54.35
GBW (MHz)	447.4	206
Phase Margin (degree)	66.52	55.64
Output Swing	1.6	1.75
$I_D(\mu A)$	810	260.1
Power dissipation(mW)	1.458	1.225
Technology	TSMC 0.18	TSMC 0.18
Transistor Size (µm)	Size (µm)	Size (µm)
M1,2	155/0.45	500/0.45
M3,4	110/0.45	61/0.45
M5,6	300/0.18	53/0.45
M7,8	200/0.18	200/0.45
M9	50/0.45	60/0.45
M10,11	20/0.25	300/0.45

آپامپ‌های کسکود تاشده برای هر سه مد عملیاتی مشترک است و آپامپ‌های تلسکوپی در مـدهای GSM وWCDMA مشـترک و با مد عملیاتیWLAN مجزا می‌باشند.کوانتایزر سه بیتـی فلـش (Flash) در این مدولاتور، از هفت مقایسـه کننـده (Comparator) تشکیل شده است و هر مقایسه کننده از قسمتهای: پیش تقویـت کننده، regenerative Latch و SR Latch تشکیل شـده اسـت [۳, ۱۳, ۲۲]. ساختار بلوکی مقایسه کننده و کوانتایزر ۳ بیتی بترتیب در شکل‌های ۱۵ و ۱۶ نشان داده شده است.



شکل ۱۵. بلوکی مقایسه کننده

در مد عملیاتی GSM مدولاتور در حالت حقیقی با کوانتایزر تک بیتی کار می‌کند، مسیرهای ضربدری قطع هستند و در عمل بصورت دو مدولاتور حقیقی پایین گذر کار می‌کند. همانطور که در شکل ۱۸ نشان داده شده است، طیف خروجی مدولاتور نیز در این مد به‌صورت حقیقی پایین گذر است. در مدهای WLAN/WCDMA مدولاتور در حالت متعامد کار می‌کند و طیف‌های خروجی آن بترتیب در شکل‌های ۱۹ و ۲۰ نشان داده شده است.



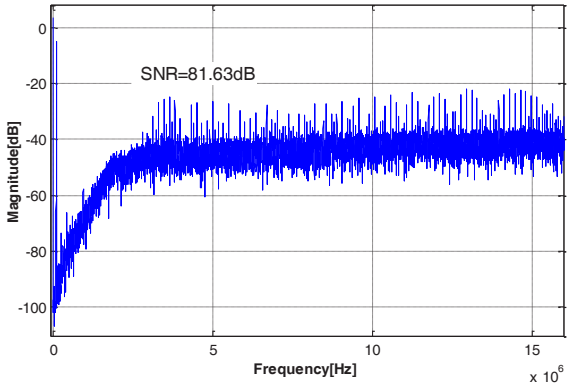
شکل ۱۶. ساختار بلوکی کوانتایزر ۳ بیتی

مدولاتور پیشنهادی در تکنولوژی CMOS ۱۸۰ نانومتر پیاده سازی شده و SNR بدست آمده در سطح ترانزیستور برای مدهای عملیاتی WLAN/WCDMA/GSM بترتیب برابر ۸۱/۶۳ ، ۷۵/۹ و ۵۴ دسی‌بل و مقدار FOM [۲] نیز با توجه به رابطه (۱۰) برای این مدهای عملیاتی بترتیب مقادیر (pj/conv) ۱/۶۳ ، ۰/۴۸۵ و ۰/۸۲۸ محاسبه شده است.

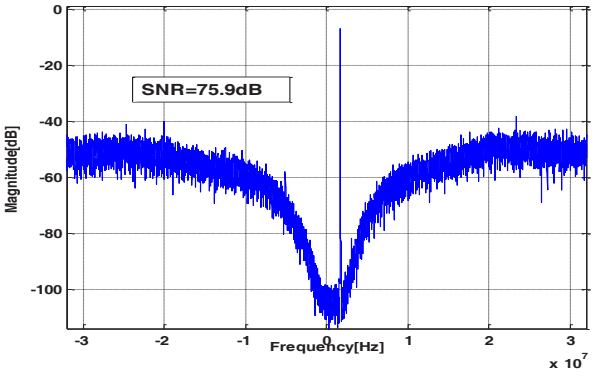
$$FOM = \frac{power}{2*BW*2^{((SNDR-1.76)/6.02)}} \qquad (۱۰)$$

www.SID.ir

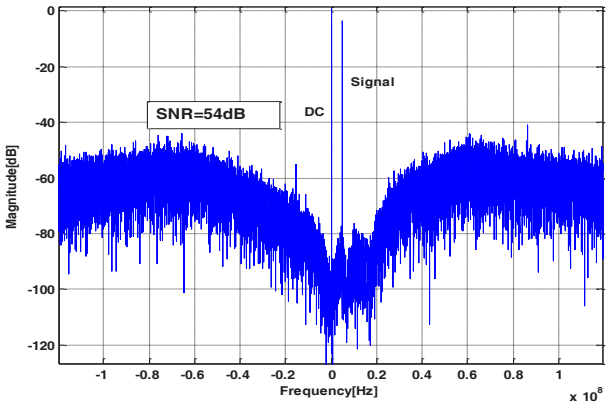
Archive of SID



شکل ۱۷. طیف خروجی مدولاتور حقیقی شبیه‌سازی شده در سطح ترانزیستور در مسیرهای I و Q در مد عملیاتی GSM



شکل ۱۸. طیف خروجی مدولاتور متعامد پیشنهادی شبیه‌سازی شده در سطح ترانزیستور مد عملیاتی WCDMA



شکل ۱۹. طیف خروجی مدولاتور پیشنهادی شبیه‌سازی شده در سطح ترانزیستور در مد عملیاتی WLAN

نتایج عملکرد مدولاتور پیشنهادی و مدولاتورهای مشابه در جدول ۷ ارائه شده‌است. این ساختار، در مقایسه با مدولاتورهای دلتا سیگمای مشابه ارائه شده در مقالات پیشین، در مدهای عملیاتی WLAN/WCDMA دارای FOM بهتری می‌باشد. برای صرفه جویی در سطح تراشه، آپ‌امپ‌های طراحی شده برای مد WCDMA، در مد GSM نیز استفاده شده‌اند. با این عمل می‌توان مقدار OSR را در مد GSM افزایش داد و در عوض از کوانتایزر تک بیتی استفاده نمود که نیازی به خطی سازی نیز ندارد. ولی مصرف توان در این مد عملیاتی زیاد شده و موجب افزایش FOM شده است.

جدول ۷. خلاصه عملکرد و مقایسه مدولاتور پیشنهادی و مدولاتورهای مشابه ارائه شده در مقالات

Ref.	Wireless standard	DSM structure	OSR	BW (MHz)	SNR (dB)	Technology (µm)	Power (mW)	FOM (pj/conv)
[17]	GNSS	QFB,FF4/CT	14	33	62.1	0.18	54.4	0.79
[2]	GSM-EDGE UMTS DVB-T	QFB2/CT	190 24 25	0.27 5 8	81 61.2 60.9	0.18	4.9 8.9 12.1	0.99 0.95 0.84
[23]*	Low-IF Receivers	QFF3/CT	64 32 24	0.5 1 1.5	68.7 60.6 50.2	0.13 Circuit level	2.15 2.13 2	0.966 1.21 2.6
[24]	WLAN	QFB2/CT	16	16-20	54.5	0.25	32	2.07
[7]*	GSM WCDMA WLAN	FF, Hybrid CT/DT	160 16 10	0.2 2 20	91 86 73	System level	--	--
[25]*	Zero/ Low-IF Receivers	FB/CT, LP/QBP	32 32 32	2.5 5 8	84.8 85.8 84.5	0.065 Circuit level	1.9 2.6 4.2	27 16.3 15.5
This work	GSM WCDMA WLAN	QFF3/CT	162 32 12	0.2 2 20	81.63 75.9 54	0.18	6.4 8.3 13.5	1.63 0.486 0.828

* این مراجع نتایج شبیه سازی هستند

www.SID.ir

Archive of SID

نتیجه گیری

در این مقاله یک مدولاتور متعامد تغییر پذیر برای گیرنده چند استانداردی LOW-IF طراحی شده‌است بطوری‌که بتواند استانداردهای WLAN/WCDMA/GSM را پشتیبانی کند.

مدولاتور پیشنهادی با ساختار FF طراحی شده است. جمع کننده‌های انتهای فیلتر حلقه حذف شده و از آخرین انتگرالگیرها بعنوان جمع کننده نیز استفاده شده‌است. این مدولاتور در مد GSM بصورت حقیقی با کوانتایزر تک بیتی، و در مدهای WLAN/WCDMA بصورت متعامد با DAC مختلط کار می‌کند.

جهت کاهش سطح تراشه اشغالی، آپ امپ‌های بکار برده شده در مد عملیاتی WCDMA، در مد GSM نیز استفاده شده‌اند. از سرعت بالای این آپ‌امپ‌ها برای بالا بردن OSR در مد عملیاتی GSM جهت نیل به SNR مورد نیاز در این مد عملیاتی استفاده شده و در عوض از کوانتایزر تک بیتی استفاده شده است که نیاز به خطی سازی نیز ندارد.

نتایج شبیه سازی های سیستمی و مداری این مدولاتور حاکی از عملکرد مطلوب آن در مقایسه با مدولاتورهای مشابه گزارش شده در تحقیقات پیشین است.

مراجع

[1] S.-C. Hwu and B. Razavi, "An RF Receiver for Intra-Band Carrier Aggregation," *Solid-State Circuits, IEEE Journal of,* vol. 50, pp. 946-961, 2015.

[2] C.-Y. Ho, W.-S. Chan, Y.-Y. Lin, and T.-H. Lin, "A quadrature bandpass continuous-time delta-sigma modulator for a tri-mode GSM-EDGE/UMTS/DVB-T receiver," *Solid-State Circuits, IEEE Journal of,* vol. 46, pp. 2571-2582, 2011.

[3] T. Saalfeld, A. Atac, L. Liao, R. Wunderlich, and S. Heinen, "A 2.3 mW quadrature bandpass continuous-time Delta Sigma modulator with reconfigurable quantizer," in *Ph. D. Research in Microelectronics and Electronics (PRIME), 2016 12th Conference on*, 2016, pp. 1-4.

[4] P. M. Aziz, H. V. Sorensen, and J. Van der Spiegel, "Performance of complex noise transfer functions in bandpass and multi band sigma delta systems," in *Circuits and Systems, 1995.*
ISCAS'95., 1995 IEEE International Symposium on, 1995, pp. 641-644.

[5] J. Marttila, M. Allén, and M. Valkama, "Frequency-Agile Multiband Quadrature Sigma-Delta Modulator for Cognitive Radio: Analysis, Design and Digital Post-Processing," *Selected Areas in Communications, IEEE Journal on,* vol. 31, pp. 2222-2236, 2013.

[6] G. Gielen and E. Goris, "Reconfigurable front-end architectures and A/D converters for flexible wireless transceivers for 4G radios," in *Emerging Technologies: Circuits and Systems for 4G Mobile Wireless Communications, 2005. ETW'05. 2005 IEEE 7th CAS Symposium on*, 2005, pp. 13-18.

[7] M. Honarparvar and E. N. Aghdam, "Reconfigurable hybrid CT/DT delta-sigma modulator with op-amp sharing technique dedicated to multi mode receivers," *Analog Integrated Circuits and Signal Processing,* vol. 79, pp. 413-426, 2014.

[8] Y. Xu, Z. Zhang, B. Chi, N. Qi, H. Cai, and Z. Wang, "A 5-/20-MHz BW Reconfigurable Quadrature Bandpass CT ADC With AntiPole-Splitting Opamp and Digital/Calibration," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* vol. 24, pp. 243-255, 2016.

[9] Y. Xu, Z. Zhang, B. Chi, Q. Liu, X. Zhang, and Z. Wang, "Dual-mode 10MHz BW 4.8/6.3 mW reconfigurable lowpass/complex bandpass CT ΣΔ modulator with 65.8/74.2 dB DR for a zero/low-IF SDR receiver," in *Radio Frequency Integrated Circuits Symposium, 2014 IEEE*, 2014, pp. 313-316.

[10] A. Shamsi and E. N. Aghdam, "A Wideband Continuous Time Quadrature Delta Sigma Modulator Based on a Real DSM for Low Power WLAN Receiver," *Journal of Circuits, Systems and Computers,* vol. 27, p. 1850044, 2018.

[11] Y. Ke, J. Craninkx, and G. Gielen, "Multi-standard continuous-time sigma–delta converters for 4G radios," *Circuits and systems for future generations of wireless communications,* pp. 203-221, 2009.

[12] S. Pavan, R. Schreier, and G. C. Temes, *Understanding Delta-Sigma Data Converters*: John Wiley & Sons, 2017.

[13] B. Ge, Y. Li, H. Yu, and X. Feng, "Design and implementation of quadrature bandpass sigma-delta modulator used in low-IF RF receiver," *Journal of Semiconductors,* vol. 39, p. 055002, 2018.

[14] F. Gerfers and M. Ortmanns, *Continuous-time sigma-delta A/D conversion: fundamentals, performance limits and robust implementations* vol. 21: Springer Science & Business Media, 2006.

[15] M. Bolatkale, L. J. Breems, and K. A. Makinwa, *High speed and wide bandwidth delta-sigma ADCs*: Springer, 2014.

[16] R.-C. Marin, A. Frappé, and A. Kaiser, "Digital Complex Delta–Sigma Modulators With Highly Configurable Notches for Multi-Standard Coexistence in Wireless Transmitters," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 65, pp. 343-352, 2018.

[17] J. Zhang, Y. Xu, Z. Zhang, Y. Sun, Z. Wang, and B. Chi, "A 10-b Fourth-Order Quadrature Bandpass Continuous-Time $\Sigma\Delta $ Modulator With 33-MHz Bandwidth for a Dual-Channel GNSS Receiver," *IEEE Transactions on Microwave Theory and Techniques,* vol. 65, pp. 1303-1314, 2017.

[18] T. C. Carusone, D. Johns, and K. Martin, *Analog Integrated Circuit Design*: Wiley, 2011.

www.SID.ir

Archive of SID

[19] B. Razavi, *Design of Analog CMOS Integrated Circuits*: McGraw-Hill Education, 2016.

[20] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani, "A 20-mW 640-MHz CMOS continuous-time ADC with 20-MHz signal bandwidth, 80-dB dynamic range and 12-bit ENOB," *IEEE journal of solid-state circuits,* vol. 41, pp. 2641-2649, 2006.

[21] J. Talebzadeh and I. Kale, "A novel two-channel continuous-time time-interleaved 3rd-order sigma-delta modulator with integrator-sharing topology," *Analog Integrated Circuits and Signal Processing,* pp. 1-11, 2018.

[22] M. Hosseinnejad and H. Shamsi, "Design and Simulation of Pipelined ADCs based on Low-Voltage Comparators," 2016.

[23] A. Atac, R. Wunderlich, and S. Heinen, "A variable bandwidth & IF, continuous time ΔΣ modulator for low power low-IF receivers," in *New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International*, 2011, pp. 362-365.

[24] J. Arias, P. Kiss, V. Prodanov, V. Boccuzzi, M. Banu, D. Bisbal, *et al.*, "A 32-mW 320-MHz continuous-time complex delta-sigma ADC for multi-mode wireless-LAN receivers," *Solid-State Circuits, IEEE Journal of,* vol. 41, pp. 339-351, 2006.

[25] Y. Xu, B. Chi, and Z. Wang, "Power-scalable multi-mode reconfigurable continuous-time lowpass/quadrature bandpass sigma-delta modulator for zero/low-IF receivers," in *Circuits and Systems (ISCAS), 2012 IEEE International Symposium on*, 2012, pp. 293-296.

www.SID.ir

Archive of SID

www.SID.ir