مبدل افزاینده ولتاژ سوئیچ خازنی تمام مجتمع اینترلیو دو سلولی برای کاربرد سیستم‌های بدون باتری کاشت پزشکی

نجمه چراغی شیرازی*[۱]، ابومسلم جان‌نثاری*[۲]، پویا ترک‌زاده[۳]

[۱] استادیار گروه برق الکترونیک، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران najmeh.cheraghi@srbiau.ac.ir

[۲] دانشیار دانشکده برق و کامپیوتر، دانشگاه تربیت مدرس، تهران، ایران jannesari@modares.ac.ir

[۳] استادیار گروه برق الکترونیک، دانشکده برق و کامپیوتر، دانشگاه آزاد اسلامی، واحد علوم و تحقیقات، تهران، ایران

یک مبدل افزاینده ولتاژ سوئیچ خازنی تمام مجتمع ولتاژ پایین خود راه‌انداز بدون باتری پیشنهاد شده است که بتواند تحت ولتاژ زیر آستانه عمل کند. برای این منظور یک پمپ بار دوشاخه با ساختار مداری دو برابر کننده ولتاژ زوج متقاطع طراحی شده است. برای عملکرد مناسب، مدار مولد کلاک ناهمفاز طراحی شده که بتواند با همان ولتاژ تغذیه مدار کار کند. تکنیک بایاس بدنه به ترانزیستورهای مدار اعمال شده است تا مدار بتواند تحت ولتاژهای زیر آستانه عمل کند. تکنیک رگولاسیون اینترلیو پیشنهادی به بهبود ریپل ولتاژ و جریان خروجی مدار و همچنین رگولاسیون بار و پاسخ گذرای مدار کمک می‌کند. مدار پمپ بار اینترلیو دو سلولی چهار طبقه ارائه شده تحت ولتاژ تغذیه ۳۰۰ و ۴۰۰ میلی ولت، ولتاژ خروجی ۱/۴۳ و ۱/۹۵ ولت را به‌ترتیب با بازده پمپاژ ٪۹۶/۳ و ٪۹۷/۲ و بازده توان پمپ بار ٪۹۳/۳ و ٪۹۵/۱ ارائه می‌دهد. نتایج پس از جانمایی مدار در تکنولوژی ۰/۱۸ میکرومتر CMOS و فرکانس سوئیچینگ ۲۰ مگاهرتز زمان صعود ۲۴ میکرو ثانیه و ریپل خروجی ٪۰/۲۴ را تحت خازن بار ۱ پیکوفاراد نشان می‌دهد. سطح تراشه‌ای مدار پیشنهادی ۰/۰۱۲ میلی متر مربع است، در حالی‌که پمپ بار ۲۱/۴ نانو وات توان مصرف می‌کند.

برداشت انرژی، تکنیک اینترلیو، بایاس بدنه، پمپ بار سوئیچ خازنی، خود راه انداز

مقدمه

قطعات قابل کاشت پزشکی هوشند در حال حاضر با توجه به پیشرفت‌های زیاد شاخه‌های مختلف مهندسی و پزشکی توسعه یافته است. این قطعات بطور گسترده در کاربردهایی مانند ضربان‌ساز قلب، ایمپلنت‌های حلزونی گوش، اندام‌های مصنوعی و غیره بکار گرفته می‌شوند. یکی از بزرگترین چالش‌های سیستم‌های قابل کاشت پزشکی، منبع تغذیه است. تغذیه سنسور در طولانی مدت به‌عنوان یک چالش مطرح می‌شود. یک باتری بزرگ، اندازه سنسور را افزایش می‌دهد و باعث ناراحتی برای بیمار شده و اینکه قابل پوشیدن نیست، در حالیکه باتری کوچک نیاز به تعویض مکرر دارد که برای کاربر مطلوب نمی‌باشد. این سنسورها اغلب نیاز به نرخ بالای دیتا دارند که به سرعت، انرژی باتری را خالی می‌کند. سیستم‌های سنسور ایده‌آل نیاز به هیچ نوع باتری ندارند و با استفاده از منابع انرژی موجود در بدن مانند حرارت، نبض و فعالیت ماهیچه ها انرژی خود را تأمین می‌کنند [۱-۳]. از آنجاکه ولتاژ برداشت شده ناچیز است، لذا باید از یک مبدل افزاینده برای تبدیل ولتاژ حاصل به ولتاژ مورد نیاز استفاده شود. مبدل باید قادر به کار تحت ولتاژ تغذیه پایین باشد و یا از یک شارژ اولیه در هنگام راه‌اندازی استفاده کند [۳-۵]. مکانیزم‌های راه‌اندازی مختلفی تاکنون گزارش شده که از باتری و یا سوئیچ‌های مکانیکی (مؤلفه‌های خارج تراشه) استفاده می‌کنند [۲-۵]. با این‌حال، عملکرد یک مبدل افزایشی تحت ولتاژ پایین چالش-انگیز است [۶]. پمپ بارهای اولیه مانند پمپ بار دیکسون [۷] از دو سیگنال کلاک ناهم فاز برای پیش بردن تدریجی بار به جلو در هر خازن پمپاژ در طول یک شاخه استفاده می‌کردند. در این نوع پمپ بار، در هر سیکل کلاک به دلیل افت ولتاژ آستانه مقداری شارژ باقی می‌ماند که نمی‌تواند به طبقه بعد منتقل شود. از آنجاکه ترمینال بالک MOSFET های اتصال دیودی به زمین متصل است، این تلفات در طبقات بعدی به دلیل اثر بدنه بیشتر می شود بخصوص زمانی‌که تعداد طبقات افزایش می‌یابد. از اینرو طرحی برای حذف افت ولتاژ آستانه می‌تواند به افزایش قابلیت انتقال شارژ در هر سیکل و افزایش بازده پمپ بار کمک کند. مشکل روشن شدن ترانزیستورها در ولتاژهای پایین از دیگر عیب‌های این نوع پمپ بار می‌باشد. پمپ بار ارائه شده در [۸] از سوئیچ‌های انتقال شارژ استاتیک استفاده می‌کند. به این صورت که با استفاده از ولتاژ بالای پیش‌بینی شده طبقات بعد برای کنترل طبقات قبل، سوئیچ‌ها می‌توانند به‌طور موثرتری روشن و خاموش شوند. در پمپ بار

www.SID.ir

تاریخ دریافت: ۱۳۹۸/۰۱/۲۸ تاریخ پذیرش: ۱۳۹۹/۰۶/۱۶

Archive of SID

خطی پیشنهادی در [۹] که مدل اصلاح شده ساختار [۸] است، مدار از یک روش سیستماتیک برای کنترل گیت جهت دستیابی به بازده بالا استفاده می‌کند. در این ساختار از ترانزیستورهای PMOS استفاده می‌شود که تأثیر کمتری بر ولتاژ آستانه نسبت به NMOS دارد و در نتیجه می‌توان قطعات عریض‌تر را برای کاهش تلف هدایت بکار برد. همچنین به‌اشتراک گذاری شارژ معکوس[۱] به‌دلیل موبیلیته کمتر حامل‌های بار کاهش می‌یابد. با این‌حال در ولتاژ تغذیه پایین، این نوع پمپ بار قادر به روشن و خاموش کردن موثر سوئیچ‌ها نمی‌باشد. همچنین این ساختار نیازمند یک طبقه اضافی در خروجی و عدم تقارن مکانیزم کنترل گیت در طبقات اول و آخر می‌باشد. پمپ بار دو شاخه‌ای زوج متقاطع[۲] با دو شاخه انتقال شارژ [۱۰] دارای سیگنال‌های کنترل گیت به هم تابیده شده است که دو شاخه بصورت دو مدار پمپ بار مجزا عمل می‌کند و باعث بهبود قابل توجه بازده پمپاژ و ریپل خروجی مدار می‌شود. این ساختار هنوز هم مناسب کاربردهای ولتاژ پایین نیست.

روش‌های مختلفی برای بهبود عملکرد مدار در ولتاژهای پایین پیشنهاد شده است. برای مثال، در [۱۱] از تکنیک بایاس بدنه برای کاهش ولتاژ آستانه ترانزیستورهای مدار پمپ بار دو شاخه‌ای زوج متقاطع استفاده شده است. بایاس بدنه با استفاده از یک زوج ترانزیستورهای کمکی NMOS و PMOS به مدار اعمال می‌شود. ساختار پیشنهادی در [۱۲] پمپ بار شش طبقه دو شاخه‌ای زوج متقاطع است که از سیستم کنترل برگشتی جهت تأمین ولتاژ بدنه ترانزیستورها استفاده می‌کند. در [۱۳] پمپ بار کم توانی طراحی شده که بطور اتوماتیک زمان مرده[۳] بین پالس‌های کلاک را بر اساس ولتاژ ورودی بهینه می‌کند. در این ساختار همچنین از تکنیک بایاس بدنه دینامیکی و تکنیک افزایش رسانایی سوئیچ جهت بهبود جریان خروجی استفاده شده است. برای این منظور از خازن‌های خارج از تراشه در رنج نانوفاراد استفاده می‌شود. مبدل‌های سوئیچ خازنی پیشنهادی در [۱۴و۱۵] تکنیک رگولاسیون اینترلیو[۴] را جهت بهبود پاسخ گذرا و ریپل خروجی بکار می‌گیرند اما با این‌حال مناسب کاربردهای ولتاژ پایین نمی‌باشند.

در این مقاله یک ساختار مبدل سوئیچ خازنی دو شاخه‌ای زوج متقاطع اینترلیو، متقارن، مجتمع خود راه‌انداز برای کاربردهای ولتاژ پایین و توان پایین پیشنهاد شده است. تکنیک اینترلیو و تکنیک بایاس بدنه به بهبود سرعت مدار و کاهش ریپل ولتاژ خروجی در ناحیه زیر آستانه کمک می‌کند. یک مدار مولد کلاک چهار فاز جهت اعمال به مدار پمپ بار بگونه‌ای طراحی شده است که به کمک تکنیک بایاس بدنه بتواند با همان ولتاژ تغذیه مدار پمپ بار کار کند. ادامه این مقاله بدین صورت تنظیم شده است که در بخش‌های بعدی به‌ترتیب ساختار و معماری تکنیک‌های بایاس بدنه و رگولاسیون اینترلیو پیشنهادی بحث می‌شود. سپس مدار پمپ بار پیشنهادی توصیف می‌گردد. در ادامه به نحوه بهینه‌سازی مدار پمپ بار پیشنهادی جهت داشتن بازده بیشینه پرداخته می‌شود. مدار مولد کلاک چهار فاز سپس بررسی شده و نتایج شبیه‌سازی ساختار پیشنهادی در بخش بعدی ارائه می‌گردد. در بخش آخر نتیجه‌گیری و مراجع آورده شده است.

ساختار مدار پیشنهادی

تکنیک بایاس بدنه

از آنجا که ولتاژ برداشت شده از منابع کمتر از ولتاژ آستانه است، تکنیک بایاس بدنه برای حداقل کردن تلفات نشتی و کاهش ولتاژ آستانه به ترانزیستورهای مدار اعمال می‌شود. ولتاژ آستانه و جریان درین-سورس در ناحیه زیر آستانه یک ترانزیستور NMOS به‌ترتیب بصورت زیر بیان می‌شود [۲۳]:

$$V_{TH}=V_{TH0}+\gamma\left(\sqrt{2|\phi_F|+V_{sb}}-\sqrt{2|\phi_F|}\right) \quad (۱)$$

$$i_d(t)=i_0\frac{W}{L}e^{\frac{\lambda_{bs}V_{bs}(t)-V_{TH0}}{nv_t}}e^{\frac{v_{gs}(t)}{nv_t}}\left[e^{\frac{\lambda_{ds}V_{ds}(t)}{nv_t}}\left(1-e^{\frac{-V_{ds}(t)}{v_t}}\right)\right] \quad (۲)$$

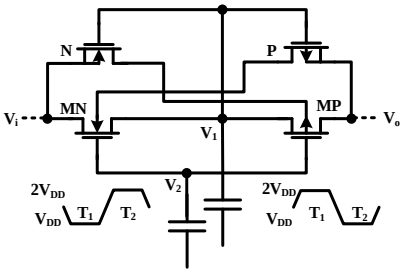
که در آن γ اثر بایاس زیرلایه، ϕ_F پتانسیل سطح وارونگی قوی، i_0 و n پارامترهای وابسته به تکنولوژی، و λ_{ds} و λ_{bs} ضرائب وابسته به تکنولوژی می‌باشند. در رابطه (۱) اگر V_{sb} به یک مقدار منفی کاهش یابد، ولتاژ آستانه به زیر V_{TH0} کاهش پیدا خواهد کرد. با توجه به رابطه (۲)، تکنیک بایاس بدنه با ترانزیستورهای کمکی همانطورکه در [۱۱] اثبات شده، نیاز به ابعاد ترانزیستور کوچکتر (حدود ۱۵ درصد کمتر) نسبت به سایر تکنیک‌های بایاس بدنه دارد، زیرا شرایط $|V_{bs}(t)|\geq V_{DD}$ را ایجاد می‌کند که بالاتر از تکنیک‌های دیگر بایاس بدنه ($|V_{bs}(t)|=V_{DD}$) می‌باشد. بایاس بدنه با زوج ترانزیستورهای کمکی P و N همانطورکه در شکل ۱ مشاهده می‌شود به زوج ترانزیستور MP و MN اعمال می‌شود.

---

۱ Reverse charge sharing
۲ Cross-coupled
۳ Dead-time
۴ Interleave regulation

www.SID.ir

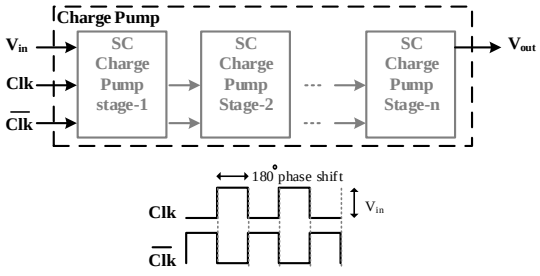
Archive of SID



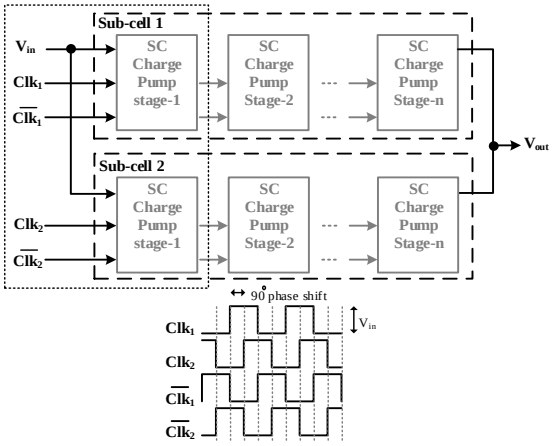
شکل۱. بایاس بدنه با ترانزیستورهای کمکی [۱۱]

تکنیک رگولاسیون اینترلیو

تکنیک رگولاسیون اینترلیو یک تکنیک مؤثر برای کم کردن ریپل جریان و ولتاژ خروجی در مبدل‌های سوئیچ خازنی است. این تکنیک همچنین پاسخ گذرا و رگولاسیون بار را به‌طور همزمان بهبود می‌بخشد [۱۵و۱۶]. تکنیک رگولاسیون اینترلیو یک معماری سلولی است که در آن پمپ بار به سلول‌های موازی تقسیم می‌شود که از خطوط ورودی و خروجی مشابهی استفاده می‌کنند. در حالت کلی با تقسیم جریان در حالت توالی زمانی، پمپ بار به‌طور پیوسته جریان را به خروجی منتقل می‌کند. شکل ۲ ساختار یک پمپ بار n طبقه تک سلولی و اینترلیو دو سلولی را نشان می‌دهد. همانطورکه در شکل ۲ (ب) نشان داده شده است هر سلول نیمی از کل توان خروجی را در هر سیکل کلاک تحویل می‌دهد. طرح رگولاسیون اینترلیو، جریان ورودی و خروجی پیوسته‌ای را ایجاد می‌کند که این موضوع در به‌حداقل رساندن نویز سوئیچینگ مدار و بهبود پاسخ گذرا کمک می‌کند.



(الف)



(ب)

شکل۲. (الف) ساختار پمپ بار n طبقه تک سلولی، و (ب) ساختار پمپ بار اینترلیو دو سلولی

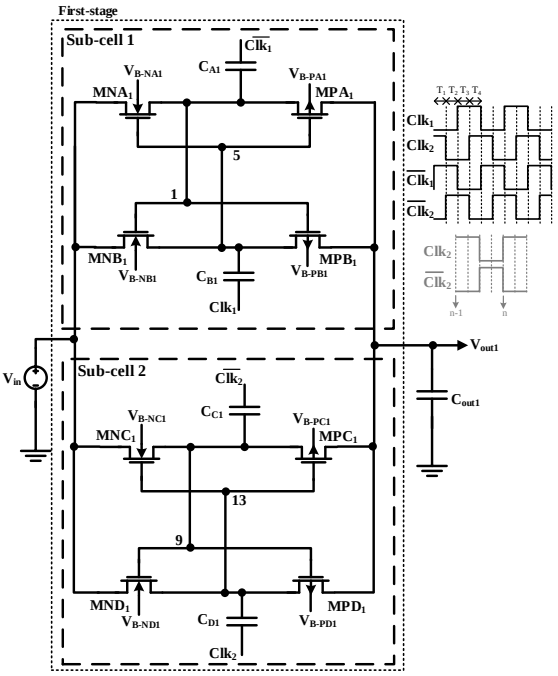
مقدار پیک ریپل ولتاژ را می‌توان با ضریب n کاهش داد اگر n سلول به‌صورت موازی با اختلاف فاز $360^\circ/n$ بین سلول‌ها، به‌یکدیگر متصل شوند. همچنین قابلیت تلرانس خطا[۵] یک مزیت دیگر این تکنیک به‌شمار می‌رود. در حالتی‌که یک سلول از کار بیافتد، مابقی n-1 سلول دیگر رگولاسیون را انجام خواهند داد و تلفات را جبران خواهند کرد. برای داشتن عملکرد اینترلیو، سیگنال‌های کنترل گیت هر ترانزیستور در سلول ۱ و سلول ۲ باید به‌صورت مکمل ساخته شوند (شکل۲ (ب)). بر این اساس زمانی‌که یکی از سلول‌ها در فاز شارژ عمل می‌کند و از خروجی جدا می‌شود، سلول دیگر در فاز دشارژ عمل کرده و ولتاژ خروجی V_{out} را تنظیم می‌کند. سلول اضافی در مدار پمپ بار زمان انتظار تا سیکل بعد را حذف می‌کند که پاسخ گذرای مبدل را بهبود می‌بخشد.

در ادامه به بررسی و محاسبه بهره مدار در حالت اینترلیو دو سلولی می‌پردازیم. با موازی کردن سلول‌ها در این ساختار بهره مدار دو برابر کننده ولتاژ ثابت می‌ماند. یک طبقه از مدار پیشنهادی اینترلیو دو سلولی را همانطورکه در شکل ۳ نشان داده شده است، در نظر بگیرید. پروسه شارژ و دشارژ سلول ۲ در طبقه اول مدار پیشنهادی، در شکل ۴ توصیف شده است.

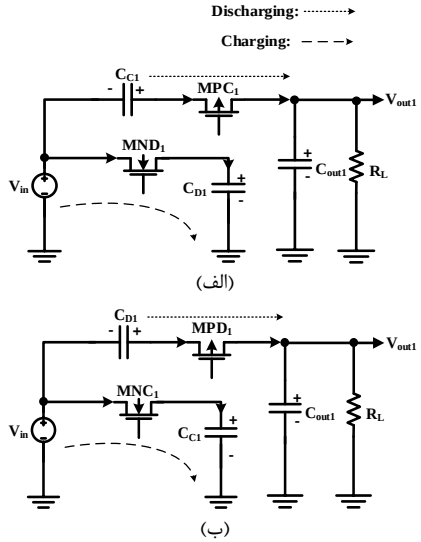
[۵] fault tolerant

www.SID.ir

Archive of SID



شکل۳. طبقه اول مدار پمپ بار اینترلیو دو سلولی



شکل۴. پروسه شارژ و دشارژ طبقه اول مدار پمپ بار اینترلیو دو سلولی

از آنجاکه دو سلول زوج متقاطع هیچ مبادله شارژ و توان در هر لحظه ندارند، قادر به مدل‌سازی آنها به‌عنوان عناصر جداگانه هستیم. در اینجا از $(n)^-$ و $(n)^+$ برای لحظات زمانی قبل و بعد از لحظه n استفاده می‌کنیم. زمانی‌که $Clk_2=0$ (در طول بازه زمانی T_2 و T_3، بین لحظات (n-1) و n)، خازن C_{D1} تا V_{in} شارژ می‌شود. در همین زمان C_{C1} دشارژ می‌شود و ولتاژ روی آن تا V_{out1}-V_{in} کاهش می‌یابد (شکل ۴ (الف)).

بنابراین شارژ ذخیره شده در C_{D1}, C_{C1} و C_{out1} در لحظه $(n-1)^+$ به‌ترتیب به‌صورت زیر توصیف می‌شود:

$$Q_9(n-1)^+=C_{C1}(V_{out1}(n-1)-V_{in}(n-1)) \quad (۳)$$

$$Q_{13}(n-1)^+=C_{D1}V_{in}(n-1) \quad (۴)$$

$$Q_{out1}(n-1)^+=C_{out1}V_{out1}(n-1) \quad (۵)$$

در زمانی‌که $Clk_2=1$ (در طول بازه زمانی T_1 و T_4، بین لحظات (n-1) و n)، خازن C_{D1} دشارژ شده و افت ولتاژ آن V_{out1}-V_{in} می‌باشد. در همین زمان C_{C1} تا V_{in} شارژ می‌شود (شکل ۴(ب)). در نتیجه در لحظه $(n)^-$، شارژ ذخیره شده در C_{D1}, C_{C1} و C_{out1} برابر است با:

$$Q_9(n)^-=C_{C1}V_{in}(n) \quad (۶)$$

$$Q_{13}(n)^-=C_{D1}(V_{out1}(n)-V_{in}(n)) \quad (۷)$$

$$Q_{out1}(n)^-=C_{out1}V_{out1}(n) \quad (۸)$$

مقایسه شارژ بین دو فاز نشان می‌دهد که شارژ منتقل شده از C_{D1} به بار خروجی برابر با $Q_{13}(n-1)^+$-$Q_{13}(n)^-$ است. در حالت پایدار از آنجاکه شارژ در C_{C1} در لحظه $(n-1)^-$ و $(n)^-$ برابر است، شارژ منتقل شده از C_{C1} به بار خروجی بین (n-1) و n برابر با $Q_9(n)^-$-$Q_9(n-1)^+$ است. به‌طور مشابه شارژ منتقل شده از C_{out1} به بار خروجی از (n-1) به n برابر $Q_{out1}(n-1)^+$-$Q_{out1}(n)^-$ می‌باشد. با فرض مساوی بودن خازن‌های پمپاژ ، هر سلول دارای شارژ یکسان منتقل شده در هر چرخه سوئیچینگ است. بنابراین کل شارژ منتقل شده از خازن‌های پمپاژ به بار خروجی دو برابر خواهد شد. بر اساس قضیه حفظ شارژ (زمانی‌که پمپ بار به حالت پایدار می‌رسد) کل شارژ منتقل شده به بار خروجی باید برابر با شارژ مصرف شده در مقاومت بار خروجی باشد:

$$2(Q_{13}(n-1)^+-Q_{13}(n)^-)+2(Q_9(n)^-Q_9(n-1)^+) +(Q_{out1}(n-1)^+-Q_{out1}(n)^-)=\frac{T}{2}\left(\frac{V_{out1}(n-1)}{R_L}+\frac{V_{out1}(n)}{R_L}\right) \quad (۹)$$

در نتیجه:

$$2C(2V_{in}(n-1)+2V_{in}(n)-V_{out1}(n)-V_{out1}(n-1)) +C_{out1}(V_{out1}(n-1)-V_{out1}(n))=\frac{T}{2}\left(\frac{V_{out1}(n-1)+V_{out1}(n)}{R_L}\right) \quad (۱۰)$$

که در آن $C_{D1}=C_{C1}=C$. با بکارگیری تبدیل Z:

$$V_{out1}=\frac{4C(1+z^{-1})V_{in}}{\left(2C-C_{out1}+\frac{T}{2R_L}\right)\left(\frac{2C+C_{out1}+\frac{T}{2R_L}}{2C-C_{out1}+\frac{T}{2R_L}}+z^{-1}\right)} \quad (۱۱)$$

تابع تبدیل پمپ بار بصورت زیر نوشته می‌شود:

$$H(z)=\frac{V_{out1}}{V_{in}}=\frac{a(1+z^{-1})}{b+z^{-1}} \quad (۱۲)$$

که در آن:

$$a=\frac{4C}{2C-C_{out1}+\frac{T}{2R_L}}, b=\frac{2C+C_{out1}+\frac{T}{2R_L}}{2C-C_{out1}+\frac{T}{2R_L}} \quad (۱۳)$$

در حالت ایده‌آل، تابع تبدیل را می‌توان بصورت زیر نوشت:

$$\left.\frac{V_{out1}}{V_{in}}\right|_{z=1,T=0}=\frac{2a}{b+1}=2 \quad (۱۴)$$

www.SID.ir

Archive of SID

که نشان می‌دهد نسبت تبدیل مدار در حالت اینترلیو، دو می‌باشد. این مطلب برای ساختارهای اینترلیو با تعداد سلول‌های بیشتر قابل تعمیم است.

مدار پمپ بار پیشنهادی

مدار پمپ بار دو شاخه‌ای اینترلیو دو سلولی با تکنیک بایاس بدنه در شکل ۵ (الف) نشان داده شده است. مدار در طول یک چهارم سیکل کلاک در حالت پایدار $Clk_1=Clk_2=1$ می‌باشد (بازه زمانی T_4 در شکل ۵ (ب)). در هر یک چهارم سیکل، دو تا از کلاک‌ها در وضعیت بالا و دو کلاک دیگر در وضعیت پایین می‌باشند.

پریود هم پوشانی با نرخ ۹۰ درجه (۴÷۳۶۰) بین کلاک‌های مجاور برای داشتن چرخه سوئیچینگ یک چهارم وجود دارد. بنابراین ولتاژ گره‌های ۱۳ و ۵ تا $2V_{DD}$ تقویت می‌شود که ترانزیستورهای MNA_1 و MNC_1 را روشن می‌کند و گره ۱ و ۹ را تا V_{DD} شارژ می‌کند. ترانزیستورهای PMOS (MPD_1) و (MPB_1) روشن خواهند شد تا خروجی طبقه اول را تا $2V_{DD}$ شارژ کنند. مشخصاً با وجود اینکه گره ۱ و گره ۹ به خروجی طبقه اول در این پریود متصل نیستند، تا سطح V_{DD} پیش شارژ شده و آماده برای سیکل یک چهارم بعدی می‌مانند. عملکرد مشابهی در سیکل‌های یک چهارم دیگر رخ می‌دهد، زیرا ساختار مدار متقارن است.

بنابراین زمانی‌که دو ترانزیستور NMOS-PMOS، خروجی طبقه اول (V_{out1}) را تغذیه می‌کنند، دو ترانزیستور دیگر در همین طبقه برای سیکل یک چهارم بعدی پیش شارژ می‌شوند که نتیجه آن پاسخ گذرای سریع می‌باشد. این رویه در سه طبقه دیگر هم دنبال می‌شود. عملکرد سوئیچینگ طبقه اول مدار پیشنهادی با فازهای کلاک مختلف در شکل ۵ (ب) توصیف شده است. عملکرد اینترلیو ریپل ولتاژ خروجی و زمان صعود (زمان رسیدن به پایداری) را به‌طور مؤثر کاهش می‌دهد.

اندازه قطعات در مدار پمپ بار اینترلیو دو سلولی نصف حالت مدار پمپ بار تک سلولی می‌باشد. بنابراین توان مصرفی مدار بیشتر نخواهد شد. به‌علاوه تلف توزیع مجدد[۶] بین طبقه آخر و خازن خروجی را می‌توان کاهش داد. به این دلیل که حداقل یکی از شاخه‌ها در هر سلول جریان را برای پایداری ولتاژ خروجی تأمین می‌کنند. در نتیجه به اشتراک گذاری شارژ معکوس به‌طور قابل توجهی کاهش می‌یابد. با توجه به این حقیقت که دو خازن شارژ را به خروجی تحویل می‌دهند، مدار پمپ بار اینترلیو دو سلولی ریپل ولتاژ خروجی کمتر و پاسخ گذرای سریع‌تری خواهد داشت.

[۶] Redistribution loss

بهینه سازی پمپ بار اینترلیو برای داشتن بیشینه بازده

برای یک مبدل سوئیچ خازنی تلفات توان پمپ بار معمولاً تلف غالب در کل مبدل به‌حساب می‌آید [۱۶و۲۲]. مهم‌ترین تلفات توان برای ترانزیستورها شامل تلف هدایت و تلف سوئیچینگ می‌باشد. تلف هدایت مدار پمپ بار سوئیچ خازنی اینترلیو با N تعداد سلول موازی، به‌صورت زیر بیان می‌شود:

$$P_{Cond}=N\left(\frac{V_{out}}{NR_L}\right)^2\sum_{i=1}^{m}\left(R_{i,PMOS}+R_{i,NMOS}\right) \qquad (۱۵)$$

جمله $V_{out}/N\times R_L$ جریان بار توزیع شده به هر زیرسلول است و m بیانگر کل تعداد جفت ترانزیستورهای PMOS-NMOS در هر زیرسلول می‌باشد. $R_{i,PMOS}$ و $R_{i,NMOS}$ به‌ترتیب بیانگر مقاومت روشنی ترانزیستورهای PMOS و NMOS می‌باشد. اگر تلف هدایت مربوط به مقاومت سری معادل[۷] (ESR) هر خازن پمپاژ را نیز در نظر بگیریم، کل تلف هدایت پمپ بار را می‌توان به‌صورت زیر بیان کرد:

$$P_{Cond}=N\left(\frac{V_{out}}{NR_L}\right)^2\left[\sum_{i=1}^{m}\left(R_{i,PMOS}+R_{i,NMOS}\right)+ESR\right] \qquad (۱۶)$$

تلف سوئیچینگ ترانزیستورها به‌صورت زیر محاسبه می‌شود:

$$P_{Sw}\approx NC_{ox}f_sV_{in}^2L\sum_{j=1}^{m}\left(W_{j,PMOS}+W_{j,NMOS}\right) \qquad (۱۷)$$

که در آن f_s فرکانس سوئیچینگ و C_{ox} خازن اکسید گیت می‌باشد. W_j و L به‌ترتیب عرض و طول ترانزیستورها می‌باشد. علاوه بر تلف مربوط به ترانزیستورها که در بالا ذکر شد، انتقال شارژ بین خازن‌های پمپاژ و ترانزیستورها نیز باعث ایجاد تلف اضافی دیگری می‌شود که به‌صورت زیر بیان می‌گردد:

$$P_{Chrg}=N\left(\frac{V_{out}}{NR_L}\right)^2\left(\frac{1}{f_s.C_p}\right) \qquad (۱۸)$$

از این‌رو تلف توان کل برای پمپ بار اینترلیو پیشنهادی به‌صورت زیر محاسبه می‌گردد:

$$P_{Total}=P_{Cond}+P_{Sw}+P_{Chrg} \qquad (۱۹)$$

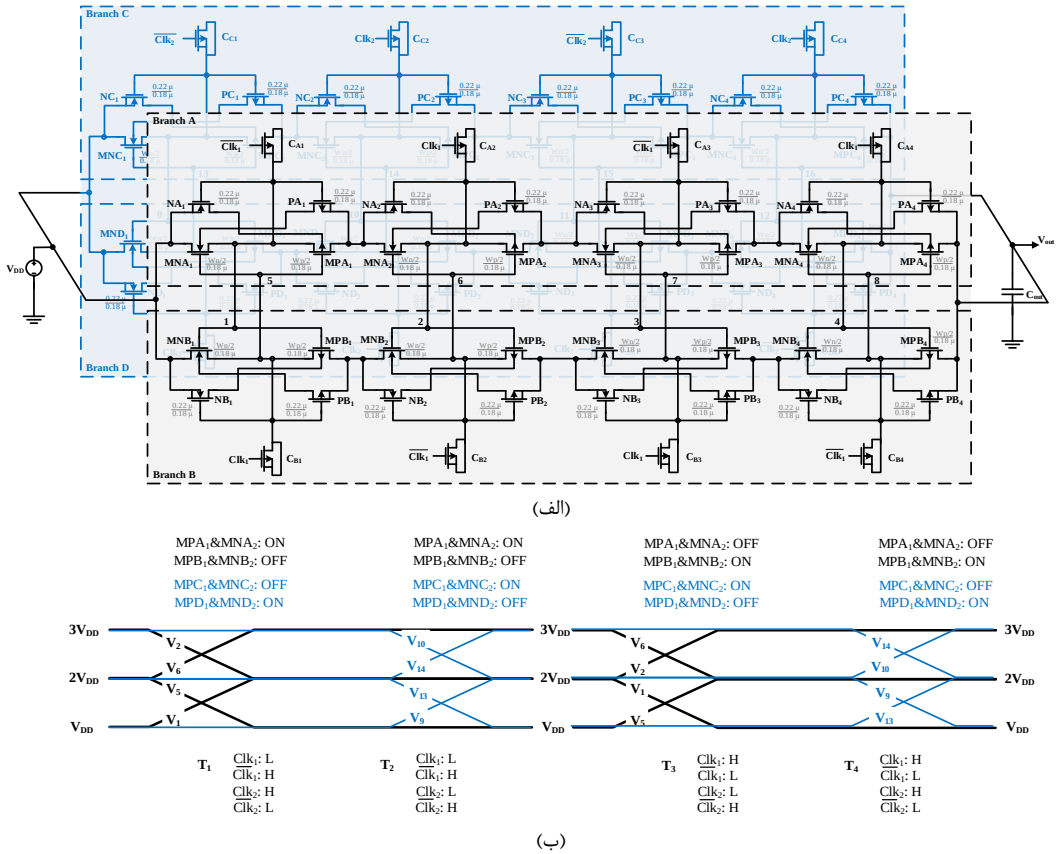
در نتیجه:

$$P_{Total}=N\left(\frac{V_{out}}{NR_L}\right)^2\left[\frac{L}{C_{ox}(V_{in}-V_T)}\left(\frac{1}{\mu_p\sum_{i=1}^{m}W_{i,PMOS}}+\frac{1}{\mu_n\sum_{i=1}^{m}W_{i,NMOS}}\right)+ESR+\frac{1}{f_s.C_p}\right]+NC_{ox}f_sV_{in}^2L\sum_{j=1}^{m}\left(W_{j,PMOS}+W_{j,NMOS}\right) \qquad (۲۰)$$

[۷] Equivalent Serial Resistance

www.SID.ir

Archive of SID



شکل۵. (الف) مدار پمپ بار اینترلیو دو سلولی پیشنهادی، و (ب) توصیف طبقه اول مدار پیشنهادی

در مدار پیشنهادی با ساختار اینترلیو دو سلولی (با چهار زیر سلول) هر زیرسلول شامل یک جفت ترانزیستور PMOS- NMOS و یک خازن پمپاژ است. تلف توان کل را می‌توان برای این ساختار به‌صورت زیر مدل کرد:

$$P_{Total}=\left(\frac{V_{out}}{R_L}\right)^2\left[\frac{1}{2}\frac{1}{\mu_n C_{ox}(V_{in}-V_T)}\frac{L}{W_{NMOS}}+\frac{1}{4}ESR+\frac{1}{4f_s.C_p}\right]+16C_{ox}f_sV_{in}^2LW_{NMOS} \quad (۲۱)$$

به‌منظور بیشینه کردن بازده و حداقل کردن P_{Total}، باید شرط زیر برآورده شود:

$$\frac{\partial P_{Total}}{\partial W_{NMOS}}=0 \quad (۲۲)$$

بر این اساس می‌توان مقدار بهینه را برای ترانزیستورها تعیین کرد. در خصوص مدار اینترلیو دو سلولی با چهار زیر سلول این مقادیر برابر است با:

$$W_{OPT,NMOS}=\frac{V_{out}}{R_LC_{ox}V_{in}\sqrt{32(V_{in}-V_T)f_s\mu_n}},\quad W_{OPT,PMOS}=\frac{V_{out}}{\mu_pR_LC_{ox}V_{in}}\sqrt{\frac{\mu_n}{32(V_{in}-V_T)f_s}} \quad (۲۳)$$

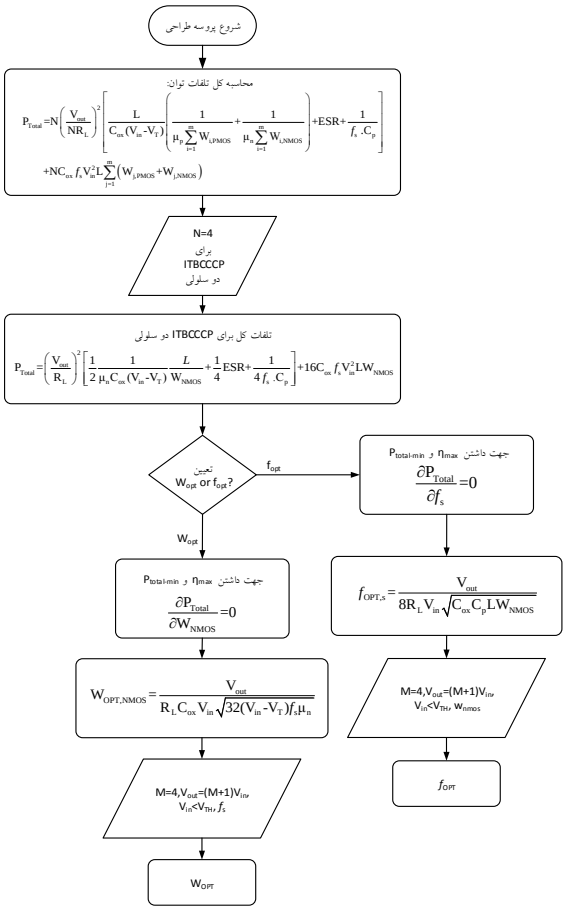
با استفاده از این پارامترهای بهینه شده می‌توان پمپ بار اینترلیو را برای داشتن بازده بیشینه طراحی نمود. فلوچارت طراحی برای تعیین بهینه ابعاد ترانزیستور و مقادیر خازن‌های پمپاژ و خازن خروجی در شکل‌های ۶ و ۷ نشان داده شده است. شکل ۶ بهینه‌سازی ابعاد ترانزیستور را بر اساس مشتق‌گیری از رابطه تلفات توان کل در یک مدار پمپ بار دو شاخه‌ای اینترلیو دو سلولی نشان می‌دهد. به دلیل اجتناب از پیچیدگی معادلات از اثرات کانال کوتاه صرفنظر شده است. تعداد طبقات پمپ بار، چهار در نظر گرفته شده است. با داشتن فرکانس سوئیچینگ ثابت و با مشتق‌گیری نسبت به عرض ترانزیستور، می‌توان W_{opt} را تعیین کرد. همچنین می‌توان با در نظر گرفتن عرض ثابت برای ترانزیستور، و با مشتق‌گیری نسبت به فرکانس، فرکانس سوئیچینگ بهینه را تعیین کرد.

شکل ۷ نیز با توجه به روابط مربوط به فلوی شارژ در یک مدار دو برابر کننده زوج متقاطع، و بر اساس روابط مربوط به انرژی، حداقل مقادیر مربوط به خازن‌های پمپاژ و خازن بار را در یک مدار پمپ بار مشخص می‌کند. پس از تعیین ابعاد ترانزیستور و مقادیر خازن‌های مدار، می‌توان مراحل شبیه‌سازی را طی کرد. برای این منظور ابتدا ابعاد ترانزیستورهای مدار مولد کلاک ناهم‌فاز جهت داشتن فرکانس سوئیچینگ مورد نظر در باند MICS/ISM تعیین می‌شود. سپس با انتخاب ابعاد بهینه

www.SID.ir

Archive of SID

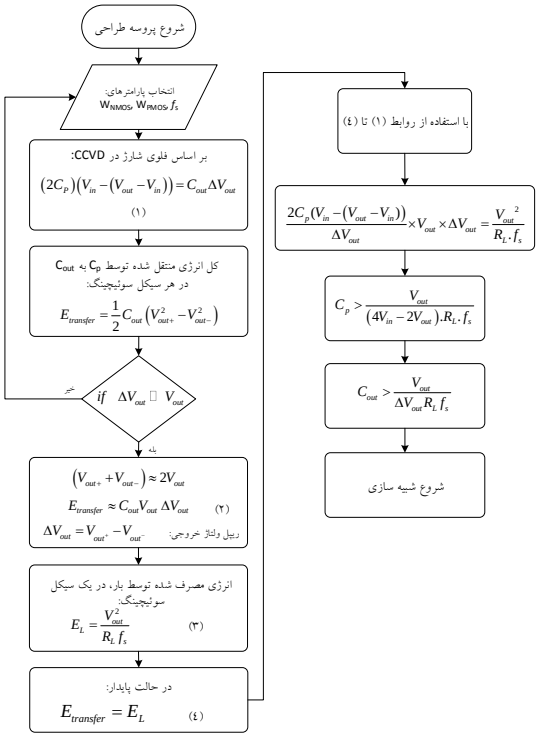
ترانزیستور و مقادیر خازن‌های مدار که در دو فلوچارت قبل بحث شد، شبیه‌سازی مدار آغاز می‌شود. در ادامه برای تعیین صحت و دقت نتایج شبیه‌سازی آنالیزهای دما و گوشه[۸] صورت می‌گیرد و در صورت تائید نتایج جانمایی مدار ترسیم و نتایج پس از جانمایی[۹] استخراج می‌گردد.



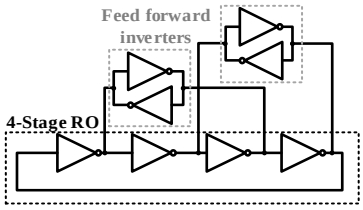
شکل۶. فلوچارت طراحی برای تعیین بهینه ابعاد ترانزیستور و یا فرکانس سوئیچینگ مدار

مدار مولد کلاک چهار فاز

برای مدار پیشنهادی با ساختار اینترلیو دو سلولی، سیگنال‌های کلاک چهار فاز مورد نیاز می‌باشد که برای این منظور نیاز به تعداد زوج اینورتر در حلقه اسیلاتور است. از آنجاکه توپولوژی پایه اسیلاتور حلقوی دارای تعداد فرد اینورتر است، برای تعداد زوج نوسان نخواهد کرد. برای غلبه بر این مشکل یک روش استفاده از اینورترهای پیش‌رو[۱۰] است که در شکل ۸ نمایش داده شده است [۱۷و۱۸]. مدار مولد کلاک ناهم پوشان باید قادر به کار در ولتاژهای پایین باشد و همچنین دارای سوئینگ خروجی ریل تو ریل باشد. تکنیک بایاس بدنه با ترانزیستورهای کمکی به کل اینورترهای مدار اسیلاتور اعمال می‌شود بطوری‌که مدار بتواند با منابع ولتاژ پایین مشابه مدار پمپ بار کار کند. مدار مولد کلاک چهار فاز با چهار اینورتر در حلقه اصلی و چهار اینورتر پیش‌رو ساخته می‌شود.



شکل۷. فلوچارت طراحی برای تعیین خازن‌های پمپاژ و خازن خروجی مدار پمپ بار



شکل۸. اسیلاتور حلقوی چهار فاز با بکارگیری مسیرهای پیش‌رو

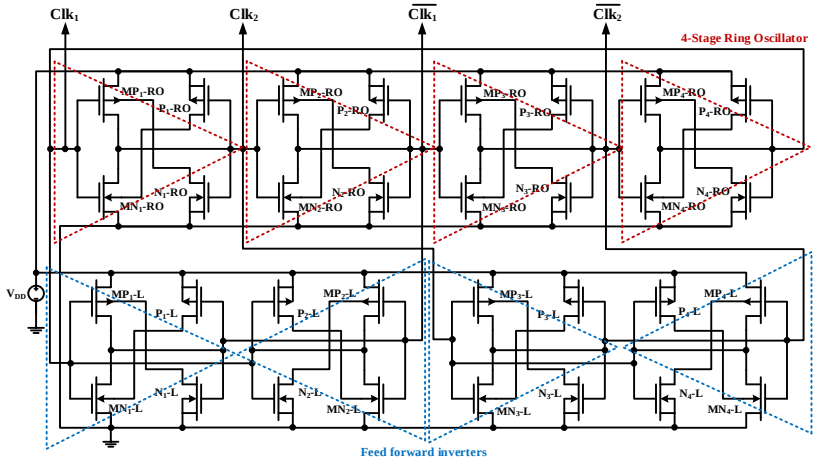
شکل ۹ مدار مولد کلاک چهار فاز پیشنهادی با تکنیک بایاس بدنه با ترانزیستورهای کمکی را نشان می‌دهد. مدار از چهار اینورتر تک‌سر در حلقه اصلی (MP_i-RO و MN_i-RO) به‌همراه چهار اینورتر که به‌عنوان لچ بین گره‌های مخالف در حلقه اصلی متصل شده‌اند (MP_i-L و MN_i-L) تشکیل شده است. همچنین P_i-RO و N_i-RO به‌همراه P_i-L و N_i-L به‌عنوان ترانزیستورهای کمکی برای بایاس بدنه استفاده می‌شوند. این ترانزیستورها خازنهای اضافی را در خروجی هر طبقه ایجاد می کنند [۱۱]. سایز این ترانزیستورها بصورت حداقل W/L=220nm/180nm در نظر گرفته شده است بطوریکه این خازنها کمترین مقدار را داشته باشند.

۸ corner
۹ post-layout
۱۰ feed-forward

www.SID.ir

Archive of SID

تمام اینورترها در هر مدار دارای ابعاد یکسانی می‌باشند، در حالی‌که $W_{PMOS}=3\times W_{NMOS}$ است. به‌منظور درایو خازن‌های پمپاژ در هر شاخه، طبقات بافر بعد از مدار اضافه می‌شوند.



شکل۹. مدار مولد کلاک چهار فاز پیشنهادی با تکنیک بایاس بدنه

نتایج شبیه‌سازی

مدار پمپ بار دو شاخه‌ای زوج متقاطع اینترلیو دو سلولی چهار طبقه با تکنیک بایاس بدنه در شبیه‌ساز Cadence Spectre با تکنولوژی ۰.۱۸ میکرومتر CMOS شبیه‌سازی شده است. نتایج شبیه‌سازی مدار پمپ بار اینترلیو دو سلولی در مقایسه با حالت ساده تک سلولی در دو ولتاژ تغذیه ۳۰۰ و ۴۰۰ میلی ولت در جدول ۱ آورده شده است. مقدار خازن معادل در خازن‌های پمپاژ ترانزیستوری در مدار پمپ بار ۱ پیکوفاراد در نظر گرفته شده است. نتایج شبیه‌سازی ولتاژ خروجی، زمان رسیدن به پایداری، ریپل ولتاژ خروجی، توان مصرفی مدار پمپ بار، بازده پمپاژ و بازده توان مدار پمپ بار در دو حالت تک سلولی و اینترلیو دو سلولی در جدول ۱ مقایسه شده‌اند. بازده پمپاژ با استفاده از رابطه زیر محاسبه می‌گردد:

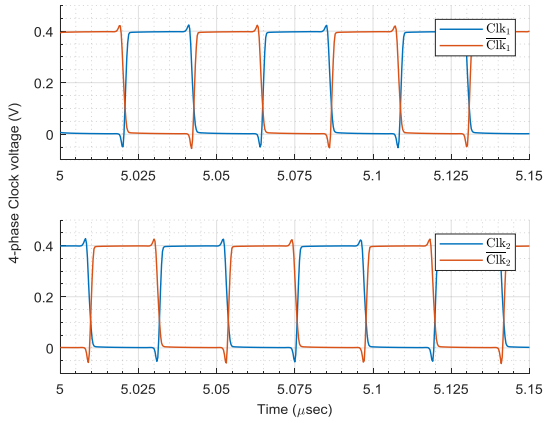
$$Pumping\ Efficiency = \frac{V_{out}}{V_{ideal}}\% \qquad (۲۴)$$

که در آن V_{out} ولتاژ خروجی و V_{ideal} ولتاژ خروجی در حالت ایده‌آل پمپ بار است.

جدول۱. نتایج شبیه‌سازی مدار پمپ بار پیشنهادی

مدار پمپ بار	تک سلولی		اینترلیو دو سلولی	
V_{in}(mV)	۴۰۰	۳۰۰	۴۰۰	۳۰۰
V_{out}(V)	۱/۹۳	۱/۴۴	۱/۹۵	۱/۴۳
$T_{ramp\text{-}up}$(μsec)	۱۹/۹	۱۹۸/۳	۱۵/۸	۱۵۲/۳
V_{ripple}(mV)	۲/۹۵	۱/۴۹	۲/۴	۱/۳۷
CP Power (nW)	۲۴/۸	۲/۴۵	۲۱/۴	۲/۱
Pumping efficiency	۹۶/۵٪	٪۹۶	۹۷/۲٪	۹۶/۳٪
CP Power efficiency	۹۴/۵٪	۹۲/۷٪	۹۵/۱٪	۹۳/۳٪

مقدار توان مصرفی کل شامل مدار پمپ بار و مدار مولد کلاک در ولتاژ تغذیه ۳۰۰ میلی‌ولت به ترتیب ۱۵/۱ و ۱۴/۹ نانو وات برای مدار پمپ بار تک سلولی و اینترلیو دو سلولی می باشد. شکل موج خروجی مدار مولد کلاک شکل ۹ در شکل ۱۰ نمایش داده شده است. این شکل موج‌ها دارای اختلاف فاز ۹۰ درجه جهت اعمال به مدار پمپ بار اینترلیو دو سلولی می‌باشند.

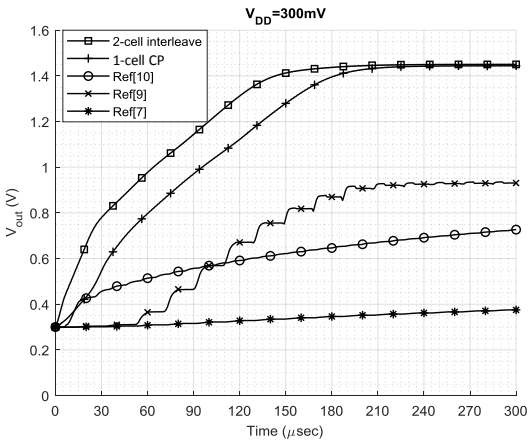


شکل۱۰. شکل موج خروجی مدار مولد کلاک چهار فاز

شکل ۱۱ پاسخ گذرای مدار پمپ بار اینترلیو دو سلولی پیشنهادی را در مقایسه با ساختار مدار پمپ بار تک سلولی با بایاس بدنه، مدار پمپ بار بدون تکنیک بایاس بدنه [۱۰]، مدار پمپ بار خطی [۹]، و مدار پمپ بار دیکسون [۷] در ولتاژ تغذیه ۳۰۰ میلی ولت و تعداد طبقات یکسان و خازن بار و فرکانس سوئیچینگ مشابه نشان می‌دهد. نتایج شبیه‌سازی بهبود ۱۹/۲٪ سرعت مدار دو سلولی را نسبت به مدار تک سلولی نشان می‌دهد.

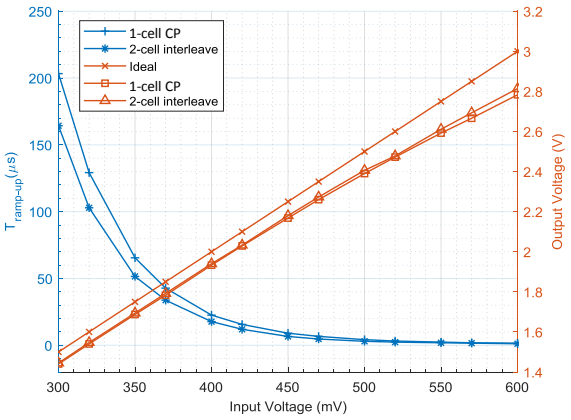
www.SID.ir

Archive of SID



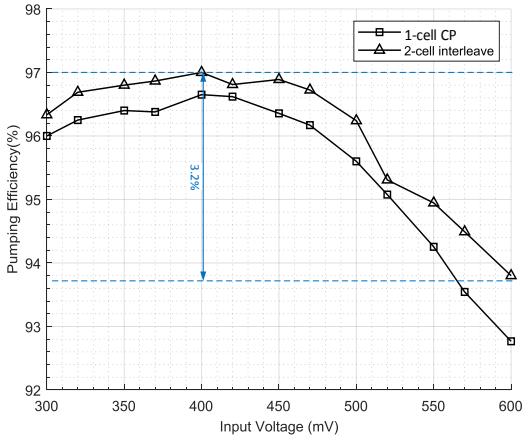
شکل۱۱. شکل موج ولتاژهای خروجی مدار پمپ بار اینترلیو دو سلولی پیشنهادی، مدار پمپ بار تک سلولی، مدار پمپ بار بدون تکنیک بایاس بدنه [۱۰]، مدار پمپ بار خطی [۹]، و مدار پمپ بار دیکسون [۷] در ولتاژ تغذیه ۳۰۰ میلی ولت.

همانطورکه در شکل ۱۱ مشاهده می‌شود، مدار پمپ بار بدون تکنیک بایاس بدنه [۱۰] نمی‌تواند در ولتاژهای تغذیه پایین به‌خوبی کار کند. همانطورکه در شکل ۱۱ و جدول ۱ دیده می‌شود با استفاده از تکنیک بایاس بدنه و با افزایش تعداد سلول‌ها، ولتاژ خروجی بالاتر، پاسخ سریع‌تر، ریپل ولتاژ خروجی کمتر و توان مصرفی پایین‌تر حاصل می‌شود. به این دلیل که همیشه دو یا چهار خازن به‌جای یک خازن شارژ را به بار تحویل می‌دهند.

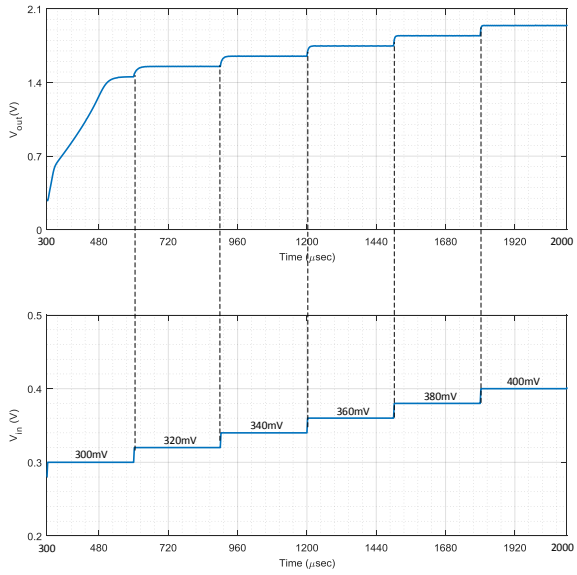


شکل۱۲. ولتاژ خروجی (راست) و زمان صعود (چپ) مدار پیشنهادی دو و تک سلولی در مقابل ولتاژهای تغذیه مختلف.

برای پرهیز از فضای اضافی، سایز قطعات متناسب با تعداد سلول‌ها کاهش می‌یابد. ریپل ولتاژ خروجی ۲/۴ و ۱/۳۷ میلی ولت پیک تا پیک به‌ترتیب در ولتاژ تغذیه ۴۰۰ و ۳۰۰ میلی ولت می‌باشد، درحالی‌که مقدار SFDR (Spurious Free Dynamic Range) آن ۷۴/۴۵ و ۷۵/۶۲ دسی بل می‌باشد. این مقدار بر اساس طیف خروجی رسم شده و برای بیان میزان ریپل ولتاژ خروجی اندازه‌گیری شده است. شکل ۱۲ ولتاژ خروجی و مدت زمان صعود شبیه‌سازی شده مدار پیشنهادی دو سلولی و تک سلولی و حالت ایده‌آل را در برابر ولتاژهای ورودی مختلف نشان می‌دهد. ولتاژ خروجی در ولتاژهای ورودی پایین، نزدیک‌تر به‌حالت ایده‌آل است، زیرا تکنیک بایاس بدنه مناسب کاربردهای ولتاژ پایین می‌باشد (زیر ولتاژ آستانه). بازده پمپاژ مدار پیشنهادی در مقایسه با مدار پمپ بار تک سلولی تحت ولتاژهای تغذیه مختلف در شکل ۱۳ نشان داده شده است.



شکل۱۳. بازده پمپاژ مدار پمپ بار اینترلیو دو سلولی پیشنهادی در مقایسه با ساختار تک سلولی.



شکل۱۴. اثر جاروب ولتاژ تغذیه از ۳۰۰ تا ۴۰۰ میلی ولت بر ولتاژ خروجی مدار پمپ بار پیشنهادی

منحنی مدار پیشنهادی برای ولتاژ ورودی ۳۰۰ تا ۶۰۰ میلی ولت حدود ۳٪ تغییرات را نشان می‌دهد. بازده، قبل از رسیدن به ولتاژ آستانه، افزایش و پس از آن کاهش می‌یابد. اثر جاروب ولتاژ تغذیه از ۳۰۰ تا ۴۰۰ میلی ولت بر ساختار مدار پیشنهادی در شکل ۱۴ نمایش داده شده است. بازده تبدیل

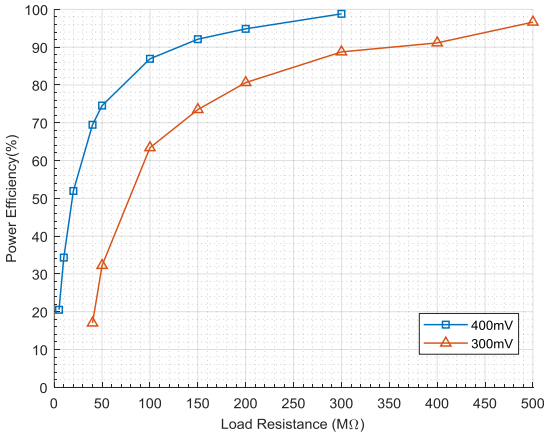
www.SID.ir

Archive of SID

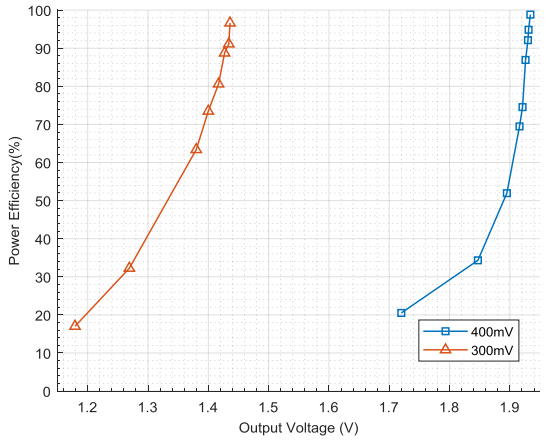
توان برای مدار پمپ بار پیشنهادی به‌صورت زیر توصیف می‌شود:

$$power\ efficiency = \frac{V_{out} \times I_{out}}{V_{in} \times I_{in}} \quad (۲۵)$$

که در آن V_{out} ولتاژ خروجی واقعی، V_{in} ولتاژ ورودی پمپ بار، I_{in} جریان ورودی پمپ بار و I_{out} جریان خروجی است. جریان خروجی I_{out} در حالت مدار پمپ بار تک سلولی به دو روش محاسبه شده است. یکی بر اساس محاسبه مقدار متوسط جریان خازن بار، که در این حالت بازده توان به ترتیب ٪۹۴/۵ و ٪۹۲/۷ به ازای ولتاژ تغذیه ۴۰۰ و ۳۰۰ میلی ولت محاسبه شده است. دیگری، محاسبه مقدار متوسط جریان خازن بار با قرار دادن یک مقاومت بار (R_L) موازی با خازن بار خروجی است. در اینحالت با تغییر R_L با مقادیر مختلف، جریان و ولتاژ خروجی و در نتیجه بازده تبدیل توان شبیه‌سازی شده است. این شبیه‌سازی برای ولتاژ تغذیه ۳۰۰ و ۴۰۰ میلی‌ولت و خازن بار ۱ پیکو فاراد انجام گرفته است. نتایج شبیه‌سازی در شکلهای ۱۵ و ۱۶ نشان داده شده است.

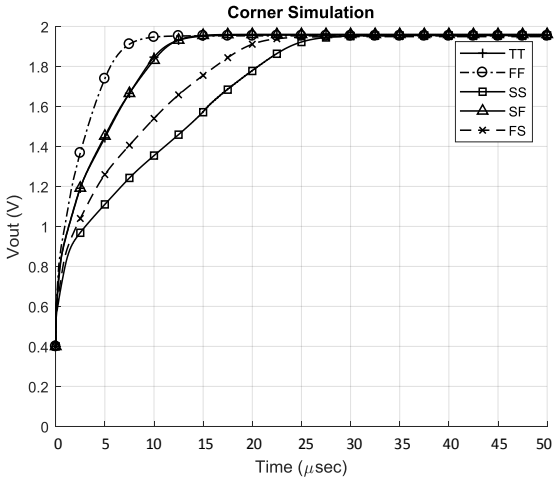


شکل۱۵. بازده توان در برابر مقاومت بار برای دو ولتاژ تغذیه مختلف

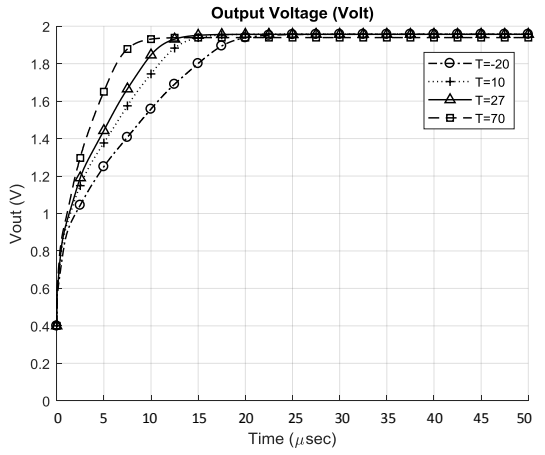


شکل۱۶. بازده توان در برابر ولتاژ خروجی برای ولتاژ تغذیه مختلف

عملکرد صحیح تحت تغییرات گوشه‌های پروسه[۱۱] و دما اهمیت زیادی دارد. بنابراین برای اطمینان از عملکرد مناسب مدار، شبیه‌سازی گوشه بر روی ساختار پیشنهادی در ولتاژ تغذیه ۴۰۰ میلی‌ولت انجام شده است. شکل ۱۷ پاسخ گذرای ولتاژ خروجی را در گوشه‌های مختلف شبیه‌سازی، نشان می‌دهد. جدول ۲ نتایج شبیه سازی توان مصرفی مدار پمپ بار تک سلولی و دو سلولی اینترلیو را در ولتاژ تغذیه ۴۰۰ میلی ولت در گوشه های مختلف پروسه نشان می دهد. شبیه‌سازی تغییرات دما در محدوده دمایی از ۲۰- تا ۷۰ درجه سانتی‌گراد صورت گرفته است. اثر تغییرات دما بر روی خروجی مدار پیشنهادی نیز در شکل ۱۸ نشان داده شده است.



شکل۱۷. شبیه‌سازی گوشه‌های مختلف بر ساختار پمپ بار اینترلیو دوسلولی پیشنهادی در ولتاژ تغذیه ۴۰۰ میلی ولت



شکل۱۸. شبیه‌سازی تغییرات دمایی بر ساختار پمپ بار اینترلیو دوسلولی پیشنهادی در ولتاژ تغذیه ۴۰۰ میلی ولت

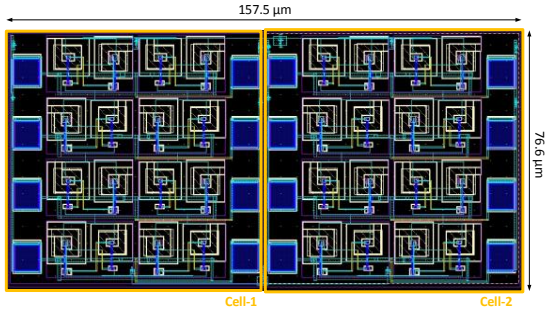
شکل ۱۹ جانمایی طرح پیشنهادی را با مساحت ۰/۰۱۲ میلی-متر مربع بدون پدهای رابط در پروسه چاه n عمیق نشان می-دهد. در شبیه‌سازی‌های انجام شده از مدل DNW برای

[۱۱] process corners

www.SID.ir

Archive of SID

ترانزیستورهای NMOS جهت ایزوله کردن آنها از PMOS ها استفاده شده است. نتایج شبیه‌سازی قبل و پس از جانمایی در جدول ۳ آورده شده است. نتایج شبیه‌سازی پس از جانمایی نشان می‌دهد که در ولتاژ ورودی ۴۰۰ میلی‌ولت، ولتاژ خروجی با ۳ درصد کاهش به ۱/۸۹ ولت با بازده پمپاژ ٪۹۴/۵ رسیده است. زمان رسیدن به پایداری نیز همانطورکه در شکل ۲۰ نشان داده شده است، ۸/۳ میکروثانیه افزایش یافته است.



شکل۱۹. طرح جانمایی مدار پمپ بار اینترلیو دو سلولی پیشنهادی

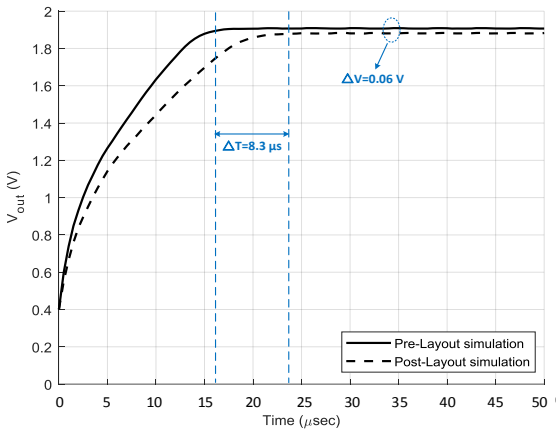
جدول۲. مقایسه نتایج شبیه‌سازی توان مصرفی مدار پمپ بار تک سلولی و اینترلیو دو سلولی پیشنهادی در گوشه های مختلف پروسه

2-cell Interleave	1-cell CP	Corner
21.4n	24.8n	**TT**
21.9n	25.2n	**FF**
18.3n	21.2n	**SS**
21.1n	24.1n	**SF**
18.8n	22.3n	**FS**

جدول۳. مقایسه نتایج شبیه‌سازی مدار پمپ بار اینترلیو دو سلولی پیشنهادی قبل و پس از جانمایی

Post-layout	Pre-layout	Simulation
۱/۸۹	۱/۹۵	V_{out}(V)
۲۴/۱	۱۵/۸	$T_{ramp-up}$(μsec)
۴/۷	۲/۴	V_{ripple}(mV)
۰/۲۴٪	۰/۱۲٪	V_{ripple}/ V_{out}
۹۴/۵٪	۹۷/۲٪	**Pumping Efficiency**
۹۱/۸٪	۹۵/۱٪	**CP Power Efficiency**

جدول ۴ خلاصه عملکرد و مقایسه ویژگی‌های مدار پیشنهادی را با تحقیقات انجام شده در مقالات نشان می‌دهد. مدار طراحی شده در [۱۲] از بایاس بدنه و کنترل برگشتی برای راه‌اندازی مدار در تغذیه ۳۲۰ میلی‌ولت استفاده می‌کند. این مدار دارای ساختاری متفاوت در مکانیزم کنترل برای طبقه آخر است. مدار پیشنهادی در [۱۱] پمپ بار دو شاخه‌ای چهار طبقه‌ای را ارائه می‌دهد که بصورت تک سلولی و با تکنیک بایاس بدنه شبیه-سازی شده است. ساختار پیشنهادی در [۲۰] با مدار اسیلاتور LC کار می‌کند، از این‌رو دارای ریپل ولتاژ خروجی بالاتری نسبت به مدار مولد کلاک پالس می‌باشد.



شکل۲۰. مقایسه ولتاژ خروجی مدار پمپ بار اینترلیو دو سلولی پیشنهادی قبل و پس از جانمایی

یک پمپ بار افزایشی با نسبت بالا در [۱۹] ارائه شده است که از یک ساختار VCO حلقوی بوت‌استرپ دیفرانسیلی با سیگنال‌های کلاک ۶ فاز استفاده می‌کند. VCO حلقوی بوت-استرپ دیفرانسیلی[۱۲] به‌طور مؤثر دسته‌ای از خروجی‌های چند فاز با سوئینگ تقویت شده را تولید می‌کند که باعث کاهش تعداد طبقات پمپ بار و وابستگی فرکانس نوسان به قابلیت انتقال بار می‌شود.

اغلب پمپ بارهای گزارش شده در مقالات بر طراحی مدار برای داشتن سرعت بالاتر و یا ریپل خروجی کمتر و یا بازده بالاتر تمرکز دارند. این در حالی است که مدار پیشنهادی برای داشتن زمان صعود و ریپل خروجی پایین طراحی شده است به‌گونه‌ای که بازده پمپاژ را بالا و سطح تراشه را پایین نگه دارد.

نتیجه گیری

یک مدار مبدل سوئیچ خازنی تمام مجتمع متقارن با تکنیک بایاس بدنه و رگولاسیون اینترلیو دو سلولی چهار طبقه برای کاربرد سیستم‌های قابل پزشکی بدون باتری با ولتاژ و توان پایین طراحی شده است. برای این منظور یک مدار مولد کلاک چهار فاز با فرکانس سوئیچینگ ۲۰ مگاهرتز طراحی شده است. تکنیک رگولاسیون اینترلیو به افزایش سرعت مدار و کاهش ریپل خروجی کمک می‌کند تا آنجاکه نتایج پس از جانمایی در تکنولوژی ۰/۱۸ میکرومتر CMOS، زمان صعود ۲۴ میکرو ثانیه و ریپل خروجی ٪۰/۲۴را نشان می‌دهد. شبیه‌سازی تحت خازن بار ۱ پیکو فاراد و ولتاژ تغذیه ۴۰۰ میلی ولت، ولتاژ خروجی ۱/۸۹ ولت و بازده پمپاژ ٪۹۴/۵ را پس از جانمایی نشان می-دهد. این در حالی است که سطح تراشه ای مدار ۰/۰۱۲ میلی-

[۱۲] Differential boot strap ring VCO

www.SID.ir

Archive of SID

متر مربع و توان مصرفی مدار پمپ بار ۲۱/۴ نانو وات می‌باشد. توان مصرفی کل در ولتاژ تغذیه ۳۰۰ میلی‌ولت در این ساختار ۱۴/۹ نانو وات است که بازده کل ۳۸ درصد را نتیجه می دهد.

جدول۴. خلاصه عملکرد مدار پیشنهادی و مقایسه با دیگر مقالات

This work*		[11]* 2018	[12] 2014	[13] 2015	[19] 2018	[20]* 2017	[21]* 2014	[24] 2017	References
2-cell interleave	1-cell								
۱۸۰	۱۸۰	۱۸۰	۱۸۰	۱۳۰	۶۵	۱۸۰	۱۸۰	۱۸۰	Process (nm-CMOS)
CC-CP	CC-CP	CC-CP	CC-CP	CC-CP	CC-CP	CC-CP	4phase-CP	Dual-path CP	Topology
۴۰۰	۴۰۰	۴۰۰	۳۲۰	۱۵۰	۱۵۰	۲۰۰	۷۰۰	۴۰۸	Min-startup voltage (mV)
۴	۴	۴	۶	۳	۳	۵	۴	۱	Num. of stages
۱	۱	۱	۵۰/۷	۱۰۰۰۰	۳۰	۱۱	۱۰	۱۰۰۰۰	Load capacitor (pF)
۹۷/۲٪	۹۶/۵٪	۹۵/۷٪	٪۸۹	۸۵/۹۷٪	–	–	۹۵/۱٪	–	Pumping Efficiency
۹۵/۱٪/ ۳۸٪@۳۰۰mV	۹۴/۵٪/ ۳۵٪@۳۰۰mV	۹۴/۵٪/-	–	–/ ۳۴٪@۱۸۰ mV	–/ ۳۸٪@۱۵۰m V ,۵۰۰KΩ	–/ ۴۶٪@۲۰۰m V ,۵KΩ	–	۸۲/۴٪	CP/Total** Power Efficiency
۱۵/۸	۱۹/۹	۳۰	۱۰۰	–	۲۵	۶	۹۴/۸	۲۰	T_{rise} (μs)
۲/۴	۲/۹	۳/۸	–	<۲۰	<۱	>۱۰۰	–	۱۵	V_{ripple} (mV)
۴/۸۶	۴/۸۲	۴/۷	۶/۳	۳/۴	۱۰	۸/۵	۴/۷۵	۲/۴	Conversion Ratio
۲۰	۲۰	۴	۰/۴۵	۰/۲۵	۱۰	۴۰۰	۱	۱۵	Frequency (MHz)
۰/۰۱۲	۰/۰۰۷	۰/۰۱۸	۱/۳۷	۰/۰۶۶	۰/۰۳۲	۰/۹۴	–	۰/۹۹۴	Chip area (mm^2)

*Pre- and Post-Layout simulation, CC-CP: Cross Coupled-Charge Pump
** Total power efficiency (CP+Clk generator)

مراجع

[1] Chen, Po-Hung, Koichi Ishida, Katsuyuki Ikeuchi, Xin Zhang, Kentaro Honda, Yasuyuki Okuma, Yoshikatsu Ryu, Makoto Takamiya, and Takayasu Sakurai. "Startup Techniques for 95 mV Step-Up Converter by Capacitor Pass-On Scheme and VTH-Tuned Oscillator With Fixed Charge Programming." *IEEE Journal of Solid-State Circuits* 47, no. 5 (2012): 1252-1260.

[2] Emilio, Maurizio Di Paolo. *Microelectronic circuit design for energy harvesting systems*. Berlin: Springer, 2017.

[3] Shrivastava, Aatmesh, Nathan E. Roberts, Osama U. Khan, David D. Wentzloff, and Benton H. Calhoun. "A 10 mV-Input Boost Converter with Inductor Peak Current Control and Zero Detection for Thermoelectric and Solar Energy Harvesting with 220 mV Cold-Start and -14.5 dBm, 915 MHz RF Kick-Start." *IEEE Journal of Solid-State Circuits* 50, no. 8 (2015): 1820-1832.

[4] Ramadass, Yogesh K., and Anantha P. Chandrakasan. "A battery-less thermoelectric energy harvesting interface circuit with 35 mV startup voltage." *IEEE Journal of Solid-State Circuits* 46, no. 1 (2011): 333-341.

[5] Zhang, Yanqing, Fan Zhang, Yousef Shakhsheer, Jason D. Silver, Alicia Klinefelter, Manohar Nagaraju, James Boley et al. "A Batteryless 19μW MICS/ISM-Band Energy Harvesting Body Sensor Node SoC for ExG Applications." *IEEE Journal of Solid-State Circuits* 48, no. 1 (2013): 199-213.

[6] Jeon, Heungjun. "Fully Integrated On-Chip Switched Capacitor DC-DC Converters for Battery-Powered Mixed-Signal SoCs." PhD diss., NORTHEASTERN UNIVERSITY, 2013.

[7] Dickson, John F. "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique." *IEEE Journal of solid-state circuits* 11, no. 3 (1976): 374-378.

[8] Wu, Jieh-Tsorng, and Kuen-Long Chang. "MOS charge pumps for low-voltage operation." *IEEE Journal of solid-state circuits*33, no. 4 (1998): 592-597.

[9] Su, Feng, Wing-Hung Ki, and Chi-Ying Tsui. "Gate control strategies for high efficiency charge pumps." In *2005 IEEE International Symposium on Circuits and Systems*, pp. 1907-1910. IEEE, 2005.

[10] Ker, Ming-Dou, Shih-Lun Chen, and Chia-Shen Tsai. "Design of charge pump circuit with consideration of gate-oxide reliability in low-voltage CMOS processes." *IEEE Journal*

www.SID.ir

Archive of SID

[18] L. Sun and T. A. Kwasniewski. "A 1.25-GHz 0.35-µm monolithic CMOS PLL based on a multiphase ring oscillator." *IEEE J. Solid-State Circuits* **36** (2001) 910–916.

[19] Yi, Haidong, Jun Yin, Pui-In Mak, and Rui P. Martins. "A 0.032-mm 2 0.15-V three-stage charge-pump scheme using a differential bootstrapped ring-VCO for energy-harvesting applications." *IEEE Transactions on Circuits and Systems II: Express Briefs* 65, no. 2 (2018): 146-150.

[20] Jayaweera, H. M. P. C., and Ali Muhtaroğlu. "Design optimization of a fully integrated charge-pump with LC tank oscillator for ultra-low voltage energy harvesting." *Microelectronics Journal* 59 (2017): 33-39.

[21] Lin, Changlong, Xinzhuo Sun, Shiliang Ma, Xin Lu, Ke Liang, and Guofeng Li. "Ultra-low-voltage gain-enhanced four-phase charge pump without body effect." *Journal of Circuits, Systems, and Computers* 23, no. 07 (2014): 1450104.

[22] Van Breussegem, Tom, and Michiel Steyaert. *CMOS integrated capacitive DC-DC converters*. Springer Science & Business Media, 2012.

[23] Tsividis, Yannis, and Colin McAndrew. *Operation and Modeling of the MOS Transistor*. Vol. 2. Oxford: Oxford university press, 1999.

[24] Mondal, Saroj, and Roy Paily. "Efficient solar power management system for self-powered IoT node." *IEEE Transactions on Circuits and Systems I: Regular Papers* 64, no. 9 (2017): 2359-2369.

of solid-state circuits 41, no. 5 (2006): 1100-1107.

[11] N. Cheraghi Shirazi, A. Jannesari, and P. Torkzadeh. "Self-start-up fully integrated DC-DC step-up converter using body biasing technique for energy harvesting applications." *AEU-International Journal of Electronics and Communications* 95 (2018): 24-35.

[12] Peng, Huan, Nghia Tang, Youngoo Yang, and Deukhyoun Heo. "CMOS startup charge pump with body bias and backward control for energy harvesting step-up converters." *IEEE Transactions on Circuits and Systems I: Regular Papers*61, no. 6 (2014): 1618-1628.

[13] Kim, Jungmoon, Philip KT Mok, and Chulwoo Kim. "A 0.15 V input energy harvesting charge pump with dynamic body biasing and adaptive dead-time for efficiency improvement." *IEEE Journal of Solid-State Circuits* 50, no. 2 (2015): 414-425.

[14] Perreault, David J., and John G. Kassakian. "Distributed interleaving of paralleled power converters." *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications* 44, no. 8 (1997): 728-734.

[15] Le, Hanh-Phuc, Seth R. Sanders, and Elad Alon. "Design techniques for fully integrated switched-capacitor DC-DC converters." *IEEE Journal of Solid-State Circuits* 46, no. 9 (2011): 2120-2131.

[16] Ma, Dongsheng, and Rajdeep Bondade. "Reconfigurable switched-capacitor power converters." In *Reconfigurable Switched-Capacitor Power Converters*, pp. 71-110. Springer, New York, NY, 2013.

[17] J. R. Custódio, I. Bastos, L. B. Oliveira, J. P. Oliveira, P. Pereira, J. Goes and E. Bruun. "A 6.2 mW 0.024 mm2 fully-passive RF downconverter with 12 dB gain enhancement using MOS parametric amplification." *Analog Integr. Circuits Signal Process.* **75** (2013) 299–304.

www.SID.ir