طراحی LNA کم توان با استفاده از تکنیک gm-boosting برای کاربردهای فوق پهن باند

مهدی کیامهر[۱]، مصطفی یارقلی[۲]*

[۱] دانشجوی کارشناسی ارشد الکترونیک، گروه برق، دانشکده فنی مهندسی، دانشگاه زنجان

[۲] دانشیار، گروه برق، دانشکده فنی مهندسی، دانشگاه زنجان،* yargholi@znu.ac.ir

چکیده

در این مقاله یک تقویت‌کننده‌ی کم نویز فوق پهن‌باند با استفاده از روش‌های g_m-boosting و روش حذف نویز ارائه شده‌است. در این طراحی، طبقه‌ی گیت مشترک در ورودی و تقویت‌کننده‌ی کمکی به عنوان طبقه‌ی g_m-boosting لحاظ شده‌است، طبقه‌ی دوم به منظور افزایش بهره و حذف نویز استفاده شده‌است. این تقویت‌کننده در تکنولوژی ۰/۱۸μm CMOS طراحی شده‌است که نتایج حاصل از شبیه‌سازی؛ بهره‌ی ولتاژ ۱۷/۵±۱/۵ dB در پهنای باند ۲/۲ تا ۱۲/۲ گیگاهرتز، S_{11}<-۱۲dB، عدد نویز ۴/۲۵±۰/۷۵ dB، و IIP_3 برابر ۰/۱- dBm را نشان می‌دهد. هم‌چنین با منبع ولتاژ ۱ V توان مصرفی برابر ۴/۸ mW و سطح تراشه نیز برابر ۰/۴۲mm^2 می‌باشد.

کلیدواژه

تقویت‌کننده‌ی کم نویز، g_m-Boosting، فوق پهن باند، حذف نویز، بهره‌ی ولتاژ، خطسانی

۱- مقدمه

فناوری فوق پهن‌باند برای ارسال داده‌ها با سرعت بالا و توان مصرفی پایین روی یک باند فرکانسی وسیع برای فواصل کوتاه یک راهکار مناسب می‌باشد[1]. تقویت‌کننده‌های کم نویز پهن‌باند (UWB LNA)[۱] به‌عنوان اولین بلوک فعال زنجیره‌ی گیرنده[۲] (RX) باید دارای تطبیق امپدانس مناسب با آنتن، نویز پایین، خطسانی بالا و نیز بهره‌ی قابل قبول در یک باند فرکانسی وسیع باشند. راه حل مرسوم، به‌کارگیری چندین LC-LNA تنظیم‌شده[۳] روی باند فرکانسی مطلوب است[2],[3]. راه دیگر، تقویت‌کننده‌ی کم نویز پهن‌باند[4] با انعطاف بیشتر و ضریب کارآمدی بهتر برای پارامترهای توان مصرفی و هزینه است. به‌کارگیری یک LNA پهن‌باند برای پوشش چندین استاندارد مخابراتی، علاوه بر کاهش هزینه‌ها سبب کاهش سطح سیلیکان مصرفی خواهد بود. ایراد این شیوه نسبت به روش به‌کارگیری چندین LNA باند باریک برای پوشش گسترده‌ی چندین استاندارد مخابراتی، کاهش بهره می‌باشد [5],[6],[7],[8],[9].

از آنجا که تحقیقات زیادی در مورد تکنیک‌های طراحی LNA های باند باریک وجود دارد، توسعه‌ی تکنیک‌های طراحی LNA های فوق پهن باند به ویژه برای تکنولوژی‌های ارزان قیمت مثل CMOS[۴] هنوز در دست بررسی است. طراحی تقویت‌کننده‌ی کم نویز با بهره‌ی بالا، عدد نویز پایین و توان مصرفی حداقلی، از چالش‌های اصلی این تقویت‌کننده‌ها می‌باشد [1].

در این مقاله از مدار تقویت‌کننده کم‌نویز با ساختار g_m-boosting استفاده شده‌است، ادامه مقاله بدین صورت خواهد بود: در بخش دوم، ساختار تقویت‌کننده‌ی کم‌نویز با استفاده از روش پیشنهادی ارائه خواهد شد. در بخش سوم رفتار نویزی مورد بررسی قرار می‌گیرد. سپس نتایج شبیه‌سازی و نتیجه‌گیری کلی در بخش چهارم بیان خواهد شد.

۲- ساختار کلی تقویت‌کننده‌ی کم نویز و مدار پیشنهادی

معماری گیت مشترک تقویت‌کننده‌های کم نویز از امتیاز تطبیق امپدانس ورودی در باند وسیعی برخوردار می‌باشد. ساختار گیت مشترک از نویز زیاد ترانزیستور ورودی متاثر می‌شود. در نتیجه از یک طبقه‌ی سورس مشترک برای حذف نویز ترانزیستور گیت مشترک استفاده می‌شود [10],[11],[12],[13]. برای داشتن عدد نویز پایین در این ساختار، باید g_m (هدایت انتقالی ترانزیستور) و درنتیجه جریان طبقه‌ی سورس مشترک زیاد باشد که با طراحی کم توان در تعارض است[1]. برای کاهش توان مصرفی در این ساختار از روش g_m-Boosting استفاده می‌شود. در این روش با استفاده از یک تقویت‌کننده‌ی کمکی (A-)، ضریب هدایت انتقالی ترانزیستور طبقه‌ی گیت مشترک افزایش می‌یابد. بنابراین با مصرف توان کمتر، g_m ترانزیستور گیت مشترک به مقدار مورد نیاز برای تحقق تطبیق امپدانس ورودی (۲۰ mS) خواهد رسید، و در نتیجه توان طبقه سورس مشترک برای حذف نویز ترانزیستور گیت مشترک کاهش می‌یابد. ساختار ساده شده‌ی تقویت‌کننده کم‌نویز پیشنهادی در این مقاله در شکل(۱) نشان داده شده‌است. در این مدار R_s مقاومت منبع (۵۰ اهم) و ترانزیستور M_1 ترانزیستور گیت مشترک ورودی است. ترانزیستور M_2 ترانزیستور سورس مشترک برای حذف نویز M_1 در نظر گرفته شده‌است و ابعاد آن یعنی W_2/L_2 با توجه به ولتاژ بایاس یکسان، N برابر W_1/L_1 (ابعاد ترانزیستور گیت مشترک) در نظر گرفته شده‌است، بنابراین g_{m2}

[1] Ultra Wide Band Low Noise Amplifier

[2] Receiver chain

[3] Tuned

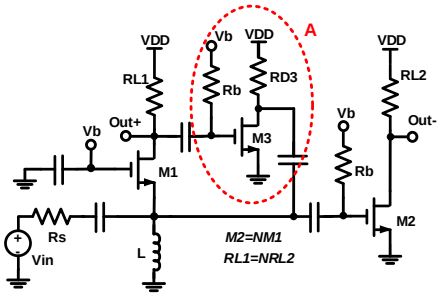
[4] Complementary Metal Oxide Semiconductor

www.SID.ir

تاریخ دریافت: ۱۳۹۸/۰۹/۱۸ تاریخ پذیرش: ۱۳۹۹/۰۶/۱۶

Archive of SID

(هدایت انتقالی ترانزیستور M_2) نیز N برابر g_{m1} (هدایت انتقالی ترانزیستور M_1) خواهد بود.



شکل۱: هسته‌ی مدار تقویت‌کننده‌ی کم‌نویز پیشنهادی

مقاومت‌های R_{L1} و R_{L2} به ترتیب مقاومت‌های بار طبقه گیت مشترک و سورس مشترک هستند. برای حذف نویز ترانزیستور M_1 و داشتن سوییینگ تفاضلی یکسان در خروجی‌ها، R_{L1} باید حدوداً N برابر R_{L2} باشد. ترانزیستور M_3 با ابعاد W_3/L_3 و g_{m3} نقش طبقه‌ی کمکی A را بازی می‌کند که باعث افزایش g_m ورودی می‌گردد. مقاومت R_{D3} بسیار بزرگتر از $1/g_{m1}$ است و برای بایاس درین M_3 در نظر گرفته شده‌است. در ادامه، چگونگی تحلیل و استخراج پارامترهای مهم تقویت‌کننده شامل تطبیق امپدانس، بهره و نویز مورد بحث قرار می‌گیرد [14-30].

۲-۱- تطبیق امپدانس ورودی

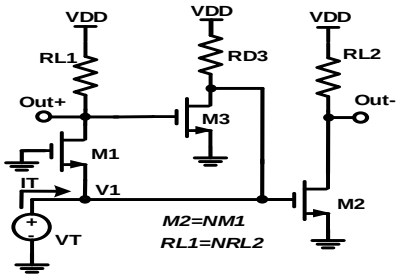
شکل ساده شده تقویت‌کننده کم‌نویز پیشنهاد شده برای محاسبه تطبیق امپدانس در شکل (۲) رسم شده‌است. با فرض داشتن منبع v_T در ورودی و جریان عبوری i_T امپدانس ورودی از تقسیم ولتاژ به جریان ورودی حاصل خواهد شد. بنابراین با نوشتن KCL در گره ورودی خواهیم داشت:

$$i_T = g_{m1}v_T + g_{m3}(g_{m1}R_{L1}v_T) \qquad (۱)$$

با توجه به این‌که مقاومت R_{D3} نسبت به مقاومت منبع بسیار بیشتر است، از جریان آن صرفنظر می‌شود. بنابراین امپدانس ورودی برابر است با:

$$R_{in} = \frac{v_T}{i_T} = \frac{1}{g_{m1}(1+g_{m3}R_{L1})} = R_s \qquad (۲)$$

برای داشتن تطبیق امپدانس در ورودی باید رابطه بالا برابر R_s (۵۰ اهم) گردد. همان‌گونه که در رابطه (۲) دیده می‌شود، g_m ترانزیستور ورودی در عبارت $(1+g_{m3}R_{L1})$ ضرب شده و افزایش می‌یابد. بنابراین با صرف توان کمتری می‌توان به g_m مناسب برای تطبیق امپدانس (۲۰ mS) دست یافت.



شکل۲: مدار ساده شده تقویت‌کننده کم‌نویز پیشنهاد شده برای محاسبه تطبیق امپدانس

۲-۲- محاسبه‌ی بهره

با توجه به شکل (۲)، از آنجا که منبع V_s ورودی دارای امپدانس R_s است و تطبیق امپدانسی نیز لحاظ شده‌است، ولتاژ سورس ترانزیستور گیت مشترک برابر $V_s/2$ است، بنابراین ولتاژ گره‌های مثبت و منفی در خروجی به ترتیب برابر است با:

$$V_{Out}^{+} = g_{m1}R_{L1}\left(\frac{V_s}{2}\right) \qquad (۳)$$

$$V_{Out}^{-} = -g_{m2}R_{L2}\left(\frac{V_s}{2}\right) = -Ng_{m1}\frac{R_{L1}}{N}\left(\frac{V_s}{2}\right) = -g_{m1}R_{L1}\left(\frac{V_s}{2}\right) \qquad (۴)$$

بنابراین بهره در این ساختار برابر است با:

$$A_V = \frac{V_{Out}^{+} - V_{Out}^{-}}{V_s} = g_{m1}R_{L1} \qquad (۵)$$

مقاومت R_{L1} در این ساختار همواره کمتر از ۶۰۰ اهم است. دلیل این امر خازن‌های پارازیتی گره خروجی است که در کنار این مقاومت پهنای باند تقویت‌کننده را محدود می‌کند. همچنین g_{m3} در رابطه‌ی بالا نمی‌تواند زیاد باشد. دلیل این امر نیاز به توان مصرفی بالا برای M_3 و همچنین کاهش g_{m1} مطابق رابطه (۲) برای تطبیق امپدانس است که این امر منجر به کاهش بهره مطابق رابطه (۵) خواهد شد.

با در نظر گرفتن شرایط بالا، در مدار پیشنهاد شده $g_{m3}R_{L1}$ برابر واحد و مقاومت R_{L1} برابر ۶۰۰ اهم در نظر گرفته شده‌است. لذا میزان g_{m3} و g_{m1} به ترتیب برابر ۱/۶۷ mS و ۱۰ mS به دست می‌آید. از آنجایی که g_{m3} نسبت به g_{m1} بسیار کمتر است توان تلفاتی آن قابل صرفنظر بوده و تطبیق امپدانس در این ساختار نسبت به ساختار گیت مشترک معمولی، با پنجاه درصد توان مصرفی کمتر حاصل می‌شود.

۲-۳- ملاحظات مداری

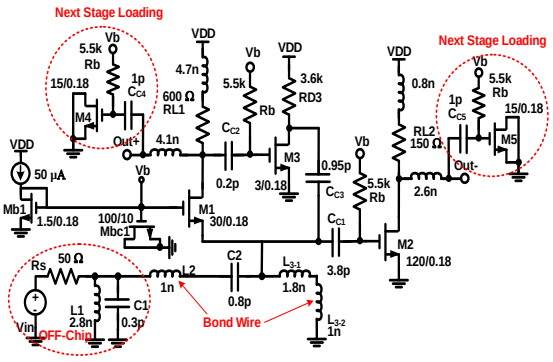
پس از استخراج مقادیر بهره و امپدانس ورودی، طراحی مدار تقویت‌کننده و شبیه‌سازی آن مورد بحث قرار می‌گیرد. شکل (۳) مدار کامل تقویت‌کننده پیشنهادی را نشان می‌دهد. این مدار شامل بخش‌های فیلتر ورودی، طبقه گیت مشترک، طبقه سورس مشترک و تقویت‌کننده کمکی یا بوستر است که در ادامه به بررسی آن می‌پردازیم.

www.SID.ir

Archive of SID

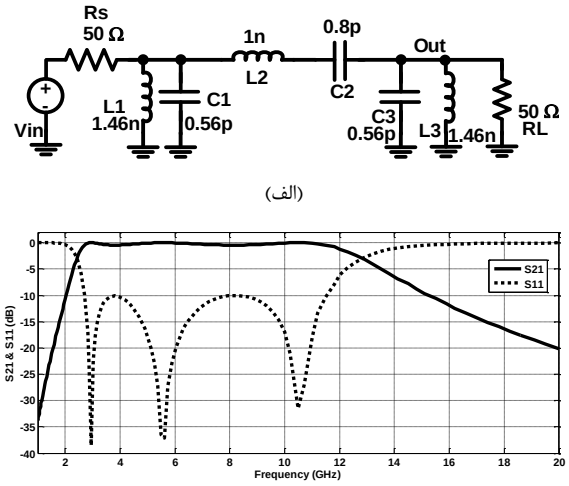
۲-۳-۱- فیلتر ورودی پهن باند

سورس ترانزیستور گیت مشترک دارای خازن پارازیتی بسیار بزرگی است. این خازن به همراه مقاومت منبع و مقاومت ورودی تقویت‌کننده، باعث ایجاد یک فیلتر پایین گذر می‌شود و پهنای باند سیگنال را کاهش می‌دهد. به‌کار بردن یک سلف در ورودی برای نوسان با خازن پارازیتی ورودی در کاربردهای پهن باند چندان موثر نیست، زیرا Q مدار تشدید بزرگتر از یک می‌باشد و نوسان سلف و خازن در باند فرکانسی کوچکی رخ می‌دهد و نمی‌تواند محدوده‌ی وسیع ۳/۱ GHz تا ۱۰/۶ GHzرا پوشش دهد. برای حل این مشکل، یک فیلتر چبیچف پهن‌باند در ورودی پیشنهاد شده‌است تا خازن پارازیتی ورودی را در خود ادغام نماید. فیلتر چبیچف نسبت به فیلتر باتروث دارای ریپل در باند خود است، ولی گذارها در دو طرف باند در فیلتر چبیچف سریعتر است و خازن‌ها ورودی و خروجی در این فیلتر نسبت به باتروث بزرگتر است. با توجه به نکات بالا، فیلتر چبیچف انتخاب گردید. همچنین در انتخاب پیکربندی فیلتر دو نکته مد نظر قرار گرفت: اول اینکه خروجی فیلتر دارای L و C موازی باشد تا C فیلتر توسط خازن‌های پارازیتی ورودی تعیین گردد و L فیلتر مسیر جریان DC ترانزیستور گیت مشترک را تامین کند. نکته دوم، اتصال ورودی به تقویت‌کننده از طریق یک باند وایر (bond-wire) صورت می‌گیرد که سلف آن حدود ۱nH است و طراحی به صورتی انجام می‌شود که سلف باند وایر در فیلتر ادغام گردد. با توجه به نکات بالا فیلتر میان گذر چبیچف مرتبه ۶ با ریپل داخل باند ۰/۵ dB برای فرکانس گذر ۲/۷ GHz تا ۱۱/۷ GHz طراحی گردید. فیلتر طراحی شده برای پهنای باند با ضریب افزایش ۱۰٪ نسبت به باند UWB طراحی گردیده است تا تغییرات عناصر در هنگام ساخت را پوشش داده و باند UWB دچار تضعیف نگردد.



شکل۳: مدار کامل تقویت‌کننده کم‌نویز پیشنهادی

در شکل (۴)-الف مدار فیلتر پیشنهادی در ورودی نشان داده شده‌است. در این مدار L_1 و C_1 عناصر خارج تراشه هستند. L_2 توسط باند وایر ایجاد می‌گردد و C_2 یک خازن روی تراشه MIMcap است. L_3 به دو قسمت L_{3-1} و L_{3-2} تقسیم می‌شود که، L_{3-2} برابر 1nH است و توسط باند وایر پیاده سازی می‌شود و مابقی آن، L_{3-1} توسط سلف روی تراشه، سلف مارپیچی[1] ایجاد می‌گردد. خازن C_3 نیز توسط خازن‌های پارازیتی مدار در گره ورودی ایجاد می‌شود. در شکل (۴)-ب نمودارهای S_{21} و S_{11} فیلتر پیشنهادی در حوزه فرکانس رسم شده‌است. همان طور که دیده می‌شود میزان ریپل گذر در باند UWB کمتر از ۰/۴۵ dB است و همچنین تلفات برگشتی از dB ۱۰- کمتر است.



(الف)

(ب)

شکل۴: (الف) مدار فیلتر پیشنهادی (فیلتر اولیه) و (ب) نمودار های S_{21} و S_{11} فیلتر پیشنهادی در حوزه فرکانس

۲-۳-۲- هسته‌ی اصلی تقویت‌کننده پیشنهادی

الف: طبقه گیت مشترک

در تقویت‌کننده پیشنهادی از ساختار g_m-boosting استفاده شده‌است. با توجه به محدودیت مقاومت بار و بهره تقویت‌کننده گیت مشترک، ضریب افزایش g_m برابر ۲ در نظر گرفته شده‌است. بنابراین برای رسیدن به مقاومت ورودی ۵۰ اهم به g_m برابر ۲۰mS نیاز است و از آنجا که ضریب افزایش g_m برابر ۲ در نظر گرفته شده‌است پس، g_m تقویت‌کننده گیت مشترک باید برابر ۱۰mS باشد. برای طراحی تقویت‌کننده گیت مشترک دو پارامتر اساسی توان مصرفی پایین و ابعاد ترانزیستور کوچک مد نظر قرار گرفت. توان مصرفی پایین برای این طبقه نیاز است، زیرا طبقه سورس مشترک با ابعادی ۴ برابر بزرگتر از طبقه گیت مشترک است، لذا توان مصرفی آن نیز ۴ برابر گیت مشترک است. ابعاد ترانزیستور سورس مشترک ۴ برابر گیت مشترک است، بنابراین خازن‌های پارازیتی بزرگی در ورودی و خروجی تحمیل می‌کنند که می‌تواند پهنای باند مدار را در فرکانس‌های بالا تحت تاثیر قرار دهد.

[1] Spiral Inductor

www.SID.ir

Archive of SID

با توجه به نکات بالا، ابعاد ترانزیستور گیت مشترک برابر $\frac{۳۰\mu m}{۰/۱۸\mu m}$ و جریان بایاس آن ۰/۹ mA در نظر گرفته شد تا g_m برابر ۱۰ mS بدست آید. از آنجا که تغذیه مدار برای داشتن توان مصرفی پایین برابر ۱ ولت در نظر گرفته شده‌است و با توجه به اینکه در این تقویت‌کننده از یک منبع جریان ۵۰ میکرو آمپری با آرایش Diode Connected جریان بایاس عناصر را تامین می‌کند، استفاده شده‌است، با در نظر گرفتن ۶۰۰ اهم به عنوان بار خروجی این طبقه، ماکزیمم سوییینگ متقارن خروجی نیز حاصل می‌شود. با داشتن بار خروجی ۶۰۰ اهم و پهنای باند ۱۱/۷ GHz باید خازن خروجی کمتر از ۲۷ fF باشد. خازن خروجی با توجه به خازن‌های پارازیتی مربوط به ترانزیستورهای گیت مشترک، g_m-boosting و حتی طبقه بعد، به مراتب بیشتر از ۲۷ fF است. برای حل این مشکل از روش Inductive Peaking سری و موازی (استفاده از سلف‌های ۰/۸ nH، ۴/۷ nH و نیز ۲/۶ nH و ۴/۱ nH) در خروجی به‌صورت همزمان استفاده شده‌است. مقادیر سلف ها به گونه‌ای انتخاب شده‌است که پهنای باند مورد نظر با توجه به اثرات بار طبقه بعد پوشش داده شود.

ب: طبقه سورس مشترک

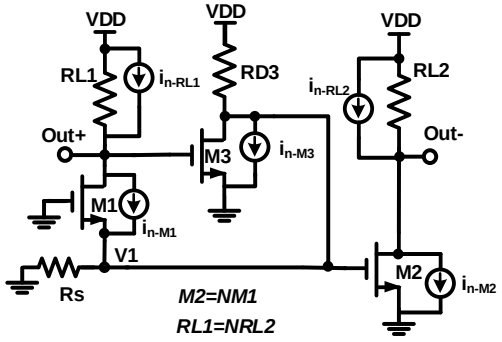
طبقه سورس مشترک برای حذف نویز طبقه گیت مشترک پیشنهاد داده شده‌است. برای داشتن نویز پایین توان و خازن‌های پارازیتی قابل قبول، ابعاد آن ۴ برابر طبقه گیت مشترک است. بنابراین $\frac{W}{L}$ این ترانزیستور $\frac{۱۲۰\mu m}{۰/۱۸\mu m}$ است و جریان بایاس آن ۳/۶ mA می باشد. بار مقاومتی این ترانزیستور برابر ۱۵۰ اهم است و برای داشتن تقارن با طبقه گیت مشترک در خروجی از روش Inductive Peaking سری و موازی در خروجی نیز استفاده شده‌است.

ج: طبقه g_m-Booster

ترانزیستور M_3 نقش g_m-booster را در مدار پیشنهادی بر عهده دارد. از آنجایی که باید $g_{m3}R_{L1} = ۱$ باشد و مقدار R_{L1} برابر ۶۰۰ اهم است، میزان g_{m3} باید برابر ۱/۶۷ mS باشد. بنابراین با در نظر گرفتن $\frac{۵\mu m}{۰/۱۸\mu m}$ برای ابعاد ترانزیستور و مصرف جریان حدود ۰/۱۵ mA این امر محقق می‌گردد. همچنین برای داشتن ولتاژ بایاس یکسان در درین ترانزیستورهای تقویت‌کننده، مقاومت درین ترانزیستور Booster برابر ۳۶۰۰ اهم در نظر گرفته شده‌است. این مقاومت فقط تعیین کننده بایاس درین M_3 است و در برابر مقاومت ۵۰ اهم منبع قابل صرفنظر است. ذکر این نکته ضروری است که اندازه خازن‌های کوپلاژی که در تقویت‌کننده در نظر گرفته شده‌است به گونه‌ای است که ۵ تا ۱۰ برابر خازن‌های سر خروجی آن باشد تا از تضعیف سیگنال جلوگیری شود.

۳- محاسبه‌ی عدد نویز

برای محاسبه‌ی عدد نویز (NF) در این ساختار، میزان توان نویز تک تک عناصر مدار در خروجی محاسبه و سپس حاصل جمع آنها بر میزان توان نویز مقاومت منبع در خروجی، تقسیم می‌گردد.



شکل۵: مدار ساده شده تقویت‌کننده کم نویز پیشنهاد شده با لحاظ شدن منابع نویز

۳-۱- تحلیل اثر نویز ناشی از مقاومت منبع و ترانزیستور M_1 در خروجی

میزان نویز ولتاژی موثر منبع برابر $\sqrt{4kTR_S}$ است که k ثابت بولتزمن و برابر 1.38×10^{-23} J/K است و T دمای محیط بر حسب کلوین می‌باشد. با توجه به بهره مدار مطابق رابطه (۵)، توان نویز خروجی ناشی از نویز مقاومت منبع برابر است با:

$$\overline{V_{n,out-R_s}}^2 = 4kTR_s(g_{m1}R_{L1})^2 \qquad (۶)$$

در مدار شکل (۵)، i_{n-M1} جریان نویزی موثر ترانزیستور M_1 است که مقدار آن برابر $\sqrt{4kT\gamma g_{m1}}$ است و γ یک عدد ثابت جهت تعیین سهم مقاومتی کانال در نویز افزاره MOS است که برای افزاره‌های کانال بلند برابر $\frac{۲}{۳}$ در نظر گرفته می‌شود. اگر ولتاژ گره سورس ترانزیستور گیت مشترک برابر V_1 در نظر بگیریم آنگاه، ولتاژ نویز ناشی از i_{n-M1} در گره Out- برابر است با:

$$\overline{V_{n,out^- - M_1}} = -Ng_{m_1}\frac{R_{L1}}{N}V_1 = -g_{m_1}R_{L_1}V_1 \qquad (۷)$$

همچنین ولتاژ نویز ناشی از i_{n-M1} در گره Out+ برابر است با:

$$\overline{V_{n,out^+ - M_1}} = -(i_{n-M1} - g_{m_1}V_1)R_{L_1} = g_{m_1}R_{L_1}V_1 - i_{n-M1}R_{L_1} \qquad (۸)$$

بنابراین میزان توان نویز خروجی ناشی از i_{n-M1} برابر است با:

$$\overline{V_{n,out-M_1}}^2 = \left(\overline{V_{n,out^+-M_1}} - \overline{V_{n,out^--M_1}}\right)^2 = \left((2g_{m_1}V_1 - i_{n-M1})R_{L_1}\right)^2 \qquad (۹)$$

برای محاسبه V_1، با نوشتن KCL در گره ورودی خواهیم داشت:

$$-\frac{V_1}{R_S} + i_{n-M1} - g_{m1}V_1 + g_{m3}(i_{n-M1} - g_{m1}V_1)R_{L1} = 0 \qquad (۱۰)$$

www.SID.ir

Archive of SID

بنابراین با جدا کردن ضرایب V_1 و i_{n-M1} و ساده‌سازی آن خواهیم داشت:

$$\mathbf{V_1 = i_{n-M1}\frac{1+g_{m3}R_{L1}}{\frac{1}{R_S}+g_{m1}(1+g_{m3}R_{L1})}} \quad (11)$$

با توجه به رابطه (۲) در مورد تطبیق امپدانس داریم:

$$V_1 = i_{n-M1}\frac{\frac{1}{g_{m1}R_S}}{\frac{1}{R_S}+\frac{1}{R_S}} = i_{n-M1}\frac{1}{2g_{m1}} \quad (12)$$

حال با جای گذاری رابطه (۱۲) در رابطه (۹) میزان توان نویز خروجی ناشی از i_{n-M1} برابر است با:

$$\overline{V_{n,out-M_1}}^2 = \left((2g_{m_1}(i_{n-M1}\frac{1}{2g_{m_1}}) - i_{n-M1})R_{L_1}\right)^2 = 0 \quad (13)$$

همانگونه که در رابطه (۱۳) دیده می‌شود، نویز ترانزیستور M_1 در خروجی به صورت تفاضلی از بین می‌رود و این عملکرد یکی از مزایای روش پیشنهادی برای کاهش نویز تقویت‌کننده است.

۳-۲- اثر نویز ناشی از ترانزیستور M_2 و M_3 در خروجی

در مدار شکل (۵) جریان موثر نویز ترانزیستور M_2 است i_{n-M2} که مقدار آن برابر $\sqrt{4kT\gamma g_{m2}}$ است. همان‌گونه که دیده می‌شود نویز این ترانزیستور فقط به خروجی منفی راه می‌یابد، بنابراین میزان توان نویز خروجی ناشی از i_{n-M2} برابر است با:

$$\overline{V_{n,out-M_2}}^2 = \left(\overline{V_{n,out^+-M_2}} - \overline{V_{n,out^--M_2}}\right)^2 = \overline{V_{n,out^--M_2}}^2 = (i_{n-M2}\frac{R_{L1}}{N})^2 = \frac{4kT\gamma g_{m1}R_{L1}^2}{N} \quad (14)$$

همانگونه که در رابطه (۱۴) دیده می‌شود اثر نویز M_2 با افزایش N کاهش می‌یابد. از آنجایی که افزایش N به طور مستقیم با افزایش جریان نسبت دارد، برای داشتن توان و نویز قابل قبول، مقدار N در این طراحی ۴ در نظر گرفته شده‌است.

جریان نویزی موثر ترانزیستور M_3، i_{n-M3}، برابر $\sqrt{4kT\gamma g_{m3}}$ است. همان‌گونه که دیده می‌شود نویز این ترانزیستور همانند نویز مقاومت منبع عمل می‌کند. بنابراین، ابتدا معادل تونن آن محاسبه و سپس مانند ورودی با آن عمل می‌گردد. در نتیجه میزان توان نویز خروجی ناشی از i_{n-M3} برابر است با:

$$\overline{V_{n,out-M_3}}^2 = (i_{n-M3}R_SA_V)^2 = 4kT\gamma g_{m3}(g_{m1}R_{L1}R_S)^2 \quad (15)$$

پس از محاسبه‌ی نویز ترانزیستورها، نویز مقاومت‌ها محاسبه می‌شود.

۳-۳- تحلیل اثر نویز ناشی از مقاومت‌های R_{D3} و R_{L2} و R_{L1}

مقاومت R_{D3} بعلت بزرگ بودن در برابر مقاومت R_s قابل صرفنظر است، بنابراین نویز این مقاومت نیز قابل صرفنظر می‌باشد. همانند ترانزیستور M_2، نویز ناشی از مقاومت R_{L2} فقط در خروجی منفی دیده می‌شود، بنابراین میزان توان نویز خروجی ناشی از مقاومت R_{L2} برابر است با:

$$\overline{V_{n,out-R_{L2}}}^2 = \left(\overline{V_{n,out^+-R_{L2}}} - \overline{V_{n,out^--R_{L2}}}\right)^2 = \overline{V_{n,out^--R_{L2}}}^2 = 4kTR_{L2} = \frac{4kTR_{L1}}{N} \quad (16)$$

برای محاسبه‌ی اثر نویز مقاومت R_{L1} نیز، در این مرحله برای مقاومت ذکر شده جریان موثر نویزی مقاومت R_{L1} یعنی i_{n-RL1} که مقدار آن برابر $\sqrt{4kT/R_{L1}}$ است، در نظر می‌گیریم. اگر ولتاژ گره سورس ترانزیستور M_1 را V_1 بنامیم، با نوشتن KCL در گره Out+ خواهیم داشت:

$$\frac{\overline{V_{n,out^+-R_{L1}}}}{R_{L1}} - i_{n-RL1} = g_{m1}V_1 \quad (17)$$

در نتیجه V_1 برابر است با:

$$V_1 = \frac{\left(\frac{\overline{V_{n,out^+-R_{L1}}}}{R_{L1}} - i_{n-RL1}\right)}{g_{m1}} \quad (18)$$

با نوشتن KCL در گره V_1 خواهیم داشت:

$$\frac{V_1}{R_s}+g_{m1}V_1+g_{m3}V_{n-out^+-RL1} = 0 \quad (19)$$

با توجه به رابطه‌ی فوق مقدار V_1 برابر است با:

$$V_1 = \frac{-g_{m3}\overline{V_{n,out^+-R_{L1}}}}{\left(\frac{1}{R_s}+g_{m1}\right)} \quad (20)$$

با مساوی قرار دادن روابط (۱۸) و (۲۰) و انجام ساده سازی و بهره‌گیری از رابطه (۲) خواهیم داشت:

$$\overline{V_{n,out^+-R_{L1}}} = \frac{i_{n-RL1}}{\left(\frac{1}{R_{L1}}+\frac{g_{m3}}{2+g_{m3}R_{L1}}\right)} = \frac{R_{L1}(2+g_{m3}R_{L1})i_{n-RL1}}{2(1+g_{m3}R_{L1})} \quad (21)$$

همچنین با استفاده از رابطه (۱۸)، ولتاژ گره Out- برابر است با:

$$\overline{V_{n,out^--R_{L1}}} = -Ng_{m1}\frac{R_{L1}}{N}V_1 = -\frac{g_{m1}R_{L1}\left(\frac{\overline{V_{n,out^+-R_{L1}}}}{R_{L1}}-i_{n-RL1}\right)}{g_{m1}} = i_{n-RL1}R_{L1} - \overline{V_{n,out^+-R_{L1}}} \quad (22)$$

بنابراین میزان ولتاژ نویز خروجی ناشی از مقاومت R_{L1} برابر است با:

$$\overline{V_{n,out-R_{L1}}} = \overline{V_{n,out^+-R_{L1}}} - \overline{V_{n,out^--R_{L1}}} = 2\overline{V_{n,out^+-R_{L1}}} - i_{n-RL1}R_{L1} \quad (23)$$

با جایگذاری رابطه (۲۱) در رابطه (۲۳) و لحاظ نمودن $g_{m3}R_{L1} = 1$ مطابق طراحی در بخش تطبیق امپدانس، میزان توان نویز خروجی ناشی شده از مقاومت R_{L1} برابر است با:

$$\overline{V_{n,out-R_{L1}}}^2 = \left(2\frac{R_{L1}(2+g_{m3}R_{L1})i_{n-RL1}}{2(1+g_{m3}R_{L1})} - i_{n-RL1}R_{L1}\right)^2 = \left(\frac{i_{n-RL1}R_{L1}}{2}\right)^2 = kTR_{L1} \quad (24)$$

۳-۴- نویز مجموع در خروجی و عدد نویز در مدار پیشنهادی

توان نویز مجموع برابر است با مجموع توان نویز ناشی از عناصر مدار، که برابر است با:

www.SID.ir

Archive of SID

$$\overline{V_{n,out-Tot}}^2 = \overline{V_{n,out-R_S}}^2 + \overline{V_{n,out-M1}}^2 + \overline{V_{n,out-M2}}^2 + \overline{V_{n,out-M3}}^2 + \overline{V_{n,out-R_{L1}}}^2 + \overline{V_{n,out-R_{L2}}}^2 \quad (۲۵)$$

با توجه به روابط فوق خواهیم داشت:

$$\overline{V_{n,out-Tot}}^2 = 4kTR_s\left(g_{m1}R_{L1}\right)^2 + 0 + \frac{4kT\gamma g_{m1}{R_{L1}}^2}{N} + 4kT\gamma g_{m3}\left(g_{m1}R_{L1}R_s\right)^2 + \frac{4kTR_{L1}}{N} + kTR_{L1} \quad (۲۶)$$

با توجه به مقادیر طراحی برای N = ۴ و $g_{m3}R_{L1}$ = ۱، نویز مجموع در خروجی برابر است با:

$$\overline{V_{n,out-Tot}}^2 = 4kTR_s(g_{m1}R_{L1})^2 + kT\gamma {g_{m1}R_{L1}}^2 + 4kT\gamma R_{L1}(g_{m1}R_s)^2 + 2kTR_{L1} \quad (۲۷)$$

در نتیجه عدد نویز به‌صورت زیر خلاصه خواهد شد:

$$NF = \frac{\overline{V_{n,out-Tot}}^2}{\overline{V_{n,out-R_s}}^2} = 1 + \frac{\gamma}{4g_{m1}R_s} + \frac{\gamma R_s}{R_{L1}} + \frac{1}{2{g_{m1}}^2R_sR_{L1}} \quad (۲۸)$$

رابطه (۲۸)، عدد نویز ساده شده تقویت‌کننده کم‌نویز پیشنهادی را بیان می‌کند که جمله دوم سمت راست رابطه، مربوط به نویز M_2، جمله سوم مربوط به نویز M_3 و جمله چهارم مربوط به مقاومت‌های بار R_{L1} و R_{L2} با سهم یکسان است. همچنین نویز M_1 نیز در این ساختار حذف شده‌است. با در نظر داشتن مقادیر g_{m1} =۱۰ mS، Ω R_L =۶۰۰ و R_s = ۵۰Ω مقدار NF نهایی به صورت ساده شده زیر خواهد شد:

$$NF = 1 + \frac{\gamma}{2} + \frac{\gamma}{12} + \frac{1}{6} = \frac{7}{6}(1 + \frac{\gamma}{2}) \quad (۲۹)$$

بعد از محاسبه‌ی نویز مدار به پایداری تقویت‌کننده می‌پردازیم:

فیدبک استفاده شده در این تقویت‌کننده از نوع ولتاژ- جریان می‌باشد، که مقدار β شبکه فیدبک برابر g_{m3} می‌باشد. A شبکه فیدبک نیز برابر $g_{m1}(\frac{1}{g_{m1}} \parallel R_S)\times R_{L1}$ است. در نتیجه، بهره‌ی حلقه[1] شبکه ی فیدبک به‌صورت زیر خواهد بود:

$$A\beta = (g_{m1}(\frac{1}{g_{m1}} \parallel R_S)\times R_{L1})\times g_{m3} \quad (۳۰)$$

طبق توضیحات قبل داشتیم که :

$$g_{m3}R_{L1} = 1$$

$$g_{m1} = \frac{1}{2R_S}$$

آن‌گاه رابطه‌ی (۳۰) به‌صورت زیر ساده خواهد شد:

$$A\beta = g_{m1}(\frac{1}{g_{m1}} \parallel R_S)\times 1 = \frac{1}{2R_S}(2R_S \parallel R_S) = \frac{1}{3} \quad (۳۱)$$

همان‌طور که رابطه‌ی (۳۱) نشان می‌دهد مقدار بهره‌ی حلقه کمتر از واحد می‌باشد؛ بنابراین تقویت‌کننده‌ی مورد نظر پایدار می‌باشد.

۴- نتایج شبیه‌سازی

تقویت‌کننده پیشنهادی در تکنولوژی ۰/۱۸μm CMOS طراحی و شبیه‌سازی شده‌است. نتایج شبیه‌سازی در دو حالت، قبل و بعد از جانمایی مدار به همراه تحلیل دمایی گوشه‌های SS، TT و FF در دماهای ۴۰-، ۲۷ و ۱۲۰درجه سانتیگراد ارائه شده‌است. در شکل (۶) بهره تقویت‌کننده در گوشه‌های تکنولوژی و تغییرات دمایی بر حسب فرکانس در حالت‌های پیش و پس از جانمایی نشان داده شده‌است. همان طور که دیده می‌شود پس از جانمایی نسبت به پیش از آن، بهره حدوداً بین ۰/۵ dB تا ۱ dB کاهش داشته است به گونه‌ای که در باند ۲/۲ GHz تا ۱۲/۲ GHz بهره تقویت‌کننده بین ۱۶/۵ dB تا ۱۹ dB تغییر می‌کند. در شکل(۷) عدد نویز تقویت‌کننده در گوشه‌های تکنولوژی و تغییرات دمایی بر حسب فرکانس در حالت‌های پیش و پس از جانمایی نشان داده شده‌است. پس از جانمایی نسبت به پیش از آن، عدد نویز حدوداً ۰/۵ dB افزایش داشته است، به گونه‌ای که حداقل عدد نویز تقویت‌کننده برابر dB ۳/۵ پس از جانمایی می‌باشد. در شکل (۸) میزان تلفات برگشتی ورودی یا S_{11} تقویت‌کننده در گوشه‌های تکنولوژی و تغییرات دمایی بر حسب فرکانس در حالت‌های پیش و پس از جانمایی نشان داده شده‌است. همان طور که دیده می‌شود پس از جانمایی نسبت به پیش از آن در برخی فرکانس‌ها میزان S_{11} کاهش داشته است (میزان تغییرات S_{11} در بازه‌ی فرکانسی ۲/۲ GHz تا ۱۲/۲ GHz از ۲۰ dB- تا ۱۲ dB- می‌باشد). برای تعیین پارامتر خطسانی تقویت‌کننده، دو تون با توان یکسان در فرکانس‌های ۳/۵ GHz و ۴ GHz به ورودی تقویت‌کننده اعمال شد. سپس توان هارمونیک اصلی در فرکانس ۴ GHz و اینترمدلاسیون مرتبه سوم آن در فرکانس ۴/۵GHz برای ورودی‌های با قدرت متفاوت شبیه سازی شد. نتایج حاصل از این شبیه‌سازی در شکل (۹) رسم شده‌است. با توجه به این شکل، IIP_3 این تقویت‌کننده برابر ۱/۳ dBm- می‌باشد. بعلاوه برای بدست آوردن IIP_2 تقویت‌کننده همانند بالا، توان هارمونیک اصلی در فرکانس ۴ GHz و اینترمدلاسیون مرتبه دوم آن در فرکانس ۷/۵GHz برای ورودی‌های با قدرت متفاوت شبیه‌سازی شد. نتایج حاصل از این شبیه‌سازی در شکل (۱۰) رسم شده‌است. با توجه به این شکل، IIP_2 این تقویت‌کننده برابر ۷/۸ dBm+ می‌باشد. با توجه به این شکل ها مقادیر IIP_3 و IIP_2 تقویت‌کننده پس از جانمایی به ترتیب ۰/۱ dBm- و ۱۱ dBm است. برای یافتن نقطه‌ی فشردگی ۱dB (1dBcp) تقویت‌کننده، بهره هارمونیک اصلی مدار در فرکانس 4 GHz برای توان‌های مختلف ورودی در پیش و پس از جانمایی در شکل (۱۱) رسم شده‌است. بهره در این فرکانس به ترتیب ۱۷/۴ dB و ۱۶/۸ dB برای حالت‌های پیش و پس از جانمایی است. با توجه به شکل (۱۱) نقاط 1dBcp برای این تقویت‌کننده به ترتیب برابر با ۱۵dBm- و ۱۴/۵ dBm- می‌باشد. جانمایی مدار نیز در تکنولوژی ۰/۱۸ μm انجام پذیرفت. شکل (۱۲) جانمایی تقویت‌کننده را نشان می دهد. فضای اشغالی توسط تقویت‌کننده ۷۵۰μm×۵۵۰μm است. در این جانمایی تلاش شده که عناصر مداری تا حد امکان به هم

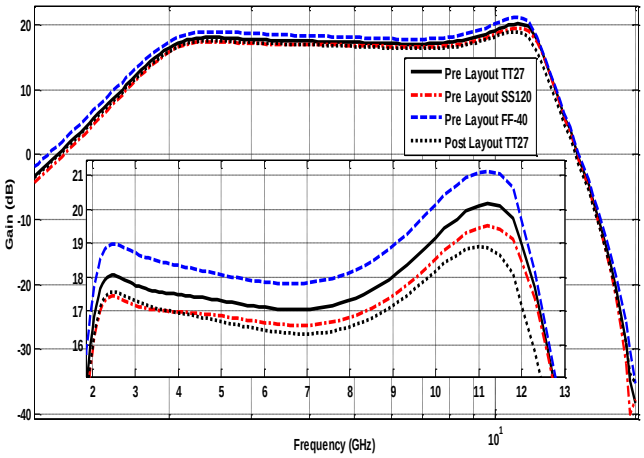
[1] Loop Gain

www.SID.ir

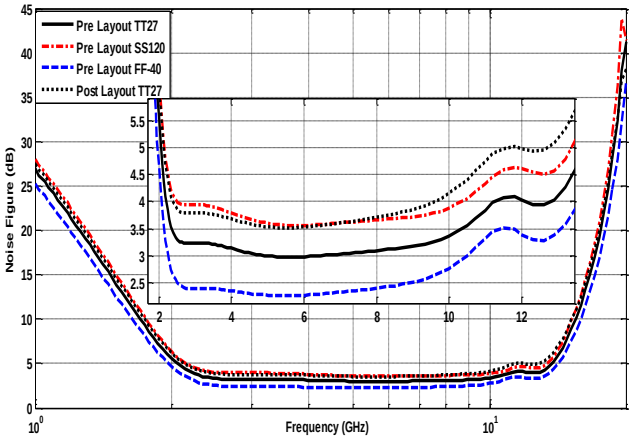
Archive of SID

نزدیک باشند و مسیرهای سیگنال کوتاه و در لایه های متال ۵ و ۶ با عناصر پارازیتی کمتر باشد.

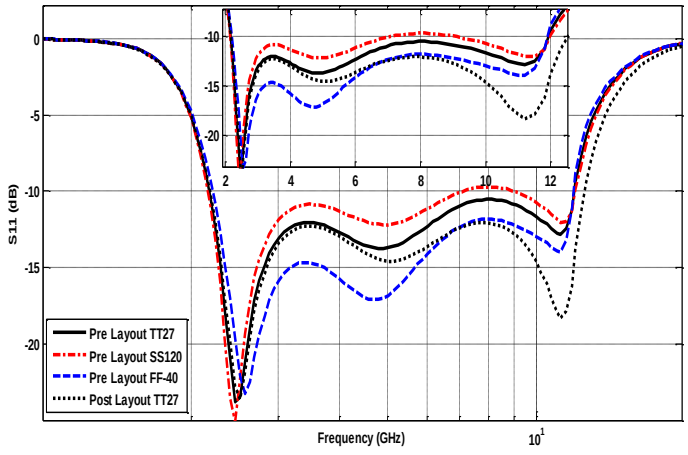
هم‌چنین تحلیل مونت کارلو برای تقویت‌کننده‌ی طراحی شده در حالت پساجانمایی انجام پذیرفته است. با توجه به فوق پهن باند بودن تقویت‌کننده‌ی کم‌نویز و پوشش فرکانسی آن، شبیه‌سازی‌های صورت گرفته در میانه‌ی پهنای باند (فرکانس ۶/۵ GHz) و با ۱۰۰ نمونه تکرار صورت گرفته‌است. شکل (۱۳) تحلیل مونت کارلو برای پارامتر بهره با ۱۰۰ نمونه تکرار در فرکانس ۶/۵ GHz را نشان می‌دهد. همان‌گونه که دیده می‌شود مقدار میانگین بهره حدود dB ۱۷/۰۳ و میزان انحراف معیار آن هم برابر ۱۷۱/۹۴۱ mdB می‌باشد. شکل (۱۴) تحلیل مونت کارلو برای پارامتر نویز با صد نمونه تکرار در فرکانس ۶/۵ GHz را نشان می‌دهد. با توجه به نتایج به دست آمده مقدار متوسط نویز حدود ۳/۰۰۲ dB و میزان انحراف معیار آن هم برابر ۶۸/۵ mdB می‌باشد. شکل (۱۵) تحلیل مونت کارلو برای پارامتر S_{11} با صد نمونه تکرار در فرکانس ۶/۵ GHz را نشان می‌دهد. با توجه به نتایج به دست آمده مقدار متوسط S_{11} حدود dB ۱۱/۵۲- و میزان انحراف معیار آن هم برابر ۴۴۵/۱۰۹ mdB می‌باشد.



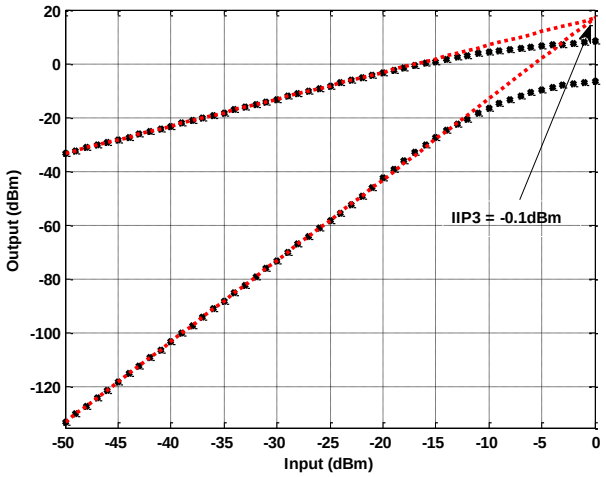
شکل۶: بهره تقویت‌کننده



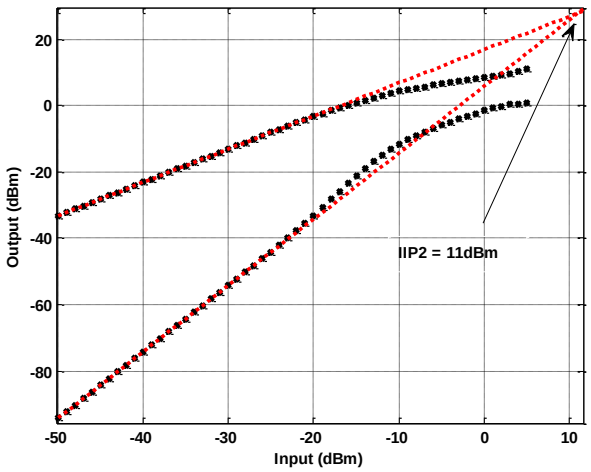
شکل۷: عدد نویز تقویت‌کننده



شکل۸: S_{11} تقویت‌کننده



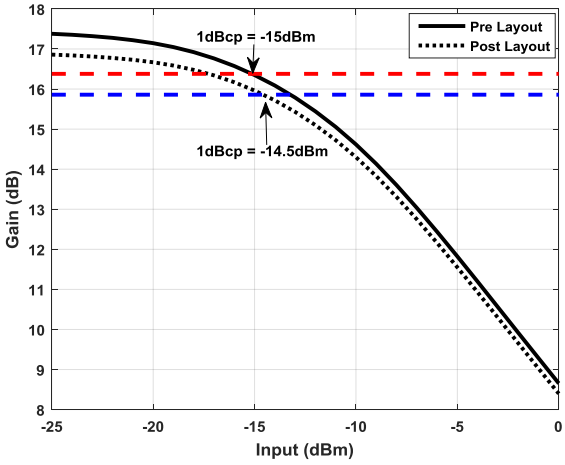
شکل۹: توان هارمونیک های اول و سوم خروجی تقویت‌کننده بر حسب توان ورودی پس از جانمایی



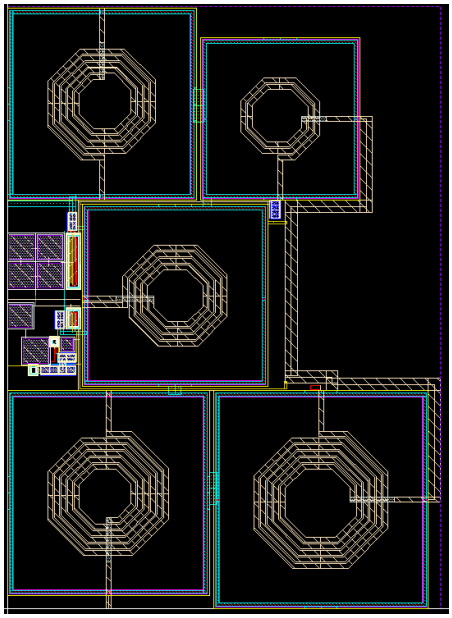
شکل۱۰: توان هارمونیک های اول و دوم خروجی تقویت‌کننده بر حسب توان ورودی پس از جانمایی

www.SID.ir

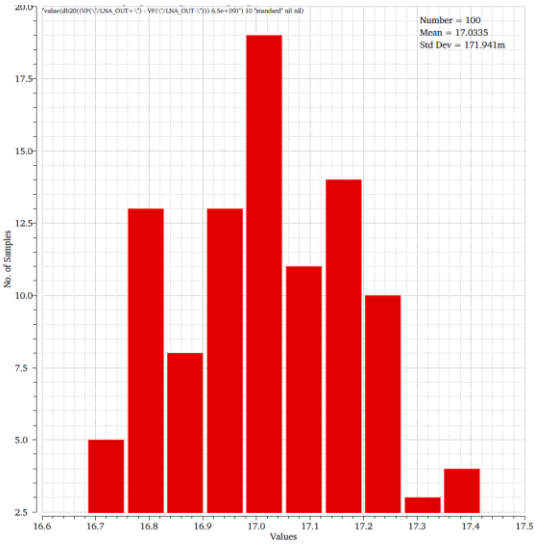
Archive of SID



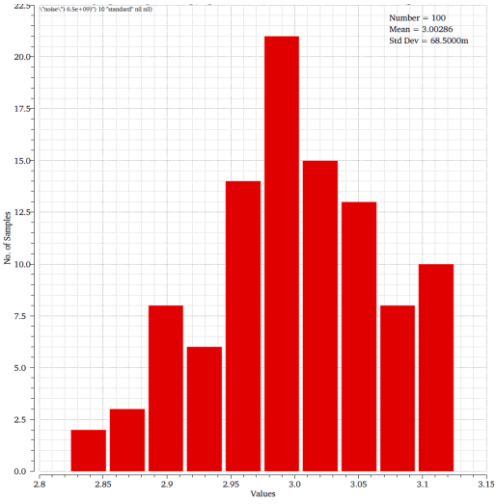
شکل۱۱: P_{1dB} تقویت‌کننده



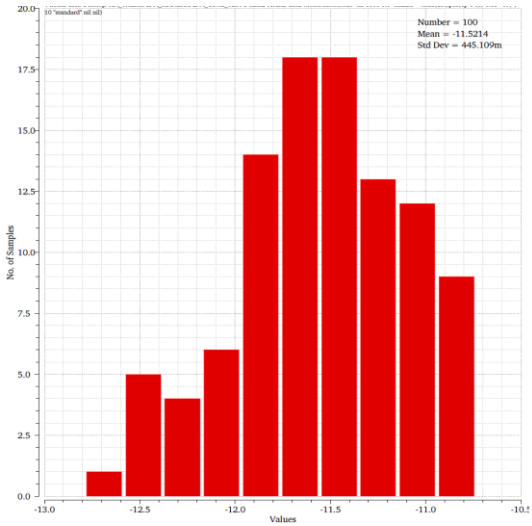
شکل۱۲: جانمایی تقویت‌کننده پیشنهادی



شکل۱۳: نتیجه مونت کارلو بهره در فرکانس ۶/۵ GHz



شکل۱۴: نتیجه مونت کارلو نویز در فرکانس ۶/۵ GHz



شکل۱۵: نتیجه مونت کارلو S_{11} در فرکانس ۶/۵ GHz

۴-۱- نتیجه گیری و مقایسه با کارهای پیشین

مشخصات پس از جانمایی این تقویت‌کننده به همراه مشخصات برخی از کارهای پیشین در جدول (۱) خلاصه شده‌است. با توجه به بکارگیری همزمان Inductive Peaking سری و موازی در خروجی، پهنای باند و بهره این تقویت‌کننده بالاست به گونه‌ای که در بین کارهای پیشین، از مشخصات قابل قبولی برخوردار است. همچنین استفاده از فیلتر چیپچف در ورودی، باعث جذب خازن ورودی در فیلتر چیپچف شده در نتیجه S_{11} این تقویت‌کننده کمتر از ۱۲ dB- در کل باند عبور است. علاوه بر این، کمترین عدد نویز این تقویت-کننده ۳/۵ dB است و با توجه به بکارگیری روش های Noise-Cancellation و g_m-Boosting ضمن آن‌که میزان نویز در کل باند کاهش یافته، جریان و به تبع آن، توان مصرفی تقویت‌کننده هم پایین آمده است به‌طوری که توان مصرفی تنها ۴/۸ mW در کل پهنای باند می‌باشد و عدد نویز تقویت‌کننده نیز کمتر از ۵ dB می-باشد.

www.SID.ir

Archive of SID

جدول (۱): مشخصات تقویت‌کننده طراحی شده در این پایان نامه در مقایسه با کارهای مشابه دیگران

تکنولوژی CMOS [nm]	سطح تراشه [mm^2]	توان مصرفی [mW]	IIP3 [dBm]	NF [dB]	S_{21} [dB]	S_{11} [dB]	فرکانس [GHZ]	مرجع
130	0.68	30	3.2~5	4.25±0.35	9.8±1.5	<-9.2	2.2~9	[14]
180	0.88	22	-11.5	2.8±0.3	14.07±1.69	<-10	3~10	[15]
180	0.39	18	-0.2	2.3±0. 1	13.7±1.5	<-10.7	3~10	[16]
180	0.52	11.8	-6.5	2.9±0.9	12.52±0.81	<-10.25	3~10	[17]
180	1.1	9	-8.8	7±3	10.4	<-9.4	2.4~9.5	[18]
90	0.64	7.2	NA	5±2	11±1.5	<-9	3~10	[19]
65	0. 1	21	0	3.25±0.25	14.6±1*	<-10	0.2~5.2	[20]
180	-	13.41	10	1.75±0.75	15.3	<-10	3~5	[21]
130	0.32	13.2	1.8	2.6±0.8	14±1	<-10	1.2~6.6	[22]
130	0.76	7.2	-5	7.35±4	11±1.5	<-8.3	3~10.35	[23]
130	-	5.8	-13	2.9±0.5	9.5±1.5	<-11	1.25~11.34	[24]
180	-	9.29	-12.3	3.46±0.36	14*	<-11.3	3.1~10	**[25]**
110	-	2.9	-4.6	3.65±0. 5	17±0.5*	<-12.4	3~10	[26]
130	-	7	-4.8	5±0.5	12±2.5	<-10	3.1~10.6	[27]
130	-	8	-	4.2±0.3	12.5±1.5	<-9	1.1~11.4	[]
180	**0.42**	**4.8**	**-0.1**	**4.25±0.75**	**17.5±1.5***	**<-12**	**2.2~12.2**	This work

***Voltage gain**

مراجع:

[1] A. Parhizkar Tarighat, M. Yargholi, “A CMOS low noise amplifier with employing noise cancellation and modified derivative superposition technique”, Microelectronics Journal, no.54, PP.116-125, 2016.

[2] K.Vavelidis, I. Vassiliou, T. Georgantas, A. Yamanaka, S. Kavadias, G.Kamoulakos, C. Kapnistis, S. Plevridis, and N. Haralabidis, “A dual-band 5.15-5.35 GHz, 2.4-2.5 GHz 0.18µm CMOS transceiver for 802.11a/b/g wireless LAN”, IEEE J. Solid- State Circuits, Vol. 39, no. 7, PP. 1180-1184, 2004.

[3] M. Zargari, M. Terrovitis, S. H. M. Jen, B. J. Kaczynski, M. Lee, M. P. Mack, S. S. Mendis, K, Onodera, H. Samavati, W. W. Si, K. Singh, A. Tabatabaei, D. Weber, D. K. Su, and B. A. Wooley, “A single-chip dual-band tri-mode CMOS transciverfor IEEE 802.11a/b/g wireless LAN ”, IEEE J. Solid-State Circuits, Vol. 39, no. 12, PP. 2239-2249, 2004.

[4] J. Kim, S. Hoyos, and J. Silva-Martinez, “Wideband common-gate CMOS LNA employing dual negative feedback with simultaneous noise, gain, and bandwidth optimization”, IEEE Trans. Microw.Theory Tech.,Vol. 58, no.9, PP.2340-2351,2008.

[5] D. Manstretta, “A broadband low noise single ended input differential output amplifier with IM2 canceling”, IEEE Radio Frequency Integrated Circuits Symposium, PP.79-82, 2008.

[6] R. C. Liu, C. S. Lin, K. L. Deng and H. Wang, “A 0.5-14 GHz 10.6dB Cascade Distributed Amplifier” Symposium on VLSI Circuits, Digest Of Technical Paper, PP.130-140, 2003.

[7] R. C. Liu, K. L. Deng and H. Wang, “A 0.6-22 GHz Broadband CMOS Distributed amplifier”, Digest Of Technical Papers in RFIC Symposium, PP.103-106, 2003.

[8] W. Chen, G. Liu, B. Zdravko, and A. Niknejad, “A Highly Linear Broadband CMOS LNA Employing Noise and Distortion Cancellation”, IEEE Journal of Solid-State Circuits, Vol.43, no.5, PP.1164-1167, 2008.

[9] H. P. Koringa and V. A. Shah, “Wideband Low Noise Amplifier For Next Generation Wireless RF Frontend” IJAREST International Journal, Vol.3, no.1, PP.116-125, 2016.

[10] F. Bruccoleri, E. A. M. Klumperink, and B. Nauta, “Noise cancelling in wideband CMOS LNAs”, in IEEE ISSCC Dig. Tech. Papers, pp. 406–407, 2002.

[11] S. C. Blaakmeer, E. A. M. Klumperink, D. M. W. Leenaerts, and B. Nauta, “A wideband noise-canceling CMOS LNA exploiting a

www.SID.ir

Archive of SID

[21] M. Yargholi and A. Parhizkar Tarighat, "UWB resistive feedback LNA employing noise and distortion cancellation", IEICE Electronics Express, Vol.9, No.17, PP. 1370-1377, September 2012.

[22] L. Wu, H. Leung, H. Luong, "design and analysis of CMOS LNAs with transformer feedback for wideband input Matching and noise cancellation", IEEE transactions on circuits and systems- Regular papers, pp.1-10, 2017.

[23] C. Y. Wu, Y. K. Lo, and M. C. Chen, "A 3–10 GHz CMOS UWB low-noise amplifier with ESD protection circuits", IEEE microwave and wireless components letters, vol. 19, no. 11, pp. 737-739, November 2009.

[24] A. Jamalkhah, A. Hakimi, "An ultra-wideband common gate LNA with gm-boosted and noise canceling techniques" Journal of information systems and telecommunication, vol. 2, no. 2, pp. 113-118, April-June 2014.

[25] M. Babasafari, and M. Yargholi, "A Low Power CMOS UWB LNA with Dual-band Notch Filter Using Forward Body Biasing", IETE Journal of Research,Vol.66, No.2, PP.127-138, 2020.

[26] M. Yargholi, A highly linear squarer design for energy-detection RF receivers, Microelectro J, vol. 44, pp. 658–662, 2013.

[27] A. Parhizkar Tarighat, M. Yargholi, "Low power active shunt feedback CMOS low noise amplifier for wideband wireless systems,", *Integration, the VLSI J.*, vol.69, PP.189-197, 2019.

[26] M. Lee, and I. Kwon, "3-10 GHz noise-cancelling CMOS LNA using gm-boosting technique" Journals of IET circuits, devices & systems, vol. 12, Iss. 1, pp. 12-16, 2018.

[27] M. Khurram, and S. M. R. Hasan, "Series peaked noise matched gm-boosted 3.1-10.6 GHz CG CMOS differential LNA for UWB wimedia" Electronics Letters, vol. 47, no. 24, November 2011.

[30] B. Hu, X. P. Yu, W. M. Lim, and K. S. Yeo, "Amplifier with input/output bandwidth optimization and single-ended/differential-input reconfigurability" IEEE trans. Of industrial electronics, vol. 61, no. 10, October 2014.

transformer," in Digest of Papers—IEEE Radio Frequency Integrated Circuits Symposium, pp. 137–140, 2006.

[12] S. C. Blaakmeer, E. A. M. Klumperink, B. Nauta, and D. M. W. Leenaerts, "An inductor less wideband balun-LNA in 65 nm CMOS with balanced output," in Proc. 33rd Eur. Solid-State Circuits Conf (ESSCIRC), pp. 364–367, 2007.

[13] S. C. Blaakmeer, E. A. M. Klumperink, D. M. W. Leenaerts, and B. Nauta, "A wideband balun LNA I/Q-mixer combination in 65 nm CMOS," in IEEE ISSCC Dig. Tech. Papers, pp. 326–327, 2008.

[14] G. D. Nguyen, K. Cimino, and M. Feng, "A RF CMOS amplifier with optimized gain, noise, linearity and return loss for UWB applications", in Proc. IEEE RFIC Symposium., pp. 505–508, 2008.

[15] Y. S. Lin, J. F. Chang, and S. S. Lu, "Analysis and design of CMOS distributed amplifier using inductively-peaking cascaded gain cell for UWB systems", IEEE Trans. Microwave. Theory Tech., vol. 59, no. 10,pp. 2513–2524, 2011.

[16] Y. S. Lin, C. C. Wang, G. L. Lee, and C. C. Chen, "High-Performance Wide band Low-Noise Amplifier Using Enhanced -Match Input Network", IEEE Microwave and Wireless Components .Letters ,Vol. 24, NO. 3, 2014.

[17] C. H. Wu, Y. S. Lin, J. H. Lee, and C. C. Wang, "A 2.87±0.19 dB NF, 3.1–10.6 GHz ultra-wideband low noise amplifier using 0.18CMOS technology", in Proc. IEEE Radio Wireless Symposium, pp. 227–230, 2012.

[18] A. Bevilacqua, and A. M. Niknejad, "An ultra-wideband CMOS low noise amplifier for 3.1-10.6-GHz wireless receivers", IEEE Journal of solid state circuit and systems, vol. 39, no. 12, pp. 2259-2268, December 2004.

[19] G. Sapone and G. Palmisano, "A 3–10-GHz low-power CMOS low noise amplifier for ultra-wideband communication", IEEE Trans. Microw. Theory Tech., vol. 59, no. 3, pp. 678–686, Nov. 2011.

[20] S. C. Blackmeer, E. A. M. Klumperink, D. M.W. Leenaerts, B. Nauta, "Wideband balun-LNA with simultaneous output balancing, noise-canceling and distortion-canceling", IEEE Journal of solid state circuit and systems, vol. 43, no. 6, pp. 1341-1350, June 2008.

www.SID.ir