طراحی یک ترانزیستور نانوسیم چندمنظوره برای پیاده سازی گیت های منطقی پایه

اشکان حری

استادیار گروه برق، واحد اراک، دانشگاه آزاد اسلامی، اراک، ایران a-horri@iau-arak.ac.ir

چکیده

در این مقاله، یک ترانزیستور نانو سیم چند منظوره جهت پیاده سازی توابع منطقی NOT، NAND و NOR طراحی شده است. در این طراحی از یک کانال نانوسیم سیلیسیومی با سطح مقطع(۷nmx۷nm) احاطه شده با اکسید سیلیسیوم ، استفاده شده است و روی آن اکسید، سه گیت مجزا قرار داده شده است. روش شبیه سازی بصورت حل خودسازگار معادلات شرودینگر-پواسن می باشد. نوع تابع منطقی بوسیله تغییر سطح ولتاژ گیت کنترلی و بدون تغییر سخت افزار و ساختار مداری تعیین می شود. با استفاده از این شبیه سازی، پتانسیل الکتریکی کانال، چگالی حامل ها و جریان الکتریکی افزاره محاسبه می شود. اثر هریک از گیت های ترانزیستور روی مشخصات الکتریکی این افزاره تحلیل و بررسی شده است. مقدار بهینه ناخالصی کانال برای متقارن بودن مشخصه توابع منطقی بدست آمده است. همچنین حاشیه های نویز محاسبه شده است. نتایج نشان می دهد که ترانزیستور طراحی شده می تواند موجب توسعه آینده مدارهای مجتمع گردد.

کلیدواژه

ترانزیستور نانو سیم، معادلات شرودینگر-پواسن،گیت های منطقی، حاشیه های نویز.

مقدمه

بیشتر تحقیقاتی که به منظور افزایش تعداد ترانزیستورها در یک تراشه صورت گرفته است، بر روی دو راه حل استوار شده اند. راه حل اول، طراحی مدار جدیدی می باشد که به تعداد کمتری ترانزیستور نیاز داشته باشد و راه حل دوم بر روی کوچک سازی ابعاد ترانزیستورها متمرکز شده است[۱-۲]. مطالعات بسیار زیادی مبتنی بر روش اول انجام گرفته است. همچنین کوچک سازی ترانزیستور زیر ابعاد نانومتر با محدودیت های فراوانی مواجه شده است[۳-۴].

علاوه بر این دو راه حل، راه حل سومی نیز موجود است که آن چند منظوره کردن یک ترانزیستور است. این روش می تواند تعداد مورد نیاز ترانزیستورها را در یک تراشه به شدت کاهش دهد. بطور مثال در منطق CMOS حداقل چهار ترانزیستور MOSFET برای عملکرد تابع NAND، چهار ترانزیستور MOSFET برای عملکرد تابع NOR و دو ترانزیستور MOSFET جهت پیاده سازی تابع NOT مورد نیاز است[۵] . این تعداد ترانزیستور حجم زیادی از یک تراشه را اشغال می کند. در حالیکه بوسیله یک ترانزیستور چند منظوره، می توان تمام این توابع را بوسیله یک تک ترانزیستور پیاده سازی کرد. در گذشته یک ترانزیستور با ساختار افقی بر پایه الکترولیت هادی پروتون و سه گیت مجزای افقی پیشنهاد شد که می توانست عملکرد دو تابع منطقی AND و OR را بصورت همزمان ایجاد کند [۶]. اما الکترولیت هادی پروتون سازگار با منطق CMOS نیست. اخیرا یک ترانزیستور چند منظوره بر پایه ماده دوبعدی MoS_2 پیشنهاد شده است. هرچند تغییر عملکرد این ترانزیستور آسان نبوده و برپایه تغییر ضخامت کانال یا تغییر نور محیط امکان پذیر می باشد [۷]. همچنین ساخت مواد دوبعدی در تیراژ بالا خود هنوز یک چالش می باشد[۸]. در این مقاله یک ترانزیستور با کانال سه بعدی پیشنهاد شده است که دارای سه گیت مجزا می باشد. دراین حالت کانال می تواند با استفاده از گیت های مختلف کنترل شود. در گذشته برای ترانزیستورهای با ابعاد بزرگ، استفاده از گیت های متعدد قابل توجه نبودند. زیرا هر گیت بصورت مجزا، کنترل کاملی روی کانال نداشت. ولی با کوچک شدن ابعاد کانال ترانزیستور (زیر ۷ نانومتر)، چنین طراحی هایی امکان پذیر شده است. با توجه به اینکه کانال ترانزیستور از سه جهت توسط گیت احاطه شده است، کنترل گیت بر کانال در مقایسه با ترانزیستورهای MOSFET بیشتر می باشد. درنتیجه این نوع از ترانزیستورها دارای بهره و مقاومت خروجی بالاتری نسبت به ترانزیستورهای MOSFET هستند[۹-۱۰]. طراحی که انجام داده ایم یک ترانزیستور با کانال نانوسیم از جنس سیلیسیوم می باشد و دارای سه گیت مجزای آلومنیومی می باشد. دو گیت از این سه گیت، ورودی های تابع منطقی می باشند و یک

www.SID.ir

تاریخ دریافت: ۱۳۹۸/۱۲/۱۴ تاریخ پذیرش: ۱۳۹۹/۰۶/۱۶

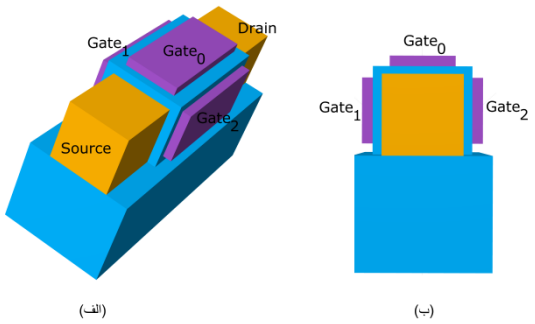
Archive of SID

گیت دیگر که گیت کنترلی نامیده می شود، وظیفه تعیین نوع تابع منطقی را دارد. با استفاده از این تک ترانزیستور، می توان توابع منطقی NOT، NAND و NOR را پیاده سازی کرد. پس از این مقدمه در قسمت بعد ساختار ترانزیستور و روش شبیه سازی توضیح داده می شود و بعد از آن نتایج شبیه سازی بحث می شود. در آن قسمت چگالی حامل ها در کانال، جریان ترانزیستور و مشخصه گیت ها بدست می آید. در نهایت نتیجه گیری ارائه می شود.

ساختار ترانزیستور و روش شبیه سازی

ساختار ترانزیستور

شکل سه بعدی و نمای کناری ترانزیستور پیشنهادی، به ترتیب در شکل ۱-الف و ۱-ب نشان داده شده است کانال ترانزیستور از جنس سیلیسیوم می باشد که مقدار عرض و ضخامت آن ۷ نانومتر و مقدار طول آن برابر ۳۲ نانومتر است. این کانال بوسیله اکسیدسیلیسیوم احاطه شده است و سه گیت مجزا از جنس آلومنیوم روی آن اکسید قرار گرفته است. مقدار ضخامت اکسید برابر یک نانومتر می باشد. مقدار چگالی ناخالصی فسفر کانال برابر $5\times10^{19}/cm^3$ (نوع n) می باشد. در نهایت کل این ساختار بر روی یک اکسید سیلیسیوم ضخیم قرار گرفته شده است. در این ساختار گیت بالای کانال ($Gate_0$) وظیفه تعیین نوع تابع منطقی و گیت های کناری ($Gate_1$) و ($Gate_2$) ورودی های تابع منطقی می باشند.



شکل ۱. الف) شکل سه بعدی و ب) نمای کناری از یک ترانزیستور نانو سیمی با سه گیت مجزا

روش شبیه سازی

شبیه سازی بوسیله کد نرم افزاری سیلواکو انجام شده است[۱۱]. مدل استفاده شده یک مدل نیمه کلاسیک می باشد. این مدل بر مبنای حل خودسازگار معادله شرودینگر دوبعدی عمود بر مسیر کانال برای در نظر گرفتن آثار کوانتومی و حل معادلات تک بعدی انتقال رانش-نفوذ و پیوستگی در مسیر کانال می باشد. این معادلات با استفاده از روش Sharfetter-Gummel گسسته سازی شده است.

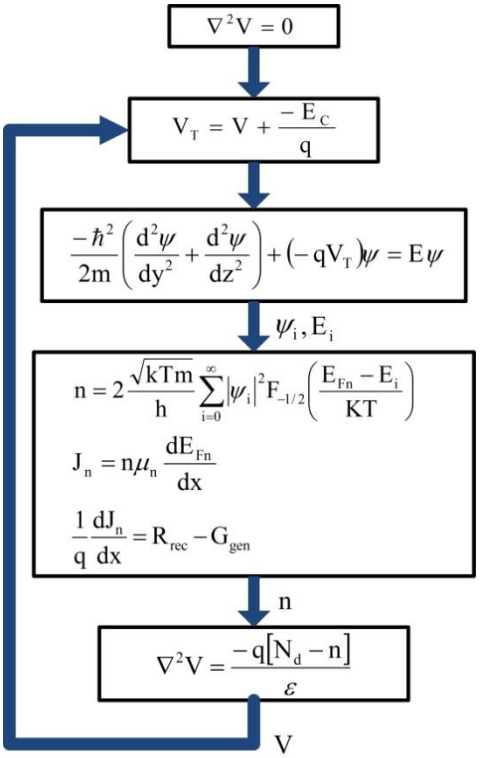
فلوچارت شبیه سازی در شکل (۲) نشان داده شده است. در ابتدا پتانسیل الکتریکی اولیه با حل معادله لاپلاس بدست می آید و سپس انرژی نوار باند هدایت به آن اضافه می گردد. در این کد، نوار باند هدایت بصورت پله ای در مرز سیلیسیوم و اکسید سیلیسیوم تغییر می کند و مقدار ارتفاع سد پتانسیل برابر اختلاف وابستگی الکترون بین سیلیسیوم و اکسید سیلیسیوم می باشد. معادله شرودینگر دوبعدی در جهت عمود بر کانال (جهت y,z) در هر نقطه x حل می گردد. با حل معادله شرودینگر، مقدار ویژه های انرژی E_i و توابع موج الکترون ψ_i بدست می آید. چگالی الکترون از رابطه زیر محاسبه می شود[۱۲]:

$$n = 2\frac{\sqrt{kTm}}{h}\sum_{i=0}^{\infty}|\psi_i|^2 F_{-1/2}\left(\frac{E_{Fn}-E_i}{KT}\right) \qquad (۱)$$

در این رابطه n چگالی الکترون و E_{Fn} انرژی تراز شبه فرمی الکترون می باشد. $F_{-1/2}$ تابع انتگرال فرمی دیراک از مرتبه ۱/۲- می باشد[۱۳]. طبق رابطه (۱) برای محاسبه چگالی الکترون به انرژی تراز شبه فرمی الکترون E_{Fn} نیاز داریم. مقدار انرژی تراز شبه فرمی الکترون از حل معادله تک بعدی نفوذ-رانش و معادله پیوستگی در راستای کانال(جهت x) محاسبه می گردد. با یافتن چگالی الکترون، میدان الکتریکی و توزیع پتانسیل از حل معادله پواسن بدست می آید. این توزیع پتانسیل با پتانسیل لبه باند هدایت جمع می گردد تا پتانسیل کل بدست آید و این حلقه تکرار می گردد تا همگرایی صورت پذیرد. روی گیت ها شرط مرزی دریکله و روی نواحی سورس و درین شرط مرزی نیومن اعمال شده است. در فلوچارت شکل (۲)، μ_n قابلیت تحرک الکترون، q بیانگر بار الکترون، k ثابت بولتزمن، T دمای محیط ، E_c انرژی لبه باند هدایت، m برابر جرم الکترون، E برابر انرژی الکترون، Ψ گویای تابع موج الکترون، $\hbar$ ثابت پلانک کاهش یافته، N_d چگالی ناخالصی دهنده، ε ثابت گذردهی خلا و V پتانسیل الکتریکی می باشد. مش بندی بصورت یکنواخت می باشد و فاصله نقاط در راستای x برابر ۱ نانومتر است، درحالیکه این فاصله در راستای y و z برابر ۰/۲۵ نانومتر می باشد..

www.SID.ir

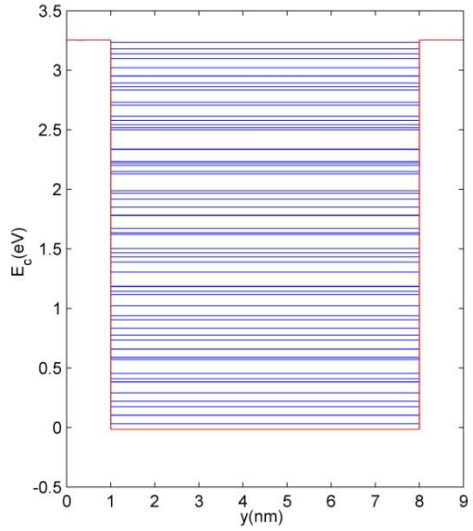
Archive of SID



شکل۲. فلوچارت شبیه سازی

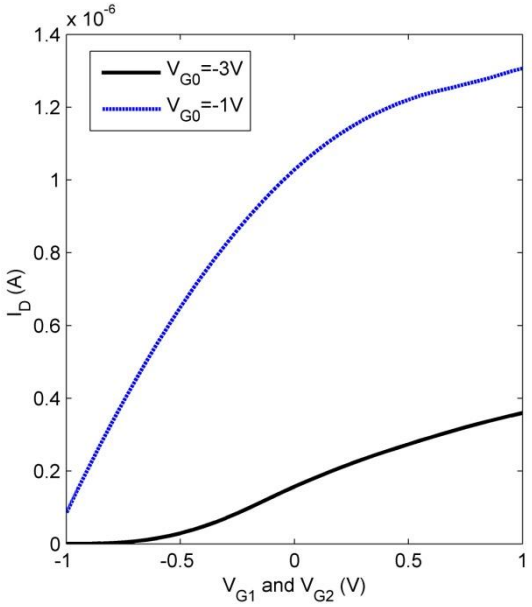
نتایج

شکل (۳)، نوار انرژی باند هدایت را در وسط کانال و در راستای عمق افزاره y، در حالت بدون بایاس نمایش می دهد. از این شکل دریافت می شود که ارتفاع سد پتانسیل برابر ۳/۲۵ الکترون-ولت است که برابر اختلاف وابستگی الکترون در سیلیسیوم و اکسید سیلیسیوم می باشد. تعداد ترازهای تحدید شده برابر ۱۱۰ تراز می باشد. با توجه به اینکه ترازهایی که فاصله زیادی از تراز فرمی دارند، در انتقال شرکت نمی کنند، کد شبیه سازی فقط ترازهایی را در نظر می گیرد که در فاصله کمتر از ۲۰KT از تراز فرمی قرار دارند که تعداد آنها در حالت بدون بایاس که ولتاژ تمام پایه ها صفر می باشد، برابر ۱۳ است. در این ترانزیستور، گیت شماره صفر ($Gate_0$)، گیت کنترلی است که نوع تابع منطقی را مشخص می کند. و گیت شماره یک ($Gate_1$) و گیت شماره دو ($Gate_2$) ورودی های گیت هستند.



شکل۳. نوار انرژی باند هدایت در وسط کانال و در راستای عمق افزاره y در حالت بدون بایاس.

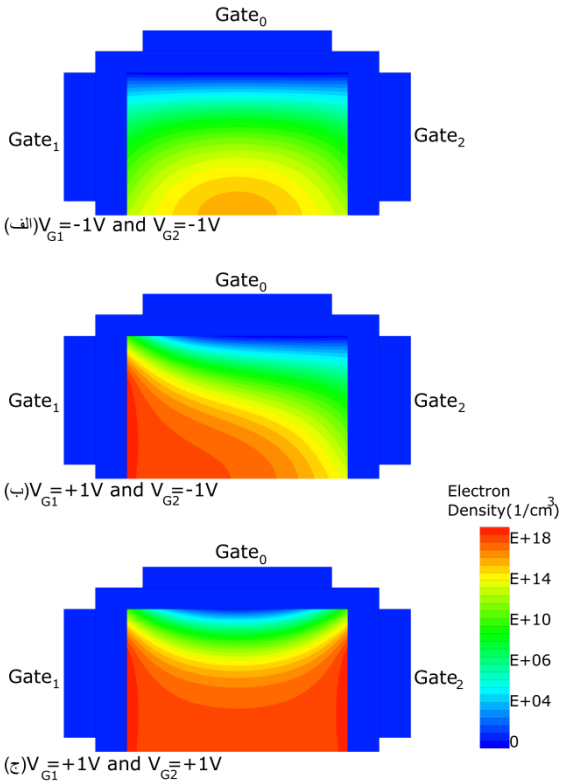
شکل (۴)، جریان درین را برحسب ولتاژ گیت در دو حالت V_{G0}=-3V و V_{G0}=-1V نمایش می دهد. این منحنی در حالت یکسان بودن ولتاژهای گیت ورودی V_{G1}=V_{G2} و با فرض V_{DS}=+2V رسم شده است. از این شکل دریافت می شود که افزایش ولتاژ گیت ورودی باعث افزایش جریان درین می شود. در ولتاژهای گیت پایین، منحنی دارای شیب بیشتری می باشد. همچنین مقدار جریان برای حالت V_{G0}=-1V بیشتر از حالت V_{G0}=-3V می باشد.



شکل۴. منحنی جریان درین برحسب ولتاژ ورودی با فرض V_{G1}=V_{G2} ، در دوحالت V_{G0}=-3V و V_{G0}=-1V. در هر دو منحنی V_{DS}=+2V می باشد

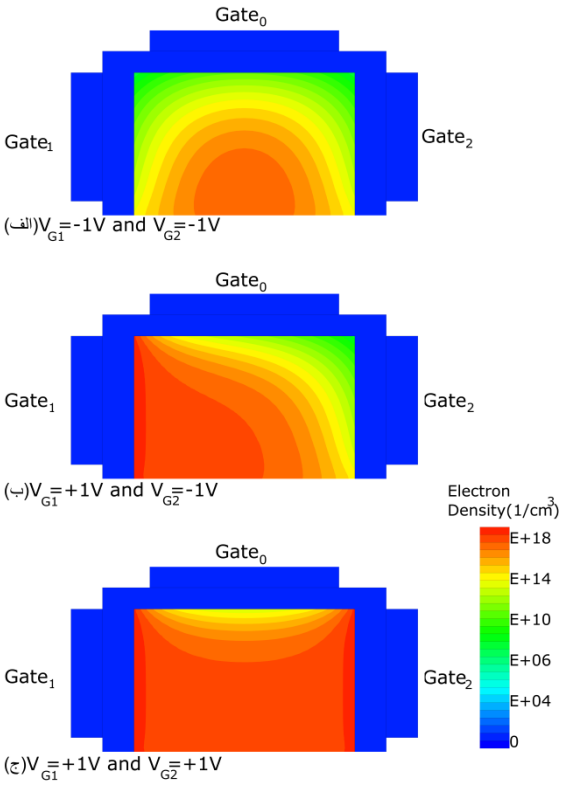
www.SID.ir

Archive of SID

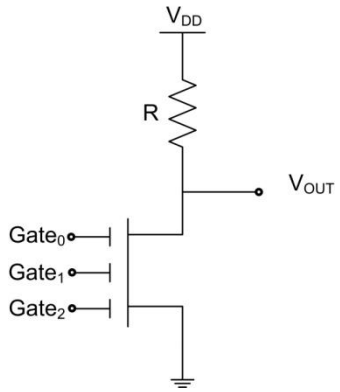


شکل۵. توزیع چگالی الکترون ها در وسط کانال از نمای جانبی زمانیکه V_{G0}=-3V و V_{DS}=2V باشد تحت شرایط الف) V_{G1}=-1V و V_{G2}=-1V ب) V_{G1}=+1V و V_{G2}=-1V ج) V_{G1}=+1V و V_{G2}=+1V

چگالی الکترونها در وسط کانال ترانزیستور و از نمای جانبی درحالت V_{G0}=-3V و V_{G0}=-1V به ترتیب در شکل (۵) و(۶) نمایش داده شده است. همانطور که از شکل (۵) و (۶) دریافت می شود، با افزایش سطح ولتاژ هر یک از ورودی های گیت، تجمع الکترون های داخل کانال افزایش می یابد. همانطوری که از این شکل ها مشخص است، هرچقدر که از گیت کنترلی ($Gate_0$) دورتر می شویم تجمع الکترون های داخل کانال، بدلیل کاهش رانش آنها توسط بار گیت ، افزایش می یابد. همانطوری که انتظار می رود و از شکل های (۵) و(۶) نیز قابل ملاحظه می باشد، ولتاژ گیت کنترلی منفی تر ، موجب بیرون راندن بیشتر الکترون ها از نواحی تحت کنترل گیت می باشند. پس در حالت V_{G0}=-1V حامل بیشتری در مقایسه با V_{G0}=-3V، در کانال موجود است. پس با توجه به حامل بیشتر در حالت V_{G0}=-1V، انتظار جریان بالاتری در یک میدان الکتریکی یکسان می رود. منحنی های جریان نشان داده شده در شکل (۴) تایید کننده این نکته می باشد. پس حالت V_{G0}=-1V مناسب برای عملکرد NOR می باشد و همچنین حالت V_{G0}=-3V دارای جریان کمتری نسبت به حالت V_{G0}=-1V می باشد و بنابراین مناسب برای عملکرد NAND می باشد. برای پیاده سازی سه منطق NOR، NAND وNOT از مدار شکل (۷) استفاده می شود.



شکل۶. توزیع چگالی الکترون ها در وسط کانال از نمای جانبی زمانیکه V_{G0}=-1V و V_{DS}=2V باشد تحت شرایط الف) V_{G1}=-1V و V_{G2}=-1V ب) V_{G1}=+1V و V_{G2}=-1V ج) V_{G1}=+1V و V_{G2}=+1V



شکل۷.پیاده سازی مداری گیت های منطقی پایه با استفاده از ترانزیستور سه گیتی

در این مدار، ترانزیستور با یک مقاومت به مقدار $R = 5.5M\Omega$ به منبع ولتاژ V_{DD} متصل شده است.

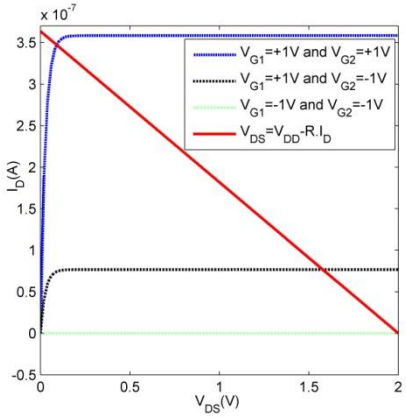
در این طراحی در ورودی گیت، سطح ولتاژ ۱V+ به عنوان سطح منطقی بالا و سطح ولتاژ ۱V- به عنوان سطح منطقی پایین تعیین می شود. ولی در خروجی سطح منطقی بالا ۲V+ و سطح منطقی پایین صفر ولت می باشد. در صورت استفاده از

www.SID.ir

Archive of SID

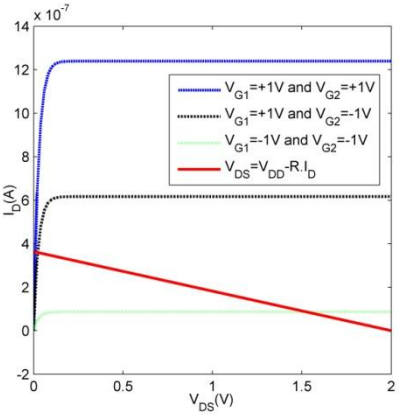
این گیت ها بصورت زنجیره ای، لازم است که سطوح منطقی بالا و پایین در ورودی و خروجی گیت یکسان شود. این تطبیق سطوح ولتاژ، با اضافه کردن یک بلوک در خروجی که وظیفه آن کاهش ولتاژ خروجی به اندازه یک ولت می باشد، میسر می شود. در این حالت سطوح منطقی بالا و پایین در خروجی نیز به ترتیب برابر ۱V+ و ۱V- می گردد.

با توجه به مدار شکل (۷)، در صورت هدایت مناسب ترانزیستور، ولتاژ خروجی V_{OUT} برابر صفر ولت و درصورت عدم هدایت ترانزیستور، ولتاژ خروجی برابر V_{DD} می گردد. مقدار V_{DD} در این طراحی برابر ۲V+ می باشد. برای تحلیل مدار، مشخصه I-V ترانزیستور برای دو حالتی که ولتاژ گیت کنترل V_{G0}=-3V و V_{G0}=-1 می باشد، به ترتیب در شکل (۸) و (۹) نمایش داده شده است. در شکل (۸) که حالت V_{G0}=-3V را نشان می دهد، منحنی قرمز رنگ خط بار DC را نمایش می دهد. محل تقاطع این خط با منحنی مشخصه ترانزیستور، نقاط کاری مدار را مشخص می کند.

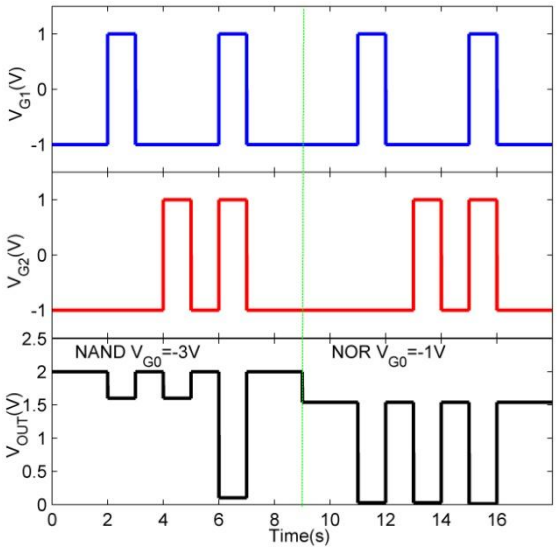


شکل۸. منحنی جریان-ولتاژ ترانزیستور در حالت V_{G0}=-3V به ازای سطوح منطقی متفاوت ورودی. خط قرمز رنگ، خط بار DC می باشد.

با توجه به این شکل، در حالت منطقی (۰و۰) خروجی برابر۲V+ و در حالات منطقی (۰و۱) و (۱و۰) برابر ۱/۶V+ ولت می باشد. در حالت منطقی (۱و۱) خروجی برابر ۰/۱V+ می باشد. پس نتیجه می گیریم که در حالتیکه ولتاژ گیت کنترلی مدار برابر V_{G0}=-3V باشد، عملکرد مداری بصورت NAND می باشد. با توجه به شکل، جریان در حالت (۱و۱) که هر دو ورودی یک می باشند ، ۴/۶ برابر بیشتر نسبت به حالت (۱و۰) و ۲۸/۵۶ برابر حالت (۰و۰) می باشد. از توزیع حامل ها در شکل (۵) می توان دریافت که درصورتیکه یکی از ورودی های $Gate_1$ یا $Gate_2$ برابر صفر منطقی باشند، آنگاه چگالی الکترون ها کاهش می یابد.



شکل۹. منحنی جریان-ولتاژ ترانزیستور در حالت V_{G0}=-1V به ازای سطوح منطقی متفاوت ورودی. خط قرمز رنگ، خط بار DC می باشد.

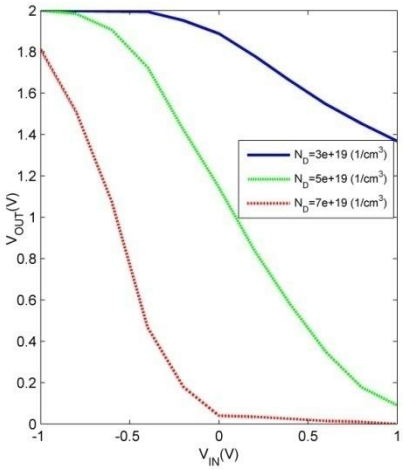


شکل۱۰. عملکرد NOR و NAND بر حسب ورودی های مختلف

در نتیجه در این حالت جریان بسیارکمی از ترانزیستور عبور می کند. در شکل (۹) که حالت V_{G0}=-1V را نشان می دهد، منحنی قرمز رنگ خط بار DC را نمایش می دهد. محل تقاطع این خط با منحنی مشخصه ترانزیستور، نقاط کاری مدار را مشخص می کند. با توجه به این شکل، در حالت منطقی (۰و۰) خروجی برابر۱/۵۴V+ و در حالات منطقی (۰و۱) و (۱و۰) برابر ۰/۲۶V+ ولت می باشد. در حالت منطقی (۱و۱) خروجی برابر ۰/۰۱V+ می باشد. پس نتیجه می گیریم که در حالتیکه ولتاژ کنترلی مدار برابر V_{G0}=-1V باشد، عملکرد مداری بصورت NOR می باشد.

www.SID.ir

Archive of SID



شکل۱۱.منحنی خروجی برحسب ورودی گیت NOT به ازای ناخالصی های متفاوت

با توجه به شکل، جریان در حالت (۰و۰) که هر دو ورودی صفر می باشند، ۷/۱ برابر کوچکتر نسبت به حالت (۱و۰) و ۱۴/۲۸ برابر کوچکتر نسبت به حالت (۱و۱) می باشد. از توزیع حامل ها در شکل (۶) می توان دریافت که درصورتیکه یکی از ورودی های $Gate_1$ یا $Gate_2$ برابر یک منطقی شوند، آنگاه چگالی الکترون ها افزایش می یابد. در نتیجه در این حالت جریان زیادتری از ترانزیستور نسبت به حالت قبل عبور می کند. عملکرد تابع منطقی بر حسب زمان در شکل (۱۰) نشان داده شده است . مطابق این شکل از زمان صفر تا ۹ ثانیه، مقدار ولتاژ کنترلی V_{G0}=-3V می باشد و بنابراین عملکرد مداری بصورت NAND و از زمان ۹ ثانیه به بعد مقدار ولتاژ کنترلی به مقدار V_{G0}=-1V تغییر می یابد و بنابراین عملکرد مداری بصورت NOR می باشد. لازم به ذکر است که در شکل (۱۰)، سطوح ولتاژ خروجی در وضعیت حالت ماندگار، صرفا از روی خط بار DC محاسبه شده است. لذا در این شکل حالات گذرا در نظر گرفته نشده است.

در حالتیکه ولتاژ گیت کنترل V_{G0}=-3V باشد، و دو ورودی گیت $Gate_1$و$Gate_2$ به هم متصل شوند، آنگاه عملکرد مداری بصورت گیت NOT می باشد. مشخصه انتقالی خروجی به ورودی گیت NOT به ازای ناخالصی های متفاوت در شکل (۱۱) نمایش داده شده است. یکی از مشخصه های اصلی در گیت های NOT، مقدار حاشیه نویز آنها می باشد که بصورت زیر تعریف می گردد[۱۴].

$$NML = v_{in}\,|_{\frac{dV_{out}}{dV_{in}}=-1} - V_{OL} \qquad (۲)$$

$$NMH = V_{OH} - v_{in}\,|_{\frac{dV_{out}}{dV_{in}}=-1} \qquad (۳)$$

در معادلات (۲) و (۳)، پارامترهای NMH و NML به ترتیب حاشیه نویز برای سطح سیگنال بالا (Noise Margin for High Signal Level) وحاشیه نویز برای سطح سیگنال پایین (Noise Margin for Low Signal Level) نامیده می شود. همچنین V_{OL} و V_{OH} به ترتیب سطوح ولتاژ پایین و بالای خروجی می باشند. با توجه به مشخصه گیت NOT که در شکل(۱۱) نمایش داده شده است، در دو نقطه از منحنی، شیب مشخصه برابر منفی یک می باشد که در این دو نقطه و مطابق روابط (۲) و (۳) حاشیه های نویز محاسبه می گردد. در حالتی که ناخالصی برابر$5\times10^{19}/cm^3$ باشد، مقدار حاشیه نویز پایین وحاشیه نویز بالا با یکدگیر برابر می باشند و مقدار آن ۰/۴۵V می باشد که حالت متقارن مشخصه را نمایش می دهد. این مقدار ناخالصی، مقدار بهینه آن را نشان می دهد. افزایش یا کاهش ناخالصی مقدار مذکور، باعث نامتقارن شدن مشخصه گیت NOT می شود. همانطور که از شکل (۱۱) فهمیده می شود، مقدار ناخالصی کمتر، موجب افزایش مقاومت کانال و کاهش جریان می شود که این موجب نزدیکتر شدن مقدار خروجی به $V_{DD} = 2V$ می شود. همچنین مطابق شکل (۱۱) در این میزان ناخالصی مشخصه گیت نیز متقارن نمی باشد. همچنین مقادیر بیشتر ناخالصی مشخصه را بیشتر به سمت صفر می برد، چون باعث افزایش جریان کانال می گردد. در حالتیکه ناخاصی کانال برابر $3\times10^{19}/cm^3$ باشد، ولتاژ خروجی در بازه (۲ ۱/۴۲) می باشد و نمی تواند کل بازه صفر تا V_{DD} را پوشش دهد. همچنین در حالتیکه ناخالصی کانال برابر $7\times10^{19}/cm^3$ باشد، خروجی فقط در بازه (۱/۸ ۰) می باشد و باز نمی تواند کل بازه را پوشش دهد، همچنین در این میزان ناخالصی مشخصه متقارن نمی باشد. چگالی ناخالصی برای پوشش کل بازه و همچنین متقارن بودن مشخصه $5\times10^{19}/cm^3$ می باشد.

نتیجه گیری

در این مقاله توابع منطقی NOT، NOR و NAND بوسیله یک ترانزیستور چند منظوره پیاده سازی شده است. تغییر از یک تابع منطقی به تابع منطقی دیگر، بدون تغییر در سخت افزار مدار و تنها با استفاده از تغییر سطح سیگنال گیت کنترلی امکان پذیر است. با توجه به اینکه پیاده سازی گیت های منطقی NOR و NAND در منطق CMOS نیازمند حداقل چهار ترانزیستور MOSFET است، پس می توان گفت با استفاده از این طراحی که در این مقاله صورت گرفته است، بصورت تقریبی تراکم چهار برابر در یک تراشه امکان پذیر است. این افزاره با استفاده از حل عددی معادلات شرودینگر-پواسن شبیه سازی شده است. درصورتیکه که سیگنال ورودی به هر دو گیت $Gate_1$ و $Gate_2$ بصورت همزمان متصل شود، عملکرد مدار بصورت تابع منطقی NOT می باشد همچنین اثر ناخالصی کانال روی مشخصه گیت NOT بررسی شده است. با توجه به نتایج بدست آمده در حالتیکه مقدار ناخالصی کانال برابر

www.SID.ir

Archive of SID

$5\times10^{19}/cm^3$ باشد مشخصه گیت متقارن می گردد. نتایج نشان می دهد که استفاده از این ترانزیستور می تواند موجب توسعه آینده مدارهای مجتمع گردد.

مراجع

[1] S. Reda, "3D integration advances computing," *Nature*, vol. 547, pp. 38-39, 2017.

[2] X. Wang, Y. Ouyang, X. Li, H. Wang, J. Guo, and H. Dai, "Room-Temperature All Semiconducting Sub-10-nm Graphene Nanoribbon Field-Effect Transistors", *Physical Review Letter*s, vol. 100, pp. 206803, 2008.

[3] S.B. Desai, S.R. Madhvapathy, A.B. Sachid, J.P. Llinas, Q. Wang, G.H. Ahn, G.Pitner, M.J. Kim, J. Bokor, C.Hu, H.S. P. Wong, A. Javey, "MoS_2 transistor with 1-nanometer gate lengths" *Science*, vol 354, pp. 99-102. 2016.

[4] D. Xiang, T. Liu, and W.Chen, "Fused computing and strorage in a 2D transistor" *Nature*, vol. 14, pp. 642-643, 2019.

[5] S.M. Kang, and Y. Leblebici, "CMOS digital integrated circuits" Tata McGraw-Hill Education, 2003.

[6] X. Wan, Y. Yang, Y.He, P.Feng, W.Li, and Q. Wan. "Neuromorphic Simulation of Proton Conductors Laterally Coupled Oxide-Based Transistors With Multiple in-Plane Gates" *IEEE Electronic Device Letter*, vol. 38, pp. 525-528, 2017.

[7] C. Liu, H.Chen, X.Hou, H.Zhang, J. Han, Y.G. Jiang, X.Zeng, D.W. Zhang, and P.Zhou, "Small footprint transistor architecture for photoswitching logic and in situ memory", *Nature nanotechnology*, vol. 14, pp.662-667, 2019

[8] D. Zhao, S. Xie, Y.W.H Zhu, L. Chen, Q.Sun, and D.W Zhang, "Synthesis of large-scale few-layer PtS_2 films by chemical vapor deposition" *AIP Advances*, vol. 9, pp.025225, 2019.

[9] V. Subramanian *et al.*, "Planar Bulk MOSFETs Versus FinFETs: An Analog/RF Perspective," *IEEE Transactions on Electron Devices*, vol. 53, pp. 3071-3079, Dec. 2006.

[10] H. Farkhani, A. Peiravi, J. M. Kargaard and F. Moradi, "Comparative study of FinFETs versus 22nm bulk CMOS technologies: SRAM design perspective," *2014 27th IEEE International System-on-Chip Conference (SOCC)*, Las Vegas, NV, 2014, pp. 449-454.

[11] Manual, ATLAS User'S. "Silvaco Int." *Santa Clara, CA* 5 (2008).

[12] H. Ilati, M.R. Ashrafi, S. khorasani " Simulation and optimization of nanoscale HEMTs with finite elements method" *Arxiv e-prints*, pp.1-8, 2011.

[13] J. Mateos, T. Gonzalez, D. Pardo, V. Hoel, H. Happy, and A. Cappy, "Improved Monte Carlo Algorithm for the simulation of δ-doped AlInAs/GaInAs HEMT's", *IEEE Transactions on Electron Devices*, vol. 47, pp. 250-253, 2000.

[14] D. Bode, C. Rolin, S.Schols, M.Debucquoy, S. Steudel, G.H Gelinck, J.Genoe, and P. Heremans, "Noise-Margin Analysis for Organic Thin-Film Complementary Technology" *IEEE Transactions on Electron Devices*, vol. 57, pp.201-208, 2010.

www.SID.ir