فصلنامه صنایع الکترونیک، دوره ۱۱، شماره۳، پائیز ۱۳۹۹

بهبود توان مصرفی واحد ثبات انتقال در فیلترهای FIR مبتنی بر ساختار DA با استفاده از بررسی ویژگی‌های آماری سیگنال

سیده فاطمه غمخواری[۱]، محمدباقر غزنوی قوشچی[۲]

[۱]دانشجوی دکتری برق الکترونیک، دانشگاه شاهد

[۲]دانشیار گروه برق دانشکده فنی و مهندسی، دانشگاه شاهد، ghaznavi@shahed.ac.ir

چکیده

مدل کلی پردازشگرهای جریان داده یا شتاب دهنده‌های سخت‌افزاری در حوزه‌ی ویدئو، تصویر یا صوت شامل دو بخش اصلی آرایه‌های عظیم ثبات انتقال و المان‌های پردازشی است. نمونه‌ای پرکاربرد از واحدهای پردازش سیگنال دیجیتال که منطبق بر مدل کلی پردازشگرهای جریان داده نیز هستند، فیلتر FIR باپیاده‌سازی برمبنای ساختار DA است که به جای ضرب کننده‌های پرمصرف از جمع و شیفت برای انجام عملیات ضرب استفاده می‌کند. بخش ثبات انتقال، عمده توان مصرفی پویا در پردازشگرهای جریان داده و فیلترهای FIR را به دلیل وجود سیگنال کلاک شامل می‌شود بنابراین کم کردن توان مصرفی المان ذخیره‌ساز در سیستم‌های کارا حیاتی است. از طرف دیگر بررسی ویژگی‌های آماری نقش مهمی در طراحی و بهبود پارامترهای اساسی مدار نظیر توان مصرفی و افزایش بازدهی می‌تواند داشته باشد. به طور نمونه چگالی گذر یکی از پارامترهای اصلی در مصرف توان پویا است. با بررسی چگالی گذر در ورودی‌های پردازشگرهای جریان داده مانند تصاویر در این مقاله نشان داده می‌شود که این پارامتر در پایگاه داده مورد بررسی در ۵۵ درصد حالات کمتر از ۰.۵ است. با توجه به تنک بودن سیگنال‌های مورد ارزیابی، فلیپ‌فلاپ کم توان در تکنولوژی ۶۵ نانومتر با استفاده از روش‌های قطع متناوب کلاک و چند تغذیه‌ای طراحی شده است که مناسب برای استفاده در آرایه‌های ثبات انتقال پردازشگرهای جریان داده است. با استفاده‌ی همزمان از دو روش قطع متناوب کلاک و چند تغذیه‌ای در آرایه‌ی ثبات انتقال ۸ در ۵ به کار رفته در فیلتر FIR با ساختار DA، به بهبودی میان ۲۶ تا ۸۶ درصد در توان مصرفی پویا و ۸۴ درصد بهبود در توان مصرفی ایستا می‌توان دست یافت.

کلیدواژه

فلیپ‌فلاپ با مصرف توان کم، قطع متناوب کلاک ، مدارات چند تغذیه‌ای، پردازشگرهای جریان داده سخت‌افزاری، سیگنال-های تصویر با خواص آماری تنک

مقدمه

اهمیت طراحی کم توان: با افزایش سطح مجتمع‌سازی و افزایش پیچیدگی مدارات میکروالکترونیک، کاهش مصرف توان یکی از اهداف اولیه طراحی می‌باشد. همچنین مصرف توان یک سامانه می‌تواند به عنوان یک عامل محدودکننده برای طیف وسیعی از کاربردها باشد. یکی از عوامل محدودکننده مصرف توان مربوط به افزایش محبوبیت دستگاه‌های الکترونیکی قابل‌حمل می‌باشد که روز به روز در حال افزایش است. سیستم‌های الکترونیکی قابل حمل از باتری و یا منابع انرژی تجدیدپذیر به‌عنوان منبع انرژی استفاده می‌کنند. به دلیل محدود بودن انرژی این منابع، و مشکلات مربوط به شارژ و تعویض باتری، پایین بودن مصرف توان این دستگاه‌ها یک امر ضروری و حیاتی است. برای افزایش عمر باتری نیز، مصرف توان پایین در مدارات مجتمع مطلوب می‌باشد [۱, ۲]. عامل دیگر مربوط به ملاحظات خنک کردن سیستم می‌باشد. مدارات با سرعت و حجم پردازشی بالا، مقدار زیادی توان را در یک دوره زمانی کوتاه مصرف و حجم بالایی گرما تولید می‌کنند. این گرما باید توسط یک قسمت که بر روی تراشه نصب می‌شود، برداشته شود. اگر قسمت نصب شده نتواند به اندازه

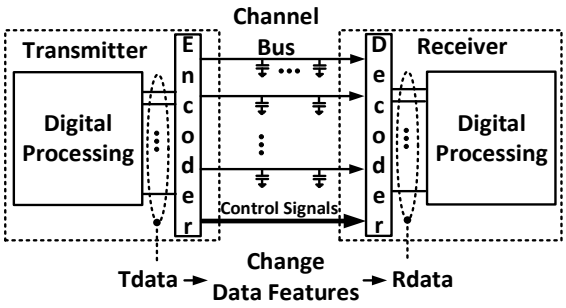
www.SID.ir

تاریخ دریافت: ۱۳۹۸/۱۲/۱۳ تاریخ پذیرش: ۱۳۹۹/۰۶/۱۶

Archive of SID

کافی گرما را از بین ببرد، خنک کردن تراشه ممکن است یک عامل محدودکننده باشد. بنابراین با توجه به محدودیت طول عمر باتری و قابلیت اطمینان در سیستم‌های قابل‌حمل، طراحی کم‌مصرف توجه زیادی را در سال‌های اخیر به خود جلب کرده و تحقیقات گسترده‌ای برای ارائه‌ی روش‌های مختلف جهت کاهش مصرف توان انجام می‌شود [۳].

اهمیت نگاه آماری به ویژگی‌های سیگنال در طراحی مدار: به دلیل وابستگی مصرف توان به خواص سیگنال ورودی، نگاه آماری به محاسبه مصرف توان می‌تواند در سطوح مختلف طراحی بسیار تاثیرگذار باشد [۴, ۵]. طراحی یک مدار می‌تواند با توجه به الگو و ویژگی‌های سیگنال ورودی به صورت هوشمندانه انجام شود. بنابراین شناخت و بررسی ویژگی‌های سیگنال ورودی در کاربردهای مختلف در بازدهی سیستم نقش اساسی دارد. یکی از نمونه‌های بررسی ویژگی‌های آماری در طراحی سیستم، نگاه به خواص باس داده و باس آدرس است. اعمال رمزگذارهایی نظیر اینورژن[۱] [۶]، گری[۲] [۷] و کاهش بیت علامت[۳] [۸] در باس داده و آدرس موجب کم شدن توان مصرفی پویا[۴] در زمان انتقال داده می‌شود (شکل ۱).



شکل ۱. دیاگرام مفهومی کانال به همراه انکدر و دیکدر

یکی دیگر از نمونه‌های بررسی ویژگی‌های سیگنال و بازنگری در طراحی سطح مدار، طراحی مدار فلیپ‌فلاپ ارائه شده در [۹, ۱۰] است. در طراحی این فلیپ‌فلاپ با بررسی تغییرات سیگنال ورودی فلیپ‌فلاپ، سیگنال کلاک دریچه بندی[۵] شده تولید می‌شود و به فلیپ‌فلاپ اعمال می‌شود. با این روش توان مصرفی پویا در فلیپ‌فلاپ، زمانی‌که سیگنال‌های با چگالی گذر[۶] کم‌تر از ۰.۵ وارد می‌شود، کاهش می‌یابد. همچنین در [۱۱] با در نظر گرفتن همپوشانی پیکسل‌های مجاور در تصاویر از فلیپ‌فلاپ‌های دریچه بندی شده در خط تاخیر[۷] برای کم شدن توان مصرفی فیلتر FIR با پیاده‌سازی مبنی بر ساختار MAC[۸] بهره برده است.

پردازش لبه[۹] و جایگاه شتاب‌دهنده‌های سخت‌افزاری: در طی سال‌های اخیر با رشد تکنولوژی‌های شبکه‌ای و ارتباطی، بیلیون‌ها دستگاه هوشمند قادر به ارتباط با اینترنت در قالب فناوری اینترنت اشیا[۱۰] شده‌اند. حجم داده‌های تولید شده از طریق حسگرها بسیار عظیم است و برای افزایش سودمندی و درآمد باید ساماندهی و آنالیز شوند[۱۲]. به دلیل محدودیت-هایی نظیر امنیت، پهنای باند و تاخیر زیاد در محاسبات ابری، پردازش لبه جهت تخصیص کارآمد و منصفانه‌ی منابع مانند توان مصرفی و طول عمر باتری در کاربردهای اینترنت اشیا ظهور یافت [۱]. در پردازش لبه، پردازش داده در نزدیکی حسگرها و به صورت بلادرنگ صورت می‌گیرد. بهبود عملکرد، انطباق بیشتر، حفظ حریم خصوصی، امنیت داده‌ها و نیز کاهش هزینه‌های عملیاتی از مزایای پردازش لبه است و در کاربردهایی نظیر خانه‌های هوشمند، سلامت، نظارت تصویری، شبکه‌ی هوشمند، شهر هوشمند، نظارت بر محیط زیست، استفاده می‌شود [۱۲].

یکی از کاربردهای پردازش لبه، تحلیل داده‌های دریافتی از حسگرهایی نظیر ویدئو، تصویر و صوت و پیاده‌سازی الگوریتم-های هوش مصنوعی و یادگیری عمیق است. عموما این سیستم‌ها دارای حجم زیادی داده در خروجی حسگر هستند و نیاز به پردازش و پاسخ بلادرنگ از یک‌سو و از سوی دیگر محدودیت در مساحت اشغالی و توان مصرفی در کاربردهای قابل حمل دارند، بنابراین امکان استفاده از CPU و GPU وجود ندارد. راه حل جایگزین، استفاده از پردازشگرهای جریان داده سخت‌افزاری یا شتاب‌دهنده‌های سخت‌افزاری[۱۱] است. پیاده-سازی سخت‌افزاری می تواند از طریق ASIC (طراحی تراشه ی خاص منظوره) و یا FPGA صورت گیرد که استفاده از هر یک شامل مزایا و معایبی خواهد بود [۱۳]. مزیت استفاده از سخت-افزارهای FPGA قابلیت پیکربندی مجدد آن‌هاست اما محدودیت‌های مشابه در استفاده از CPU و GPU برای FPGA نیز همچنان پا برجاست. پیاده‌سازی‌های ASIC به دلیل خاص منظوره بودن مزایایی از قبیل سرعت بالاتر، توان مصرفی و مساحت اشغالی کمتر نسبت به FPGA ها دارند. از معایب پیاده‌سازی مبتنی بر ASIC می‌توان به هزینه‌ی بالای ساخت تراشه و زمان طولانی در رسیدن به محصول اشاره نمود. تاکنون شتاب‌دهنده‌های سخت‌افزاری بسیاری در حوزه‌ی پردازش ویدئو، تصویر و صوت طراحی و پیاده‌سازی شده است. از نمونه-

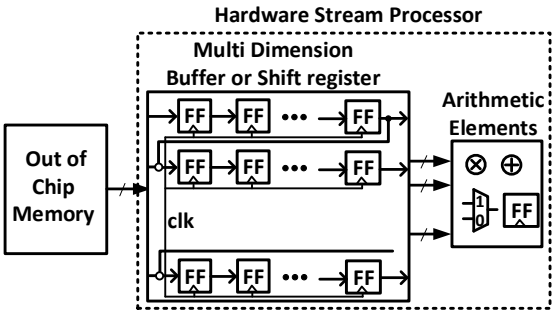
۱ Inversion Encoding
۲ Gray Encoding
۳ Sign Bit Reduction Encoding
۴ Dynamic Power
۵ Gated
۶ Transition Density (TD)
۷ Delay Line
۸ Multiply Accumulate
۹ Edge Computing
۱۰ Internet of Thing (IoT)
۱۱ Hardware Accelerator

www.SID.ir

Archive of SID

های آن می‌توان به تراشه‌های خاص منظوره‌ی [۳, ۱۴, ۱۵] و شتاب دهنده‌های سخت‌افزاری براساس FPGA [۱۶-۱۸] اشاره نمود. با توجه به مزایای طراحی تراشه‌ی خاص منظوره در پردازشگرهای تصویر در نزدیکی لبه و اهمیت توان مصرفی آن، در این مقاله تمرکز بر روی روش‌های مداری برای کم کردن توان مصرفی خواهد بود.

مدل کلی شتاب دهنده های سخت‌افزاری طراحی شده در حوزه تصویر: تاکنون معماری‌های گوناگونی جهت افزایش کارایی و کم شدن توان مصرفی در پیاده‌سازی سخت‌افزاری واحدهای پردازشی سیگنال‌هایی مانند تصویر ارائه شده است. با بررسی‌های انجام شده بر روی [۳, ۱۴, ۱۶, ۱۷] ساختار کلی شتاب دهنده‌های سخت‌افزاری برای پردازشگرهای جریان داده در شکل ۲ نشان داده شده است که شامل دو بخش اصلی ذخیره‌سازی داده (شامل ثبات[۱۲]یا فلیپ‌فلاپ و آرایه‌های چندبعدی ثبات انتقال[۱۳]) و المان‌های محاسباتی (شامل مداراتی مانند MAC، ALU، واحد کنترلی و غیره) می‌شود. یکی از نمونه‌های قابل بررسی با انطباق بر روی این مدل، پیاده‌سازی سخت‌افزاری فیلتر FIR[۱۴] با ساختار DA[۱۵] می‌باشد که قلب اصلی عملیات پردازشی با ورودی‌های ویدئو، تصویر و صوت است. از این شباهت جهت ارزیابی طرح‌های پیشنهادی در مقیاس کوچک‌تر می‌توان بهره برد. استفاده از فیلتر FIR با ساختار DA می‌تواند مثال ملموس‌تری از این مدل کلی باشد. در این مقاله اهمیت و جایگاه طرح پیشنهادی ثبات انتقال فیلتر FIR با ساختار DA-MUXAdd با استدلال و شبیه‌سازی در بخش آخر مقاله آورده شده است.



شکل ۲. مدل کلی پردازشگرهای جریان داده‌ی سخت‌افزاری

المان‌های ذخیره‌ساز به دلیل وجود سیگنال کلاک و نیاز به شبکه توزیع کلاک در سطح تراشه، عامل اصلی مصرف توان در سخت‌افزار هستند و بررسی و استخراج خواص سیگنال آن‌ها در طراحی و بهینه نمودن آنها کارساز است. به همین جهت در این مقاله چگالی گذر تعدادی تصویر خاکستری با هدف ورود این تصاویر به آرایه‌ی ثبات انتقال مورد بررسی قرار گرفته است و نشان داده می‌شود که در ۵۵ درصد تصاویر مورد بررسی در پایگاه داده چگالی گذر کم‌تر از ۰.۵ است. بدین معنا که میزان تغییرات از ۰ به ۱ و از ۱ به ۰ می‌تواند کم باشد و مصرف توان کلیدزنی[۱۶] سیستم کلاک‌داری مانند آرایه‌ی ثبات انتقال در بسیاری حالات به دلیل فعالیت سیگنال کلاک به هدر می‌رود. در صورتی‌که نگاه آماری به سیگنال ورودی مدار وجود داشته باشد، می‌توان روی پارامترهای اساسی مانند توان مصرفی در زمان طراحی مدار بهبود ایجاد کرد. یکی از روش‌های پرکاربرد در کاهش مصرف توان پویا در ورودی‌های با تغییرات کم، روش قطع متناوب کلاک[۱۷] در فلیپ‌فلاپ‌ها است که دو مدل پیاده‌سازی مدار کنترلی جهت دریچه‌بندی کلاک در این مقاله مورد نقد بررسی قرار می‌گیرد.

با بررسی بیشتر مدار کنترلی فلیپ فلاپ دریچه‌بندی شده نشان داده می‌شود که بیش از ۶۰ درصد توان مصرفی پویا در کل مدار، مربوط به فعالیت این بخش کنترلی است. سیگنال خروجی بخش کنترلی به عنوان سیگنال فرمان به جای سیگنال کلاک به هسته‌ی اصلی فلیپ‌فلاپ وارد می‌شود و در مسیر اصلی سیگنال نیست. بنابراین با استفاده از روش چند تغذیه‌ای و با کم‌کردن تغذیه مدار کنترلی می‌توان به مصرف توان کمتر رسید در حالی‌که نوسان سیگنال خروجی فلیپ‌فلاپ تغییری نکرده است و برای اعمال آن به طبقه‌ی بعدی نیاز به مدارات تبدیل‌کننده‌ی سطح نمی‌باشد.

روش‌هایی مانند قطع متناوب کلاک و چندتغذیه‌ای در طراحی سیستم‌های دیجیتال با وجود سربارهایی که اضافه می‌کنند، مزیت‌های مختلف خود را در زیرسیستم‌های دیجیتال نشان داده است و امروزه بخش جدایی ناپذیر طراحی‌های کارا و موثر است. روش قطع متناوب کلاک در بیشتر مواقع موجب افزایش تاخیر می‌شود که به همین دلیل استفاده از فلیپ‌فلاپ‌هایی که در آن‌ها قطع متناوب کلاک استفاده شده است را محدود به مکان‌هایی در مدار می‌کند که در مسیرهای بحرانی قرار ندارند. علاوه بر آن اضافه شدن مدارات کنترلی افزایش سطح اشغالی را در پی دارند [۱۹]. استفاده از روش چند تغذیه‌ای به دلیل نیاز به مدارات تبدیل‌کننده‌ی سطح و نیز تامین دو ریل ولتاژ باعث افزایش سطح اشغالی می‌شود. از طرفی در مرزهای تغییر سطح ولتاژ در مدار توان ایستا[۱۸] به هدر می‌رود. اما همان‌گونه که ذکر شد، در این طرح نیازی به تبدیل‌کننده‌ی سطح نیست، بنابراین

۱۲ Register
۱۳ Shift Register
۱۴ Finite Impulse Response (FIR)
۱۵ Distributed Arithmetic (DA)

۱۶ Switching Power
۱۷ Clock Gating
۱۸ Static Power

www.SID.ir

Archive of SID

هدر رفت سطح اشغالی و توان ایستا در به کارگیری تغذیه‌ی دوم در بخش کنترلی فلیپ‌فلاپ وجود ندارد [۲۰].

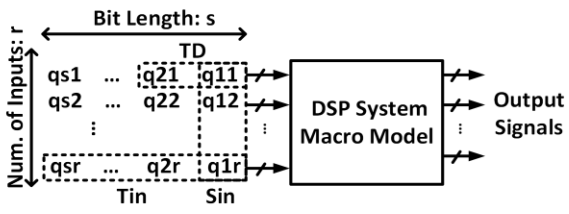
در نهایت با جایگزین کردن المان ذخیره‌سازی معمولی با فلیپ‌فلاپ پیشنهادی در آرایه‌های ثبات انتقال هنگام پیاده-سازی فیلتر FIR براساس ساختار DA می‌توان توان مصرفی پویا و ایستا در کاربردهایی نظیر تصویر کاهش داد.

در بخش دوم رابطه‌ی چگالی گذر با توان مصرفی و نیز مقدار این پارامتر برای تصاویر پایگاه داده‌ی این مقاله ارائه می‌شود. در بخش سوم فلیپ‌فلاپ دریچه بندی شده مناسب برای کاربردهای با چگالی گذر کم با استفاده از روش‌های قطع متناوب کلاک و چند تغذیه‌ای مطرح و نقد و بررسی می‌شود. در بخش چهارم نتایج به کارگیری فلیپ‌فلاپ‌های پیشنهادی در فیلتر FIR با ساختار DA که منطبق بر مدل کلی پردازشگرهای جریان داده است، ارزیابی می‌شود.

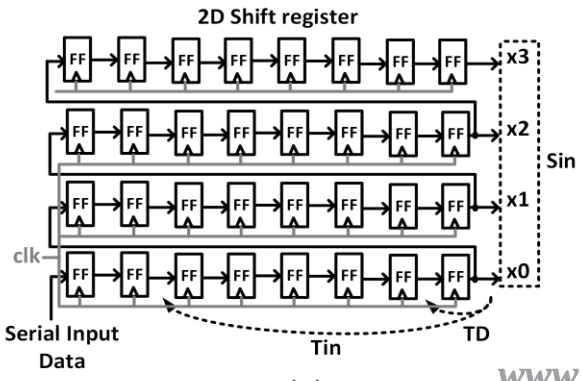
ارزیابی چگالی گذر سیگنال‌های تصویر

نگاه آماری به محاسبه مصرف توان و وابستگی آن به الگوهای مختلف ورودی یک سیستم می‌تواند در سطوح مختلف طراحی (از مدار تا سیستم) بسیار تاثیرگذار باشد [۴]. بنابراین شناخت و بررسی ویژگی‌های سیگنال ورودی در کاربردهای مختلف در بازدهی سیستم نقش اساسی دارد. تاکنون بررسی ویژگی‌های آماری تنها به صورت نرم افزاری و برای ارزیابی طراحی مدار کم مصرف انجام شده است، به طور نمونه تخمین توان مصرفی یک سیستم پردازشی دیجیتال از ویژگی‌های آماری سیگنال‌های ورودی و خروجی آن بهره برده و مدلی برای بیان رفتار پویا مدارها براساس توان مصرفی بیان کرده اند [۲۱-۲۳].

هر سیگنالی که در یک مدار دیجیتال وجود دارد، می‌تواند در یک فرآیند آماری مورد ارزیابی قرار گیرد. پارامترهای اساسی سیگنال که در مصرف توان موثر هستند شامل میانگین احتمال[۱۹] Pin، میانگین چگالی گذر[۲۰] TD، همبستگی فاصله ای[۲۱] Sin و همبستگی زمانی[۲۲] Tin هستند. اگر فرض شود که سیستم پردازشی دارای r ورودی و هر کدام دارای طول رشته بیت s با بیت‌های q باشند، به طور خلاصه می‌توان این پارامترها را در شکل ۳ الف نشان داد [۲۲].



(الف)



(ب)

یکی از نمونه های مناسب برای نشان دادن این پارامترها، مدار ثبات انتقال دو بعدی است که در شکل ۳ ب نشان داده شده است. می‌توان در مرحله‌ی اول بهبود توان مصرفی، چگالی گذر را برای سیگنال ورودی هر یک از فلیپ‌فلاپ‌ها در کاربردی مانند تصویر بررسی نمود.

محاسبه چگالی گذر سیگنال‌های تصویر

یکی از عوامل موثر بر روی مصرف توان مدارات دیجیتال، میانگین گذر بیت‌های ورودی مدار (الگوی بیت‌های ورودی) است [۴]. میانگین تعداد گذرها از ۱⟶۰ و ۰⟶۱ در هر واحد زمانی را چگالی گذر گویند. اگر سیگنال دیجیتال x(n) دارای تغییرات n(T) در بازه‌ی زمانی به طول T باشد، چگالی گذر سیگنال x(n) با رابطه ۱ تعریف می‌گردد [۲۲, ۲۳].

$$TD(x) = \lim_{T\to\infty}\left(\frac{n(T)}{T}\right) \qquad (۱)$$

اگر مقدار چگالی گذر در گره‌های مدار در دسترس باشد، میانگین توان مصرفی پویا در مدار، مطابق رابطه‌ی زیر محاسبه می‌گردد. در این رابطه، m تعداد گره‌ها، Ci خازن بار گره i و TD(xi) چگالی گذر گره i است. بنابراین همان‌طور که ملاحظه می‌شود، توان مصرفی و چگالی گذر با یکدیگر رابطه‌ی مستقیم دارند (رابطه ۲) [۵].

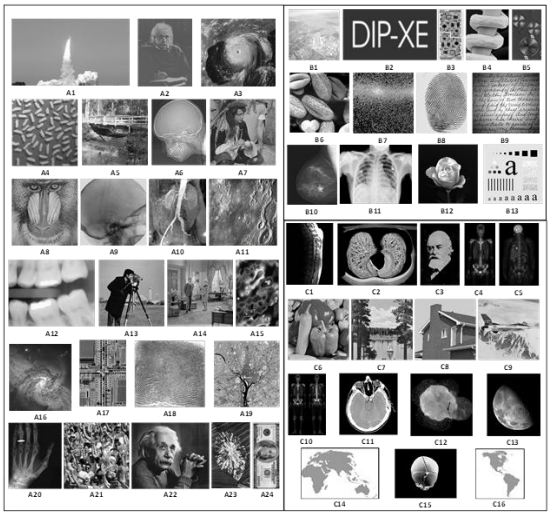
$$Pav = 0.5\ Vdd^2 \sum_{i=1}^{m} Ci\ TD(xi) \qquad (۲)$$

در این مقاله چگالی گذر حدودا ۵۰ تصویر خاکستری محاسبه شده است. برای محاسبه‌ی چگالی گذر، ابتدا پیکسل‌های تصویر با یکی از روش‌های اسکن تصویر مانند روش سطری[۲۳] خوانده و در یک آرایه‌ی یک بعدی ذخیره می‌شود و سپس تمامی پیکسل‌ها به بیت تبدیل می‌شوند (به طور مثال در یک سیستم ۸ بیتی، هر پیکسل معادل ۸ بیت است) تا مدل حرکت بیت‌ها در آرایه‌ی ثبات انتقال حاصل شود. پس از آن تغییرات از ۰ به ۱ و برعکس هر دو بیت مجاور در آرایه بدست آورده می‌شود. با تقسیم تعداد تغییرات به تعداد کل بیت‌های تصویر مقدار میانگین تغییر بیت‌ها در کل تصویر و یا به عبارتی چگالی گذر تصویر محاسبه می‌شود. در شکل ۴ تصاویر پایگاه داده و

www.SID.ir

Archive of SID

مقادیر مربوط به چگالی گذر تصاویر مورد بررسی در ۳ دسته (A، B و C) براساس مقدار چگالی تصاویر در جدول ۱ آورده شده است. شکل‌ها از پایگاه داده‌ی تصاویر موجود در [۲۴] انتخاب شده است. در دسته‌ی A که چگالی گذر در آن‌ها بین ۰.۵ تا ۰.۶ است، ۴۵ درصد تصاویر کل پایگاه داده مورد بررسی را شامل می‌شود. در دسته‌ی B با چگالی گذر بین ۰.۴ و ۰.۵ تعداد ۱۳ تصویر قرار گرفت که ۲۵ درصد تصاویر را شامل می‌شود. در دسته‌ی C نیز با چگالی گذر کمتر از ۰.۴ ، ۱۶ تصویر قرار گرفت و ۳۰ درصد تصاویر را در بر می‌گیرد. اطلاعات آماری پایگاه داده در جدول ۲ خلاصه شده است. نمودار توزیع تجمعی چگالی گذر در شکل ۵ آورده شده است. کم بودن مقدار چگالی گذر به معنای ثابت ماندن حالت مدار (عوض نشدن ورودی و به طبع آن ثابت ماندن خروجی) در بسیاری از حالت‌های ورودی است، اما با وجود ثابت ماندن حالت مدار، در سیستم‌های کلاک‌دار، با وارد شدن کلاک در هر صورت توان به هدر می‌رود. با انتخاب روش قطع متناوب کلاک می‌توان از مصرف توان پویا در زمان‌هایی که تغییر حالت رخ نمی‌دهد، جلوگیری نمود.



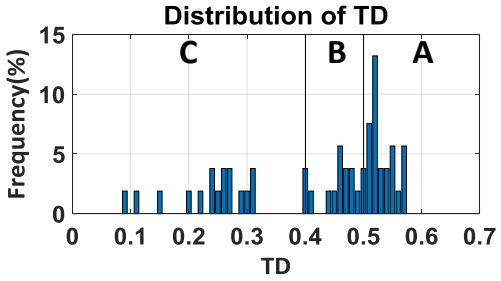
شکل ۴. تصاویر پایگاه داده‌ی مورد بررسی در این مقاله

جدول ۱. ویژگی تصاویر پایگاه داده

نام	اندازه (سطر×ستون)	TD	نام	اندازه (سطر×ستون)	TD
B4	298x252	0.47	A1	720x1280	0.57
B5	483x282	0.47	A2	600x490	0.57
B6	500x500	0.46	A3	1153x1281	0.57
B7	300x300	0.46	A4	600x600	0.56
B8	480x400	0.46	A5	512x1024	0.55
B9	686x772	0.45	A6	452x374	0.55
B0	571x482	0.44	A7	512x512	0.55
B11	493x600	0.41	A8	512x512	0.54
B12	1024x1024	0.4	A9	420x420	0.54
B13	500x500	0.4	A0	790x686	0.53
C1	976x746	0.31	A11	640x662	0.53
C2	976x1252	0.31	A12	674x882	0.52
C3	985x637	0.30	A13	256x256	0.52
C4	1482x750	0.29	A14	512x512	0.52
C5	1162x746	0.27	A15	460x300	0.52
C6	512x1024	0.27	A16	598x566	0.52
C7	512x1024	0.26	A17	461x299	0.52
C8	512x1024	0.26	A18	480x512	0.52
C9	512x1024	0.25	A19	1024x1024	0.51
C0	800x500	0.24	A20	476x390	0.51
C11	600x570	0.24	A21	512x512	0.51
C12	300x300	0.22	A22	679x800	0.51
C13	540x466	0.2	A23	481x283	0.50
C14	380x587	0.15	B1	769x765	0.49
C15	1024x1280	0.11	B2	138x320	0.48
C16	426x416	0.09	B3	1838x929	0.48

جدول ۲. مشخصات آماری پایگاه داده تصاویر مورد بررسی

گروه	TD	فراوانی	میانگین μ	واریانس σ^2	انحراف معیار σ
A	0.5:0.6	24 (45%)	0.53	4.86e-4	0.02
B	0.4:0.5	13 (25%)	0.45	9.31e-4	0.03
C	0.09:0.4	16 (30%)	0.24	0.0045	0.07
میانگین کل	0.09:0.6	53 (100%)	0.41	0.002	0.04



شکل ۵. نمودار توزیع تجمعی از چگالی گذر تصاویر پایگاه داده

فلیپ‌فلاپ دریچه بندی شده با مصرف توان وابسته به داده‌ی ورودی

توان مصرفی در مدارات الکترونیکی به دو دسته‌ی کلی توان پویا و ایستا (نشتی) تقسیم می‌شود. از بین دو بخش مربوط به توان پویا که شامل توان کلیدزنی و اتصال‌کوتاه[۲۴] می‌شود، توان کلیدزنی سهم بیشتر و قابل توجه‌تری نسبت به توان اتصال-کوتاه دارد. مصرف توان کلیدزنی در مدارات CMOS نسبت مستقیم با تغییرات سیگنال دارد.

آرایه‌های ثبات انتقال شامل فلیپ‌فلاپ و شبکه‌ی توزیع کلاک می‌شوند که یکی از زیرسیستم‌ها با مصرف توان بالا به حساب می‌آیند [۱۰]. برای کاهش مصرف توان فلیپ‌فلاپ‌ها روش‌های متعددی ارائه شده است. در [۹, ۱۰] بهبود توان مصرفی در ورودی‌های با چگالی گذر کمتر از ۰.۵ با استفاده از روش قطع متناوب کلاک حاصل شده است. مدار فلیپ‌فلاپ حساس به لبه‌ی بالارونده‌ی متداول با ساختار پیشرو-پسرو[۲۵] در شکل ۶

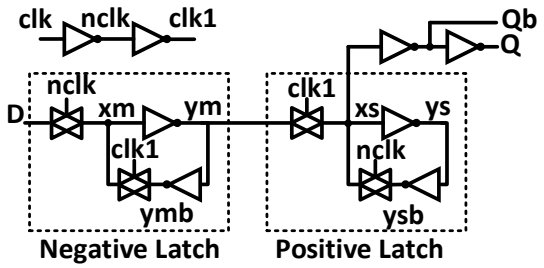
۲۴ Short Circuit Power

۲۵ Master-Slave

www.SID.ir

Archive of SID

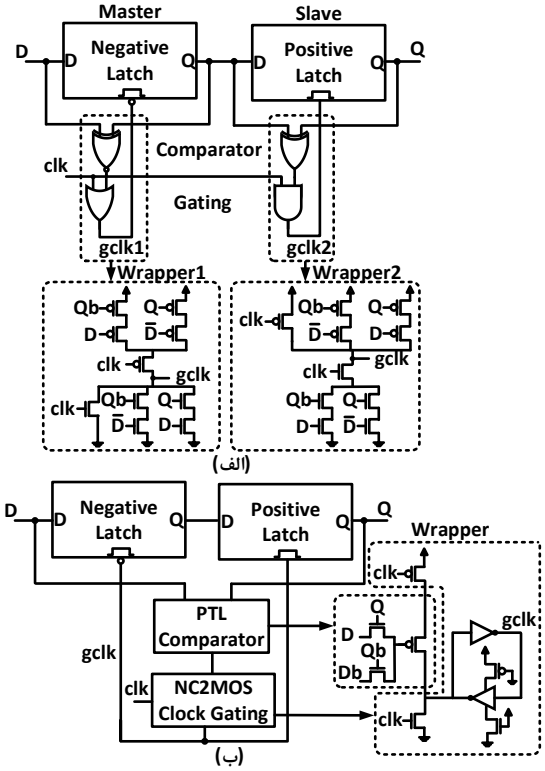
نشان داده شده است. در پیاده‌سازی فلیپ‌فلاپ، از مدار لچ TG[۲۶] ساده به همراه بافر کلاک استفاده شده است [۹, ۱۰].



شکل ۶. فلیپ‌فلاپ متداول با استفاده از لچ TG پایه

سیستم‌هایی مبتنی بر سیگنال کلاک مانند فلیپ‌فلاپ‌ها و شبکه توزیع کلاک یکی از زیربخش‌های با مصرف توان بالا در مدارات مجتمع می‌باشند و تاکنون راه‌های متعددی جهت کم کردن توان مصرفی سیستم‌های کلاک دار پیشنهاد شده است. دریچه بندی کلاک یک روش شناخته شده برای از کار انداختن سیگنال کلاک و در نتیجه کاهش توان مصرفی کلیدزنی سیستم‌های کلاک‌دار با کاهش پارامتر فرکانس کلاک در زمان-هایی که داده ورودی تغییری ندارد، می‌باشد. با استفاده از این روش مدار فلیپ‌فلاپ می‌تواند در زمان‌هایی که داده‌ی ورودی حالت آن را تغییر نمی‌دهد، در حالت غیرفعال قرار گیرد و مصرف توان پویا نداشته باشد. بخش کنترلی که کنار مدار اصلی فلیپ‌فلاپ قرار می‌گیرد، با بررسی گذرهای داده ورودی و استخراج حالت‌های غیرضروری (بدون تغییر حالت از ۰ به ۱ و برعکس) می‌تواند از ورود سیگنال کلاک به مدار جلوگیری نماید [۹].

فلیپ‌فلاپ با دریچه بندی مضاعف[۲۷] که در شکل ۷ الف نشان داده شده است، روش قطع متناوب کلاک را به صورت جداگانه روی لچ پیشرو و پسرو در فلیپ‌فلاپ اعمال می‌کند [۱۰]. در این طراحی، سربار ناشی از دریچه بندی دو برابر است اما زمانی‌که ضریب فعالیت سیگنال ورودی کمتر از ۰.۵ باشد، کاهش مصرف توان قابل توجه است [۱۰]. جهت استخراج ویژگی گذر سیگنال ورودی و یافتن حالت‌های غیرضروری از مدار مقایسه‌کننده میان ورودی و خروجی برای هر کدام از لچ-های پیشرو و پسرو استفاده می‌شود. مدار مقایسه‌کننده می-تواند منطق XOR برای لچ مثبت و XNOR برای لچ منفی باشد. سپس از طریق منطق AND یا منطق OR در زمان‌های غیرگذر، سیگنال کلاک را غیرفعال نمود. بنابراین سیگنال‌های کلاک جدیدی به نام gclk1 و gclk2 برای نمونه‌برداری لچ‌های پیشرو و پسرو تولید می‌شود. برای پیاده‌سازی منطق‌های XOR، XNOR، AND و OR می‌توان از روش CMOS استفاده نمود [۱۰]. فلیپ‌فلاپ با دریچه بندی مضاعف برای کاربردهای با چگالی گذر بیشتر از ۰.۵ مناسب نیست زیرا سربار اضافه شده توسط مدار کنترلی زیاد است و زمانی‌که تغییرات بیت بالاست، سیگنال ارسالی توسط مدار کنترلی نزدیک به سیگنال کلاک است و صرفا توان اضافی مصرف می‌کند [۹, ۱۰]. روش دیگر برای دریچه بندی کردن کلاک با نام NC2MOS در شکل ۷ ب آورده شده است. نام NC2MOS به دلیل استفاده از مدار NC2MOS برای دریچه بندی کردن فلیپ‌فلاپ قرار داده شده است. این روش تنها از یک منطق دریچه بندی برای تمام فلیپ‌فلاپ استفاده می‌کند [۱۰]. مدار مقایسه کننده در این طرح از طریق روش PTL[۲۸] پیاده‌سازی شده است.



شکل ۷. الف) فلیپ‌فلاپ با دریچه بندی مضاعف ب) فلیپ‌فلاپ دریچه بندی شده‌ی NC2MOS

جهت تخمین دقیق توان مصرفی نیاز است که ورودی‌های مدار دارای ویژگی‌های آماری متفاوت باشند تا با شبیه‌سازی مدار با آن ورودی‌ها مقادیر توان مصرفی مدار تحت شرایط مختلف کاری بدست آورده شود. این ویژگی‌های آماری همان پارامترهای اساسی سیگنال هستند که شامل Pin، TD، Sin و Tin می‌باشند. برای ایجاد ورودی بر طبق معیارهای ذکر شده، ابتدا به تحلیل این معیارها و رابطه‌شان با یکدیگر پرداخته می-شود تا بتوان در صورت وجود داشتن رابطه بین دو معیار، یک

[۲۶] Transmission Gate (TG)
[۲۷] Double Gating
[۲۸] Pass Transistor Logic (PTL)

www.SID.ir

Archive of SID

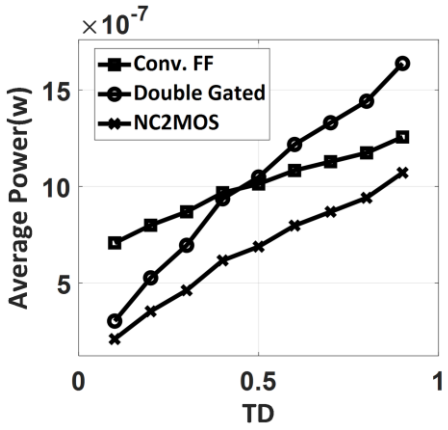
معیار برای کنترل کردن فرآیند تولید داده در نظر گرفته شود. پارامتر Pin احتمال یک بودن سیگنال را مشخص می‌نماید. به علت ساختار متفاوت آن از معیارهای دیگر و تنها شمردن تعداد یک‌ها، پارامتر Pin رابطه مستقیم با معیارهای دیگر ندارد، اما این ورودی تحت تأثیر معیارهای دیگر، به سرعت تغییر خواهد کرد و به تنهایی نیازی به کنترل کردن آن نیست.

پارامتر TD معیاری است که تعداد گذرها از یک نمونه ورودی به نمونه دیگر را می‌شمارد. این معیار، ویژگی مهمی است و میزان تغیرات ۰ به ۱ و ۱ به ۰ را در تولید نمونه ورودی مشخص می‌کند و به طور حتم باید در معیارهای کنترل کننده برای تولید ورودی مدنظر قرار گیرد. پارامتر Tin همبستگی زمانی را نشان می‌دهد و تعداد گذرها را در چندین دوره زمانی متوالی می‌سنجد و وابستگی داده‌ای یک ورودی را نسبت به ورودی‌های قبلی خود می‌سنجد. این وابستگی با یای انحصاری (xor) بین مقدار لحظه کنونی ورودی و مقادیر قبلی صورت می‌گیرد. این ویژگی وابسته به مقدار TD است، زیرا TD مقدار خود را از یای انحصاری بین ورودی کنونی و قبلی می‌گیرد. بدین دلیل با در نظر گرفتن مقدار TD، نیازی به کنترل T_{in} نمی‌باشد. پارامتر Sin مقدار میانگین همبستگی فاصله‌ای را در بین ورودی‌ها اندازه‌گیری می‌کند، به عبارت دیگر احتمال یکسان بودن هم‌زمان ورودی‌ها را می‌شمارد. به طور مثال برای دو ورودی xi و xj، عبارات $S(m)_{ij} = p(x_i \wedge x_j == 1)$ احتمال یک بودن همزمان هر دو سیگنال را نشان می‌دهد. این پارامتر با سه پارامتر دیگر، در رابطه نیست و باید در معیارهای کنترلی تولید ورودی مدنظر قرار گیرد. در تحلیل آماری سیگنال‌های تولید شده به روش تصادفی، مقدار پارامتر Sin به طور طبیعی به سمت ۰.۵ میل می‌کند، درحالیکه این پارامتر، معیاری مهم برای تولید ورودی است و نقش موثری در توان مصرفی مدار دارد.

طبق توصیف‌های فوق، پارامترهای TD و Sin، معیارهای کنترلی اصلی برای تولید ورودی هستند. در این مقاله، هدف تخمین توان مصرفی برای مدار فلیپ فلاپ با یک آرایه‌ی یک بعدی در ورودی است. بنابراین در میان دو پارامتر اصلی TD و Sin تنها نیاز است تا داده‌ای با TD متغیر تولید شود که با کنترل چگالی گذر به تنهایی در تولید داده‌ی ورودی، مقدار Sin در بازه‌ی ۰.۴ تا ۰.۵ خواهد بود. برای پیاده‌سازی داده‌ای با چگالی گذر مشخص، مقدار پارامتر TD را می‌توان در تعداد بیت آن ورودی ضرب کرد تا تعداد گذرها بدست آید. بهترین حالت پیاده‌سازی، حالتی است که بتوان نصف تعداد گذرها را از ۰ به ۱ و نصف دیگر را از ۱ به ۰ در نظر گرفت. مقدار چگالی گذر، عددی بین صفر و یک است، در حالیکه از یک نمونه به نمونه دیگر هیچ یک از بیت‌ها تغییر نکند، مقدار TD برابر صفر و یا اگر تمام بیت‌های ورودی تغییر کند، مقدار این پارامتر برابر یک خواهد بود.

جدول ۳. توان مصرفی پویا برای فلیپ‌فلاپ های متداول و دریچه بندی شده در تکنولوژی ۶۵ نانومتر (وات)

TD	Conventional FF	Double Gated FF	درصد بهبود	NC2MOS Gated FF	درصد بهبود
0.1	7.08E-7	3.03E-7	57	2.1E-7	70
0.2	7.99E-7	5.27E-7	34	3.53E-7	56
0.3	8.69E-7	6.95E-7	20	4.62E-7	47
0.4	9.68E-7	9.36E-7	3	6.17E-7	36
0.5	1.01E-6	1.05E-6	-4	6.88E-7	32
0.6	1.08E-6	1.22E-6	-12	7.97E-7	26
0.7	1.13E-6	1.33E-6	-18	8.69E-7	23
0.8	1.17E-6	1.44E-6	-23	9.42E-7	20
0.9	1.26E-6	1.64E-6	-30	1.08E-6	15



شکل ۸. توان مصرفی پویا در مدارات فلیپ‌فلاپ متداول و دریچه بندی شده به ازای مقادیر مختلف چگالی گذر در تکنولوژی ۶۵ نانومتر

مدارات فلیپ‌فلاپ متداول و دریچه بندی شده در تکنولوژی ۶۵ نانومتر طراحی و پیاده‌سازی شده‌اند. توان مصرفی با چگالی گذر بین ۰.۱ تا ۰.۹ برای ۱۰۰ بیت داده‌ی ورودی، در شبیه‌ساز سطح مدار HSPICE بدست آمده است (جدول ۳ و شکل ۸).

توان مصرفی فلیپ‌فلاپ با دریچه بندی مضاعف تا قبل از چگالی گذر ۰.۵ کمتر از فلیپ‌فلاپ متداول است و مناسب برای کاربردهایی است که چگالی گذر سیگنال ورودی کمتر از ۰.۵ باشد. همان گونه که در شکل ۸ دیده شد، فلیپ‌فلاپ با روش NC2MOS دارای کمترین مصرف توان است. کاهش توان مصرفی در این روش به دلیل کم شدن سربار ناشی از مقایسه کننده و دریچه بندی کردن کلاک، تعداد ترانزیستورهای کمتر و نیز تعداد کمتر ترانزیستورهای متصل به سیگنال کلاک است [۱۰]. در نتایج شبیه‌سازی برای فلیپ‌فلاپ دریچه بندی شده با روش NC2MOS نشان داده شده است که بهبود توان مصرفی به اندازه‌ی ۵۶ درصد در چگالی گذر ۰.۲ در تکنولوژی ۶۵ نانومتر می‌شود. این مقدار بهبود توان در چگالی گذر ۰.۵ کمتر می‌شود (۳۲ درصد) و این روند با افزایش چگالی گذر ادامه دارد تا جایی که در چگالی گذر ۰.۸ بهبود توان مصرفی در

www.SID.ir

Archive of SID

فلیپ‌فلاپ دریچه بندی شده به ۲۰ درصد می‌رسد. این کاهش بهبود توان مصرفی به دلیل سربارهای ناشی از دریچه بندی است. در جدول ۴ تعداد ترانزیستور، پارامترهای زمانی از قبیل setup، hold و tcq و توان ایستا در هر یک از این مدارات آورده شده است که نشان می‌دهد فلیپ‌فلاپ دریچه بندی شده با روش NC2MOS پارامترهای زمانی را خیلی تغییر نمی‌دهد و توان مصرفی ایستا را به میزان قابل توجهی کاهش می‌دهد. تعداد ترانزیستورها در فلیپ‌فلاپ دریچه بندی شده با روش NC2MOS نسبت به روش دریچه بندی مضاعف کمتر و به فلیپ‌فلاپ متداول نزدیک است.

جدول ۴. مشخصات فلیپ‌فلاپ‌های طراحی شده در تکنولوژی ۶۵ نانومتر

	Conventional FF	Double Gated FF	NC2MOS Gated FF
تعداد ترانزیستورها	24	46	27
Set-up Time	0.003	0.056	0.055
Hold Time	-0.028	-0.0105	-0.019
Tc-q	0.05	0.076	0.053
Static Power (W)	7.67E-8	6.84E-9	3.38E-9

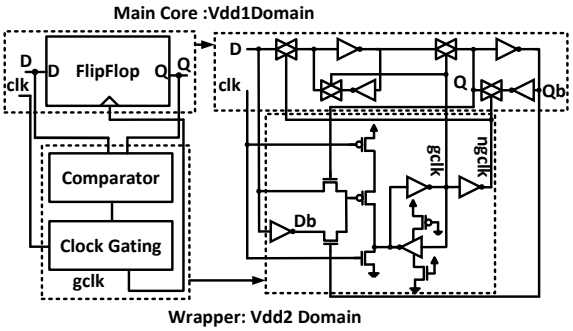
طراحی فلیپ‌فلاپ دریچه بندی شده و چند تغذیه‌ای

فلیپ‌فلاپ دریچه بندی شده شامل دو بخش مداری با عملکردهای متفاوت است. بخش اول، هسته‌ی اصلی فلیپ‌فلاپ که وظیفه‌ی آن نمونه‌برداری و نگه داشتن داده است و بخش دوم یا مدار کنترلی، که وظیفه‌ی آن مقایسه کردن و دریچه بندی کردن کلاک در زمان‌هایی است که داده ورودی تغییری ندارد. سهم هر یک از این دو بخش در توان مصرفی در جدول ۵ نشان داده شده است. سهم توان مصرفی مدار کنترلی حدودا ۶۴ درصد از سهم توان کل مصرفی (پویا) فلیپ‌فلاپ است که مقدار قابل توجهی است.

یکی از راه‌های کم کردن توان مصرفی استفاده از روش چند تغذیه‌ای و جزیره‌های ولتاژی است. در این روش می‌توان از چند سطح ولتاژ تغذیه در طراحی بخش‌های مختلف مدار بهره برد. با کم کردن سطح ولتاژ تغذیه که رابطه‌ی مستقیم با توان مصرفی پویا دارد، در بخش‌هایی که سرعت و یا نوسان سیگنال کم اهمیت‌تر است، می‌توان مصرف توان را کاهش داد [۲۰]. در فلیپ‌فلاپ دریچه بندی شده می‌توان مدار کنترلی را با تغذیه‌ی کمتر از تغذیه‌ی هسته اصلی فلیپ‌فلاپ (نمونه‌بردار و نگه-دارنده) همانند شکل ۹ طراحی نمود.

جدول ۵. سهم توان مصرفی هسته اصلی و مدار کنترلی فلیپ‌فلاپ دریچه بندی شده NC2MOS به ازای TD های مختلف (وات)

TD	توان هسته اصلی	درصد سهم هسته اصلی	توان مدار کنترلی	درصد سهم مدار کنترلی
0.1	9.17E-8	35	1.67E-7	65
0.2	1.59E-7	36	2.88E-7	64
0.3	2.10E-7	36	3.78E-7	64
0.4	2.83E-7	36	5.09E-7	64
0.5	3.16E-7	36	5.69E-7	64
0.6	3.67E-7	36	6.58E-7	64
0.7	3.99E-7	36	7.17E-7	64
0.8	4.33E-7	36	7.75E-7	64
0.9	4.92E-7	36	8.84E-7	64



شکل ۹. اعمال روش چند تغذیه‌ای بر روی فلیپ‌فلاپ دریچه بندی شده (MVDDCG FF[۲۹])

با توجه به ارزیابی‌ها و مقایسه‌های قبلی بهبود توان مصرفی فلیپ‌فلاپ دریچه بندی شده با مدار NC2MOS از دریچه بندی مضاعف بهتر است بنابراین در این بخش با استفاده از روش چند تغذیه‌ای، توان مصرفی فلیپ‌فلاپ طراحی شده با روش NC2MOS بهبود می‌یابد. برای پیدا کردن نقطه‌ی بهینه از نظر سرعت و توان مصرفی، ولتاژ تغذیه‌ی مدار کنترلی در بازه‌ی ۰.۹ تا ۱.۲ ولت در تکنولوژی ۶۵ نانومتر جاروب می‌شود. ورودی این مدار در شبیه‌سازی‌ها همان بیت‌های تصادفی تولید شده با چگالی گذر بین ۰.۱ تا ۰.۹ می‌باشد که برای مدارات قبلی استفاده شده است. نتایج توان مصرفی مدار کنترلی در جدول ۶ و شکل ۱۰ نشان داده شده است. توان مصرفی در vdd2=0.9v بین ۲۴ تا ۳۰ درصد بهبود توان مصرفی نسبت به فلیپ‌فلاپ دریچه بندی شده با روش NC2MOS تک تغذیه‌ای ایجاد می‌کند.

مدار کنترلی در مسیر سیگنال اصلی نیست و اثر مستقیم روی خروجی فلیپ‌فلاپ ندارد و فقط به عنوان فرمان نمونه‌برداری استفاده می‌شود و در صورتی که دامنه‌ی نوسان آن تا حد معینی کم شود همچنان عملکرد خود را به درستی خواهد داشت در حالیکه نوسان سیگنال خروجی تغییری نمی‌کند (شکل ۱۱). خروجی سیگنال‌های مدار کنترلی که سیگنال gclk و معکوس آن با نام ngclk هستند و به عنوان سیگنال فرمان به هسته اصلی فلیپ‌فلاپ وارد می‌شوند، به ازای مقادیر مختلف vdd2 در شکل ۱۱ نشان داده شده است.

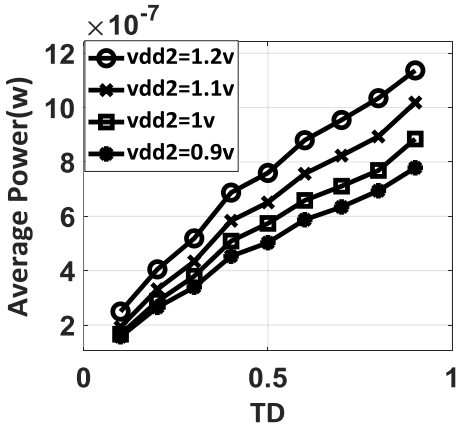
[۲۹] Multi-VDD Clock Gating Flip-Flop

www.SID.ir

Archive of SID

جدول ۶. توان مصرفی پویا (وات) به ازای ولتاژهای تغذیه‌ی مختلف برای فلیپ‌فلاپ دریچه بندی شده با روش NC2MOS و میزان بهبود آن نسبت به مدار تک تغذیه‌ای

TD	Vdd2 1.2v	Vdd2 1.1v	درصد بهبود	Vdd2 1v	درصد بهبود	Vdd2 0.9v	درصد بهبود
0.1	2.1E-7	1.8E-7	10	1.6E-7	21	1.4E-7	30
0.2	3.5E-7	3.2E-7	9	2.8E-7	19	2.6E-7	26
0.3	4.6E-7	4.2E-7	9	3.7E-7	18	3.4E-7	25
0.4	6.1E-7	5.6E-7	9	5.0E-7	18	4.6E-7	24
0.5	6.8E-7	6.2E-7	9	5.6E-7	18	5.2E-7	24
0.6	7.9E-7	7.2E-7	9	6.5E-7	17	6.0E-7	24
0.7	8.6E-7	7.9E-7	8	7.1E-7	17	6.6E-7	24
0.8	9.4E-7	8.6E-7	8	7.7E-7	17	7.1E-7	24
0.9	1.1E-6	9.7E-7	9	8.8E-7	18	8.1E-7	25



شکل ۱۰. مقایسه‌ی توان مصرفی پویا در استفاده از روش چند تغذیه‌ای برای کم کردن توان مصرفی فلیپ‌فلاپ

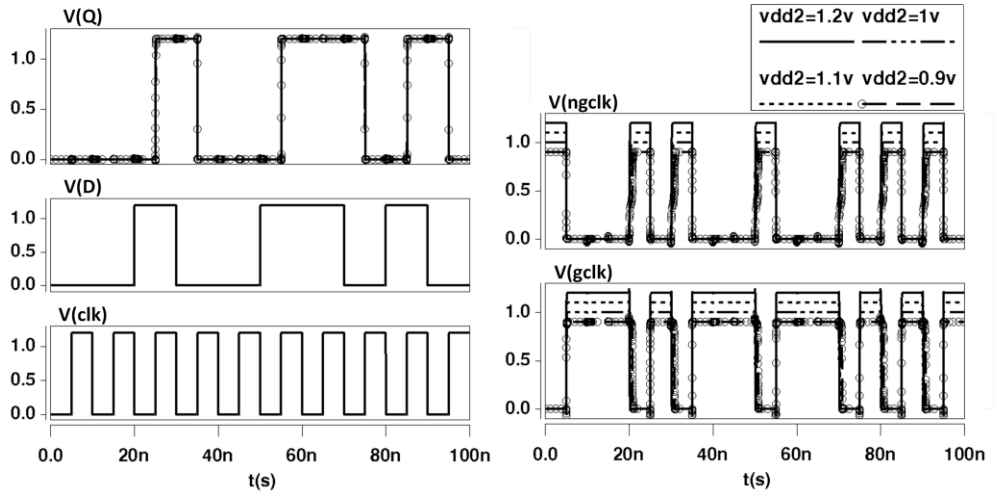
با کم کردن ولتاژ تغذیه در مدار کنترلی سرعت مدار نیز دستخوش تغییر شده و تا ۱۶ درصد مقدار tcq کاهش می‌یابد (جدول ۷). بنابراین کاربری این طرح از فلیپ‌فلاپ را می‌توان در مسیرهای غیربحرانی در نظر گرفت. علاوه بر افزایش تاخیر، میزان توان ایستای مصرفی فلیپ فلاپ MVDDCG به دلیل استفاده از دو منبع تغذیه به میزان قابل توجهی افزایش می‌یابد که مقادیر آن در جدول ۷ گزارش شده است. از آنجایی که در طراحی تراشه‌های خاص منظوره با تکنولوژی‌های کمتر از ۶۵ نانومتر سهم توان مصرفی ایستا نسبت به توان مصرفی پویا قابل توجه است و با افزایش میزان توان ایستا در استفاده از چند منبع تغذیه در این فلیپ فلاپ، گزینه‌ی مناسبی در طراحی-های کم توان در تکنولوژی‌های بالاتر از ۶۵ نانومتر خواهد بود.

جدول ۷. میزان تاخیر خروجی نسبت به سیگنال کلاک (tcq) و توان ایستای کل فلیپ فلاپ دریچه بندی شده‌ی NC2MOS با تغییر میزان تغذیه-ی مدار کنترلی

Vdd2 (v)	Tcq (ns)	درصد افزایش تاخیر	Static Power (W)
1.2	0.087	-	3.38E-9
1.1	0.089	2.2	9.01E-6
1	0.09	3.4	5.40E-7
0.9	0.101	16	2.52E-7

بهبود واحد ثبات انتقال در فیلتر FIR با ساختار DA

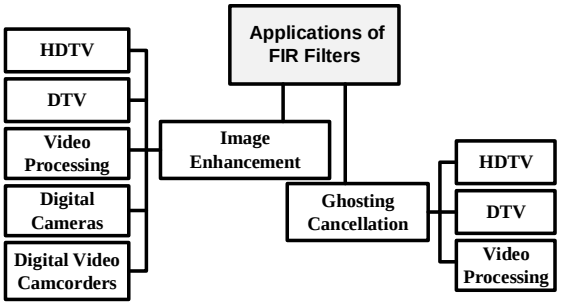
واحد DSP به صورت گسترده طیف وسیعی از کاربردها از جمله پردازش صوت، تصویر، ویدئو و پردازش رادار و سونار را شامل می‌شود. در مرکز کاربردهای DSP فیلترهای دیجیتال قرار دارند و معمولا برای جداسازی سیگنال‌های ترکیب شده و یا بازیابی سیگنال‌های تخریب شده مورد استفاده قرار می‌گیرند. فیلترهای دیجیتال با دو روش پیاده‌سازی می‌شوند، یکی از این روش‌ها، فیلتر FIR یا فیلتر با پاسخ ضربه محدود است [۲۵]. فیلترهای FIR به صورت گسترده در پردازش سیگنال صوت، تصویر و ویدئو مورد استفاده قرار می‌گیرند که نمونه‌ای از آن‌ها در شکل ۱۲ آورده شده است. در پردازش تصویر از فیلترهای FIR بالاگذر برای پیدا کردن لبه های تصویر و یا بالابردن وضوح تصویر و از فیلتر پایین گذر یا میانگین‌گیر برای یکنواخت کردن تصویر استفاده می شود.



شکل ۱۱. ورودی و خروجی‌های هسته اصلی فلیپ‌فلاپ با تغییرات ولتاژ تغذیه مدار کنترلی فلیپ‌فلاپ

www.SID.ir

Archive of SID



شکل ۱۲. نمونه‌ای از کاربردهای فیلتر FIR در پردازش سیگنال‌های تصویر و ویدئو

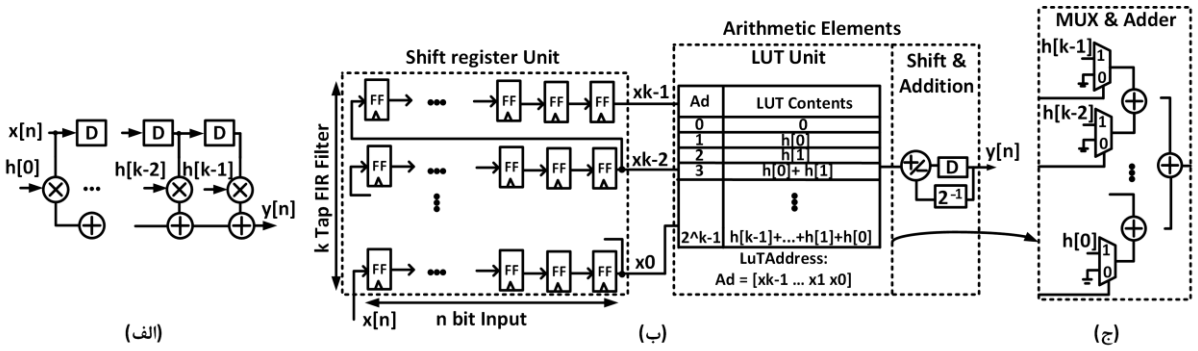
عملکرد فیلتر FIR با K تپ با رابطه‌ی ۳ بیان می‌شود. در این رابطه h[k] ضرایب فیلتر و x[n] سیگنال ورودی است [۲۵].

$$y[n] = \sum_{k=0}^{K} h[k]x[n-k] \qquad (۳)$$

فیلتر FIR می‌تواند از طریق دو ساختار MAC و یا DA پیاده-سازی شود. برای پیاده‌سازی فیلتر FIR با k تپ با استفاده از MAC نیاز به k واحد ضرب کننده می‌باشد. داده ورودی پس از هر مرحله تاخیر در ضریب ثابت مربوطه ضرب شده و سپس با مقدار ضرب شده‌ی قبلی جمع می‌شود. برای تولید خروجی نیاز به N سیکل کلاک می‌باشد. در شکل ۱۳ الف پیاده‌سازی فیلتر FIR با k تپ توسط MAC نشان داده شده است. در پیاده‌سازی فیلتر FIR با واحد MAC به ضرب‌کننده‌های متعدد که واحد پرهزینه و پیچیده‌ای است، نیاز می‌باشد. روش دیگر برای انجام محاسبات مربوط به مجموع حاصلضرب‌ها استفاده از DA است. واحد DA یک بازچینی مجدد در سطح بیت از MAC می‌باشد که در آن ضرب‌ها پنهان می‌شوند. واحد DA یک ساختار بدون ضرب‌کننده می‌باشد. معماری DA شامل ۳ بخش می باشد: واحد ثبات انتقال، واحد LUT[۳۰]، واحد شیفت‌دهنده/جمع-کننده. پیاده‌سازی فیلتر توسط DA متداول در شکل ۱۳ ب نشان داده شده است. در واحد LUT حالت‌های مختلف مجموع ضرایب فیلتر ذخیره می‌شود.

واحد DA با استفاده از محاسبات سریال بیتی با ذخیره کردن تمامی حالات ممکن از مجموع ضرایب فیلتر در یک حافظه کار می‌کند. واحد DA یک روش قدرتمند برای کاهش اندازه سخت‌افزار نسبت به MAC بین ۵۰ تا ۸۰ درصد می‌باشد. از نظر مصرف توان نیز DA بهتر از MAC می‌باشد. به دلیل وجود ضرب‌کننده‌های متعدد و پرمصرف، سطح توان مصرفی واحد MAC بالا می‌باشد. به دلیل معماری واحد LUT در DA که یک حافظه با تعداد ثبات‌های تقریبا بالا می‌باشد، توان مصرفی نیز بالا خواهد بود. با این وجود سطح توان مصرفی DA نسبت به MAC کمتر است [۲۵].

اگر تعداد تپ‌های فیلتر برابر با k فرض شود، اندازه‌ی حافظه‌ی مورد نیاز در DA برابر با 2^K خواهد بود. اندازه‌ی حافظه در سطح اشغالی و سرعت سیستم نقش مهمی دارد. با افزایش تعداد تپ‌های فیلتر اندازه‌ی حافظه به صورت نمایی افزایش می‌یابد. روش‌های متعددی برای کم کردن اندازه‌ی حافظه و نیز



شکل ۱۳. فیلتر FIR با k تپ و ورودی n بیتی با استفاده از الف) ساختار MAC ب) ساختار DA متداول ج) ساختار DA-MUXAdd

جدول ۸. نتایج توان مصرفی پویا و ایستا (وات) برای ثبات انتقال دو بعدی ۸ در ۵ (۴۰ عدد فلیپ‌فلاپ)

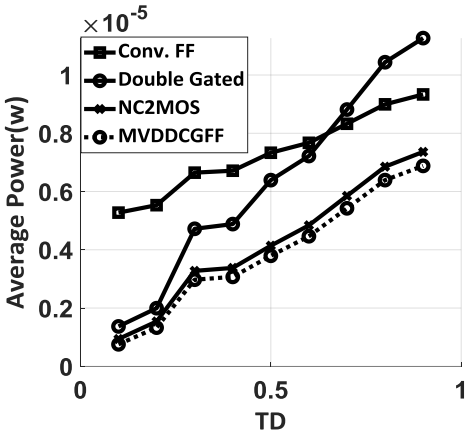
	TD	Conventional FF	Double Gated FF	درصد بهبود	NC2MOS Gated FF	درصد بهبود	MVDDCG FF Vdd2= 0.9v	درصد بهبود
Dynamic Power (W)	0.1	5.27E-6	1.36E-6	74	9.36E-7	82	7.54E-7	86
	0.2	5.53E-6	1.99E-6	64	1.53E-6	72	1.32E-6	76
	0.3	6.64E-6	4.72E-6	29	3.27E-6	51	2.97E-6	55
	0.4	6.71E-6	4.88E-6	27	3.37E-6	50	3.06E-6	54
	0.5	7.33E-6	6.39E-6	13	4.14E-6	44	3.79E-6	48
	0.6	7.67E-6	7.21E-6	6	4.83E-6	37	4.46E-6	42
	0.7	8.32E-6	8.81E-6	-6	5.84E-6	30	5.42E-6	35
	0.8	8.99E-6	1.04E-5	-16	6.85E-6	24	6.39E-6	29
	0.9	9.33E-6	1.12E-5	-21	7.36E-6	21	6.88E-6	26
Static Power (W)		1.27E-6	3.45E-7	73	2.00E-7	84	2.07E-7	84

www.SID.ir

Archive of SID

بهبود توان مصرفی این واحد تاکنون ارائه شده است. یکی از روش‌های بهبود واحد LUT استفاده از مالتی پلکسر و آرایه‌ای از جمع کننده‌ها می‌باشد که در شکل ۱۳ ج نشان داده شده است [۲۵]. می‌توان معماری فیلتر FIR با ساختار DA-MUXAdd را با توجه به مدل مفهومی ارائه شده برای پردازشگرهای جریان داده (شکل ۲) در مقاله بازنگری نمود که شامل دو بخش اصلی ذخیره سازی داده از طریق واحد ثبات انتقال دوبعدی و واحد محاسباتی شامل زیربخش‌های MUX & Adder و Shift & Addition می‌باشد. بخش ثبات انتقال شامل n × k فلیپ‌فلاپ براساس تعداد تپ فیلتر و بیت‌های سیگنال ورودی فیلتر می‌باشد.

در ابتدا بخش ثبات انتقال فیلتر FIR با ساختار DA برای طراحی ۸ تپ و ورودی ۸ بیت که شامل ۴۰ فلیپ‌فلاپ در زنجیره‌ی سریال می‌باشد در تکنولوژی ۶۵ نانومتر شبیه‌سازی می‌شود. شبیه‌سازی برای چگالی گذر بین ۰.۱ تا ۰.۹ و با فلیپ‌فلاپ‌های متداول، دریچه بندی شده‌ی مضاعف، NC2MOS و نیز MVDDCG انجام شده است. در شکل ۱۵ خروجی ثبات انتقال در هر طبقه را نشان می‌دهد. نتایج توان مصرفی پویا و ایستا در جدول ۸ و شکل ۱۴ آورده شده است. با جایگزین کردن فلیپ‌فلاپ متداول با فلیپ‌فلاپ دریچه بندی شده و اعمال روش چند تغذیه‌ای می‌توان به ۲۶ تا ۸۶ درصد بهبود در توان مصرفی پویا و به ۸۴ درصد بهبود در توان مصرفی ایستا دست یافت. دلیل بهبود توان مصرفی ایستا با وجود دو منبع تغذیه، تعدد فلیپ‌فلاپ در ثبات انتقال است. بنابراین می‌توان ادعا نمود در صورت وجود آرایه‌های ثبات انتقال در تراشه‌های زیر ۶۵ نانومتر نیز استفاده از فلیپ فلاپ MVDDCG گزینه‌ی مناسبی می‌باشد.

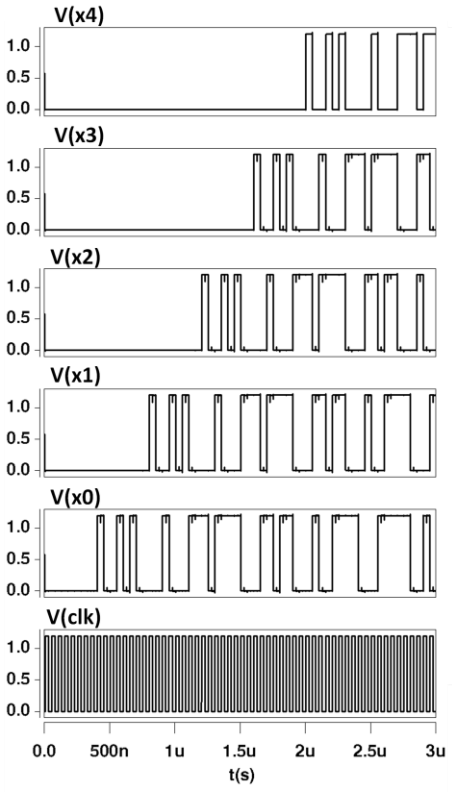


شکل ۱۴. مقایسه توان مصرفی پویا برای ثبات انتقال ۸ در ۵ به ازای فلیپ-فلاپ‌های مختلف

نتیجه‌گیری

یکی از پرکاربردترین واحدهای پردازشی در الگوریتم‌های تصویر و ویدئو فیلترهای دیجیتال مانند FIR هستند. پیاده‌سازی این واحد با ساختار MAC و DA امکان‌پذیر است. ساختار DA نسبت به MAC مزیت کم‌شدن مساحت و توان مصرفی دارد. همچنین پیاده‌سازی فیلتر FIR مبتنی بر ساختار DA منطبق با مدل کلی پردازشگرهای جریان داده می‌باشد که شامل دو بخش آرایه‌ی ثبات انتقال برای ذخیره‌سازی داده و واحد پردازشی است. در ساختار DA از واحد ثبات انتقال استفاده می‌شود که حدود نیمی از توان مصرفی کل را شامل می‌شود. توان مصرفی این واحد با استفاده از فلیپ‌فلاپ کم مصرف ارائه شده می‌تواند بهبود یابد.

در این مقاله با بررسی سیگنال تصویر نشان داده می‌شود که چگالی گذر در ۳۰ درصد تصاویر زیر ۰.۴ و در بقیه ی حالت‌ها حدود ۰.۵ است. با توجه به این ویژگی می‌توان با روش قطع متناوب کلاک در زمان‌های غیرضروری از فعالیت و وارد شدن سیگنال کلاک به مدار فلیپ‌فلاپ جلوگیری کرد و توان مصرفی را در این المان پرمصرف در واحدهای پردازش دیجیتال کاهش داد. طراحی فلیپ‌فلاپ دریچه بندی شده با دو روش مختلف دریچه بندی مضاعف و NC2MOS ارائه و مقایسه شده است که نتایج نشان می‌دهد از نظر مساحت، پارامترهای زمانی و توان مصرفی روش NC2MOS برتری دارد. شبیه‌سازی‌های انجام شده در تکنولوژی ۶۵ ناومتر نشان می‌دهد بهبود توان مصرفی



شکل ۱۵. شبیه‌سازی ثبات انتقال ۵ تپ ۸ بیت

www.SID.ir

Archive of SID

در فلیپ‌فلاپ NC2MOS می‌تواند بین ۱۵ تا ۷۰ درصد نسبت به فلیپ‌فلاپ عادی در سیگنال‌های ورودی با چگالی گذر متفاوت برسد.

مدار فلیپ‌فلاپ NC2MOS شامل دو بخش کلی می‌باشد: مسیر اصلی داده مربوط به نمونه‌برداری و نگه‌داری داده، و مدار کنترلی مربوط به تولید سیگنال‌های کنترلی. سیگنال‌های خروجی مدار کنترلی در مسیر اصلی سیگنال نیستند و تنها به عنوان فرمان نمونه‌برداری استفاده می‌شوند اما سهم توان مصرفی مدار کنترلی حدود ۶۴ درصد توان کل مصرفی مدار فلیپ‌فلاپ است. با کم کردن تغذیه‌ی مدار کنترلی می‌توان توان مصرفی این بخش را تا ۳۳ درصد بدون تاثیر بر روی دامنه‌ی سیگنال‌های خروجی فلیپ‌فلاپ (q و qb) بهبود داد. بهبود توان مصرفی فلیپ‌فلاپ با استفاده از روش چند تغذیه‌ای نسبت به NC2MOS حدود ۳۰ درصد است. در بخش ایستانی مقاله طرح کلی فیلتر FIR با ساختار DA نشان داده شد و بخش ثبات انتقال آن با فلیپ‌فلاپ متداول و دریچه بندی شده جایگزین و نتایج آن ارائه شد. بهبود توان مصرفی این واحد بین ۲۶ تا ۸۶ درصد در چگالی‌های گذر متفاوت است.

مراجع

[1] A. H. Sodhro, S. Pirbhulal, and V. H. C. de Albuquerque, "Artificial Intelligence Driven Mechanism for Edge Computing based Industrial Applications," IEEE Transactions on Industrial Informatics, vol. 15, no. 7, pp. 4235-4243, 2019.

[2] M. Mottaghi-Dastjerdi, A. Afzali-Kusha, and M. Pedram, "BZ-FAD: a low-power low-area multiplier based on shift-and-add architecture," IEEE Transactions on very large scale integration (VLSI) systems, vol. 17, no. 2, pp. 302-306, 2009.

[3] Y.-H. Chen, T. Krishna, J. S. Emer, and V. Sze, "Eyeriss: An energy-efficient reconfigurable accelerator for deep convolutional neural networks," IEEE Journal of Solid-State Circuits, vol. 52, no. 1, pp. 127-138, 2016.

[4] T.-L. Chou and K. Roy, "Statistical estimation of sequential circuit activity," in Proceedings of the 1995 IEEE/ACM international conference on Computer-aided design, 1995, pp. 34-37: IEEE Computer Society.

[5] F. N. Najm, "A survey of power estimation techniques in VLSI circuits," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 2, no. 4, pp. 446-455, 1994.

[6] S. Mittal and S. Nag, "A survey of encoding techniques for reducing data-movement energy," Journal of Systems Architecture, vol. 97, pp. 373-396, 2019.

[7] C.-L. Su, C.-Y. Tsui, and A. M. Despain, "Saving power in the control path of embedded processors," IEEE Design & Test of Computers, vol. 11, no. 4, pp. 24-31, 1994.

[8] M. Saneei, A. Afzali-Kusha, and Z. Navabi, "Sign bit reduction encoding for low power applications," Journal of Signal Processing Systems, vol. 57 ,no. 3, pp. 321-329, 2009.

[9] M. Hamada *et al.*, "A conditional clocking flip-flop for low power H. 264/MPEG-4 audio/visual codec LSI," in Proceedings of the IEEE 2005 Custom Integrated Circuits Conference, 2005, pp. 527-530: IEEE.

[10] A. Strollo ,E. Napoli, and D. De Caro, "Low-power flip-flops with reliable clock gating," Microelectronics journal, vol. 32, no. 1, pp. 21-28, 2001.

[11] J. M. Jung and J.-W. Chong, "A low power fir filter design for image processing," VLSI Design, vol. 12, no. 3, pp. 391-397, 2001.

[12] N. Hassan, S. Gillani, E. Ahmed, I. Yaqoob, and M. Imran, "The role of edge computing in internet of things," IEEE Communications Magazine, no. 99, pp. 1-6, 2018.

[13] X. Xu *et al.*, "Scaling for edge inference of deep neural networks," Nature Electronics, vol. 1, no. 4, pp. 216-222, 2018.

[14] S. Smets, T. Goedemé, A. Mittal, and M. Verhelst, "2.2 A 978GOPS/W Flexible Streaming Processor for Real-Time Image Processing Applications in 22nm FDSOI," in 2019 IEEE International Solid-State Circuits Conference-(ISSCC), 2019, pp. 44-46: IEEE.

[15] Y.-H. Chen, T.-J. Yang, J. Emer, and V. Sze, "Eyeriss v2: A Flexible Accelerator for Emerging Deep Neural Networks on Mobile Devices," IEEE Journal on Emerging and Selected Topics in Circuits and Systems, vol. 9, no. 2, pp. 292-308, 2019.

[16] P. Zhao, H. Zhu, H. Li, and T. Shibata, "A directional-edge-based real-time object tracking system employing multiple candidate-location generation," IEEE Transactions on Circuits and Systems for Video Technology, vol. 23, no. 3, pp. 503-517, 2012.

[17] M. Fons, F. Fons, E. Cantó, and M. López, "FPGA-based personal authentication using fingerprints," Journal of Signal

www.SID.ir

Archive of SID

Processing Systems, vol. 66, no. 2, pp. 153-189, 2012.

[18] H. Kung, B. McDanel, and S. Q. Zhang, "Packing sparse convolutional neural networks for efficient systolic array implementations: Column combining under joint optimization," in Proceedings of the Twenty-Fourth International Conference on Architectural Support for Programming Languages and Operating Systems, (2019), pp. 821-834: ACM.

[19] V. G. Oklobdzija, V. M. Stojanovic, D. M. Markovic, and N. M. Nedovic, Digital system clocking: high-performance and low-power aspects. John Wiley & Sons, IEEE, Inc. New York, 2005.

[20] S. Joshi *et al.*, "Multi-Vdd Design for Content Addressable Memories (CAM): A Power-Delay Optimization Analysis," Journal of Low Power Electronics and Applications, vol. 8, no. 3, pp. 25, 2018.

[21] Y. A. Durrani and T. Riesgo, F. Machado, "Statistical Power Estimation for Register Transfer Level," Mixed Design of Integrated Circuits and System, 2006.

[22] Y. A. Durrani and T. Riesgo, "Power estimation technique for DSP architectures," Digital Signal Processing, vol. 19, no. 2, pp. 213-219, 2009.

[23] S. Gupta and F. N. Najm, "Power modeling for high-level power estimation," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 8, no. 1, pp. 18-29, 2000.

[24] R. E. W. Rafael C. Gonzalez, Digital Image Processing (3rd Edition). Prentice-Hall, Inc. Upper Saddle River, NJ, USA, 2008.

[25] S. F. Ghamkhari and M. B. Ghaznavi-Ghoushchi, "A new low-power architecture design for distributed arithmetic unit in FIR filter implementation," Circuits, Systems, and Signal Processing, vol. 33, no. 4, pp. 1245-1259, 2014.

www.SID.ir