سنسور تصویر CMOS با مبدل داده 10 بیتی ستون–موازی دو–مرحله‌ای

مسعود تیموری
استادیار دانشکده مهندسی برق، دانشگاه صنعتی ارومیه، m.teymouri@uut.ac.ir

چکیده

در این مقاله یک سنسور تصویری معرفی شده است که دقت و سرعت عکسبرداری بالا یی دارد. بطوریکه برای این کار، یک مدار خواندن سیگنال پیکسلی معرفی شده است که با توان مصرفی مشابه مدار رایج سورس-فالوور، از لحاظ خطیت ۱۴دسی‌بل و از لحاظ دقت ۱۶٪ بهبود یافته است. کل نویز ارجاع شده به ورودی مدار خواندن پیکسل برای پهنای باند ۱ هرتز تا ۱ گیگا هرتز، ۰/۷ میلی‌ولت و توان مصرفی آن بدون مدار بایاس ۱۶/۹ میکرو وات می‌باشد. سنسور تصویر مربوطه بر اساس معماری رایج ستون-موازی طراحی شده و برای تبدیل سیگنال‌های آنالوگ پیکسل‌ها به دیجیتال، ساختاری معرفی شده است که توانایی تبدیل این سیگنال‌ها به ۱۰ بیت داده دیجیتال را در دو فاز متوالی دارد. این روش باعث شده است بدون افزایش قابل ملاحظه توان مصرفی نسبت به مبدل رایج با ساختار تک-شیب تک-مرحله‌ای، سرعت نمونه برداری ۱۶ برابر افزایش یابد. تمامی مدارات در تکنولوژی CMOS TSMC 0.18µm طراحی شده و توسط نرم افزار Cadence پیاده‌سازی و توسط سیمولاتور Spectre شبیه‌سازی شده است.

کلیدواژه

سنسور تصویر CMOS، پیکسل، مدار خواندن پیکسل، مبدل شیب دو مرحله‌ای، نویز FPN.

مقدمه

دوربین‌های دیجیتال و یا به عبارتی علمی‌تر سنسورهای تصویر[۱]، ماژول‌های الکترونیکی هستند که در اکثر تجهیزات الکترونیکی از قبیل گوشی موبایل، لپ تاپ، تبلت، ابزارآلات صنعتی، نظامی و پزشکی کاربرد فراوانی دارند. لذا طراحان زیادی در صدد بهبود آن از لحاظ کیفیت تصویر نهایی، توان مصرفی، سرعت عکسبرداری و غیره می‌باشند. سنسورهای تصویر که امروزه عمدتا از نوع CMOS می‌باشند دارای بلوک‌های مختلفی هستند که هر کدام وظیفه خاصی را انجام می‌دهد. بلوک‌های اصلی سنسور تصویر عبارت است از پیکسل، آرایه پیکسل[۲]، مدار خواندن پیکسل[۳]، مدار حذف نویز[۴] و مبدل آنالوگ به دیجیتال[۵].

پیکسل مداری است که با استفاده از یک آشکارساز نوری مانند فوتودیود، توانایی تبدیل شدت روشنایی به سیگنال الکتریکی را دارد. چیدن تعداد زیادی پیکسل به طور منظم در سطرها و ستون‌ها باعث تشکیل آرایه‌ی پیکسل می‌شود که در این صورت می‌توان تصویر اپتیکال یک منظره را بر روی آن ایجاد نمود. برای استخراج سیگنال آنالوگ پیکسل‌ها از آرایه پیکسل از مداری به نام مدار خواندن پیکسل استفاده می‌شود. همچنین برای حذف نویز ایجاد شده در سیگنال خروجی پیکسل و مدار خواندن پیکسل، از مداری بنام مدار حذف نویز استفاده می‌شود. در نهایت سیگنال‌های آنالوگ پیکسل‌ها از طریق مبدل آنالوگ به دیجیتال به داده‌های دیجیتال تبدیل می‌شود که این داده‌ها همان اطلاعات فایل دیجیتال تصویر نهایی خواهد بود [۲-۱].

در کل سه معماری رایج برای سنسور تصویر وجود دارد که عبارتند از:

ساختار سریال: در این روش سیگنال آنالوگ تمامی پیکسل‌های آرایه توسط یک مدار خواندن، یک مدار حذف نویز و یک مبدل داده خوانده شده و به دیجیتال تبدیل می‌شود. این روش باعث کاهش توان مصرفی و سطح سیلیکونی سنسور می‌گردد اما باعث کاهش شدید سرعت عکسبرداری نیز می‌شود. ساختار ستون-موازی[۶]: در این روش در هر ستون آرایه پیکسل، یک مدار خواندن، یک مدار حذف نویز و یک

[۱] Image Sensor
[۲] Pixel array
[۳] Pixel readout circuit
[۴] Noise suppression circuit
[۵] Analog to digital converter
[۶] Column parallel

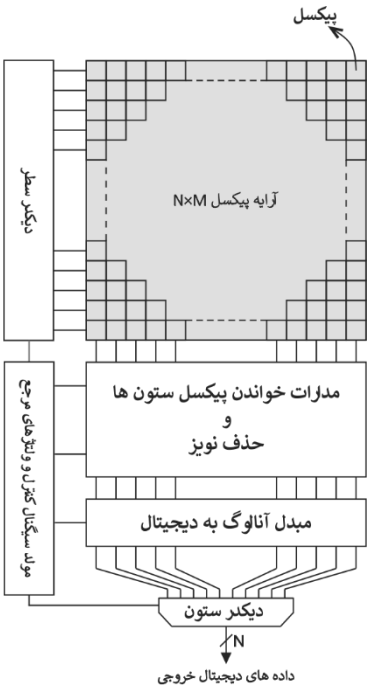
www.SID.ir

تاریخ دریافت: ۱۳۹۹/۰۵/۱۴ تاریخ پذیرش: ۱۴۰۰/۰۱/۲۵

مبدل داده قرار داده می‌شود. این رایج‌ترین و محبوب‌ترین معماری مورد استفاده در سنسورهای تصویر می‌باشد.

روش موازی: در این روش هر سه بلوک اصلی خواندن، حذف نویز و مبدل داده در داخل پیکسل ساخته می‌شود که این باعث افزایش شدید توان مصرفی و سطح سیلیکونی سنسور شده اما برای ساخت دوربین‌هایی با سرعت عکسبرداری بسیار زیاد از این روش استفاده می‌شود.

در این مقاله یک سنسور تصویر جدیدی معرفی شده است که توانایی تولید عکس‌هایی با دقت و سرعت بالاتری از روش‌های رایج را داشته و از معماری رایج ستون-موازی که شمای بلوک دیاگرام آن در شکل ۱ دیده می‌شود بهره می‌برد.



شکل ۱. بلوک دیاگرام سنسور تصویر با معماری رایج ستون-موازی

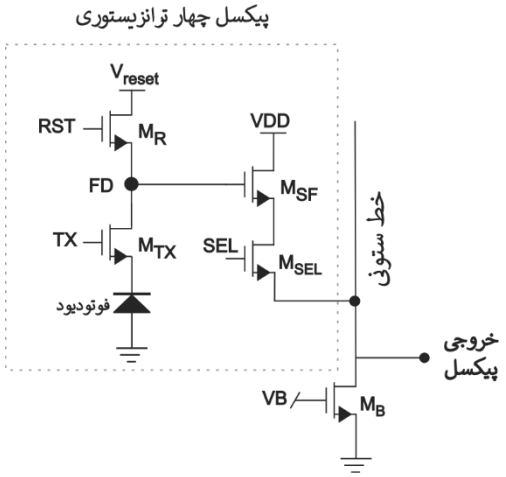
پیکسل و مدار خواندن پیکسل

پیکسل

ساختارهای استاندارد مختلفی برای مدار پیکسل وجود دارد که نوع پیکسل فعال[۱] با سه ترانزیستور و چهار ترانزیستور از همه رایج‌تر می‌باشند. تفاوت این دو نوع پیکسل فقط در نوع آشکارساز نوری آنها می‌باشد. به طوری که در ساختار سه ترانزیستوری[۲] از فوتودیود و در ساختار چهار ترانزیستوری[۳] از پین‌دیود[۴] برای ساخت پیکسل استفاده می‌شود [۳]. با توجه به اینکه پیکسل چهار ترانزیستوری نویز کمتر و حساسیت نوری بیشتری نسبت به مدل قدیمی‌تر سه ترانزیستوری دارد لذا در این مقاله از ساختار پیکسل فعال چهار ترانزیستوری که مدار آن در شکل ۲ دیده می‌شود استفاده شده است. همانطورکه دیده می‌شود پیکسل (بخش هاشور زده) به یک منبع جریان ساخته شده با ترانزیستور M_B متصل شده است. طرز کار این مدار به این صورت می‌باشد که ابتدا با اعمال پالس ریست RST، ترانزیستور ریست M_R روشن شده و ولتاژ گره FD[۵] تا ولتاژ V_{reset} شارژ می‌گردد. به این مرحله، فاز ریست[۶] گفته می‌شود. حال با اعمال پالس انتخابگر پیکسل SEL، ترانزیستور M_{SEL} روشن شده و ترانزیستور M_{SF} با ترانزیستور M_B تشکیل یک مدار سورس-فالوور[۷] را می‌دهند. در این صورت ولتاژ گره FD با رابطه زیر در خروجی ظاهر می‌گردد.

$$V_{out} = V_{FD} - V_{gs} \qquad (۱)$$

که در آن V_{out} ولتاژ خروجی پیکسل، V_{FD} ولتاژ گره شناور و V_{gs} ولتاژ گیت-سورس ترانزیستور M_{SF} می‌باشد. همزمان با روشن شدن ترانزیستور ریست، ترانزیستور M_{TX} نیز برای مدتی روشن می‌شود تا ولتاژ دو سر فوتودیود نیز تا ولتاژ V_{reset} شارژ گردد.

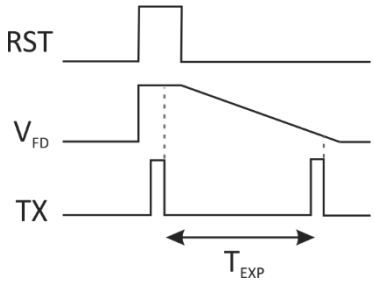


شکل ۲. مدار رایج پیکسل 4T-APS

بعد از قطع پالس ریست، ولتاژ دو سر فوتودیود توسط جریان معکوس آن که تابع شدت روشنایی می‌باشد کاهش می‌یابد. حال با گذشت یک زمان مشخص (T_{EXP}) به نام زمان در معرض گذاری نوری[۸] مجددا ولتاژ دو سر فوتودیود با روشن کردن ترانزیستور M_{TX} خوانده می‌شود این مرحله به نام فاز سیگنال[۹] معروف می‌باشد. دیاگرام زمانی شکل ۳ نحوه نمونه برداری در دو فاز ریست و سیگنال را نشان می‌دهد.

۱ APS: Active Pixel Sensor
۲ 3T-APS
۳ 4T-APS
۴ Pinned Diode
۵ Floating diffusion node
۶ Reset phase
۷ SF: Source follower
۸ Exposure time
۹ Signal phase

www.SID.ir



شکل۳. ولتاژ گره FD و نقاط نمونه‌برداری

با تفریق این دو ولتاژ نمونه برداری شده در فاز ریست و فاز سیگنال، ولتاژی بدست می‌آید که بخاطر اعمال روشنایی به پیکسل ایجاد شده است. رابطه حاکم بر ولتاژ مربوطه به قرار زیر می‌باشد.

$$V_{sig}=V_{out,reset}-V_{out,read}=\frac{1}{C_{FD}}\int_0^{T_{EXP}} I_{PH}.dt=\frac{I_{PH}.T_{EXP}}{C_{FD}} \quad (۲)$$

در این رابطه V_{sig} ولتاژ کاهش یافته بخاطر اعمال نور، $V_{out,reset}$ ولتاژ خروجی در فاز ریست، $V_{out,read}$ ولتاژ خروجی در فاز سیگنال، I_{PH} جریان معکوس فوتودیود که با شدت روشنایی رابطه مستقیم دارد، C_{FD} خازن گره FD و T_{EXP} مدت زمان در معرض گذاری نور می‌باشد.

مدار حذف نویز

همانطور که در بخش قبلی بحث شد اختلاف ولتاژ سیگنال‌های نمونه برداری شده در فازهای ریست و سیگنال، رابطه مستقیم با شدت روشنایی دارد. لذا بعد از نمونه‌برداری از ولتاژ خروجی پیکسل در این دو فاز، باید توسط مداری اختلاف این دو سیگنال نمونه‌برداری شده تولید گردد تا به عنوان سیگنال آنالوگ مدنظر که حاوی اطلاعات شدت روشنایی می‌باشد به طبقه بعدی که مبدل داده[۱] است فرستاده شود. عملیات تفریق نمونه‌ها، باعث حذف نویز با الگوی ثابت[۲] نیز می‌شود. نویز با الگوی ثابت، از جمله منابع نویز در سنسور تصویر می‌باشد که در فازهای ریست و سیگنال تغییری در مقدار آن ایجاد نمی‌شود و مقدار ثابتی دارد. لذا با عملیات تفریق این نوع از نویز قابل حذف می‌باشد. از جمله منابع نویز FPN می‌توان به نویز حرارتی هنگام ریست پیکسل اشاره نمود که بخاطر روشن شدن ترانزیستور ریست، در خازن C_{FD} ایجاد می‌گردد. همچنین در خصوص منابع نویز FPN می‌توان به ولتاژ آستانه[۳] ترانزیستور تقویت M_{SF} نیز اشاره نمود. نمود. درست است که از پیکسل به پیکسل دیگر می‌تواند متفاوت باشد اما برای هر پیکسل مقدار ثابت بوده و در هر دو نمونه ریست و سیگنال به یک اندازه می باشد. در نتیجه به دلیل اینکه ولتاژ نویز با الگوی ثابت (V_{FPN}) در هر دو نمونه $V_{out,reset}$ و $V_{out,read}$ به یک اندازه می‌باشد با تفریق این دو نمونه طبق رابطه ۲ برای تولید ولتاژ سیگنال نهایی (V_{sig})، V_{FPN} حذف خواهد شد [۴-۶].

مدار رایج خواندن پیکسل و حذف نویز

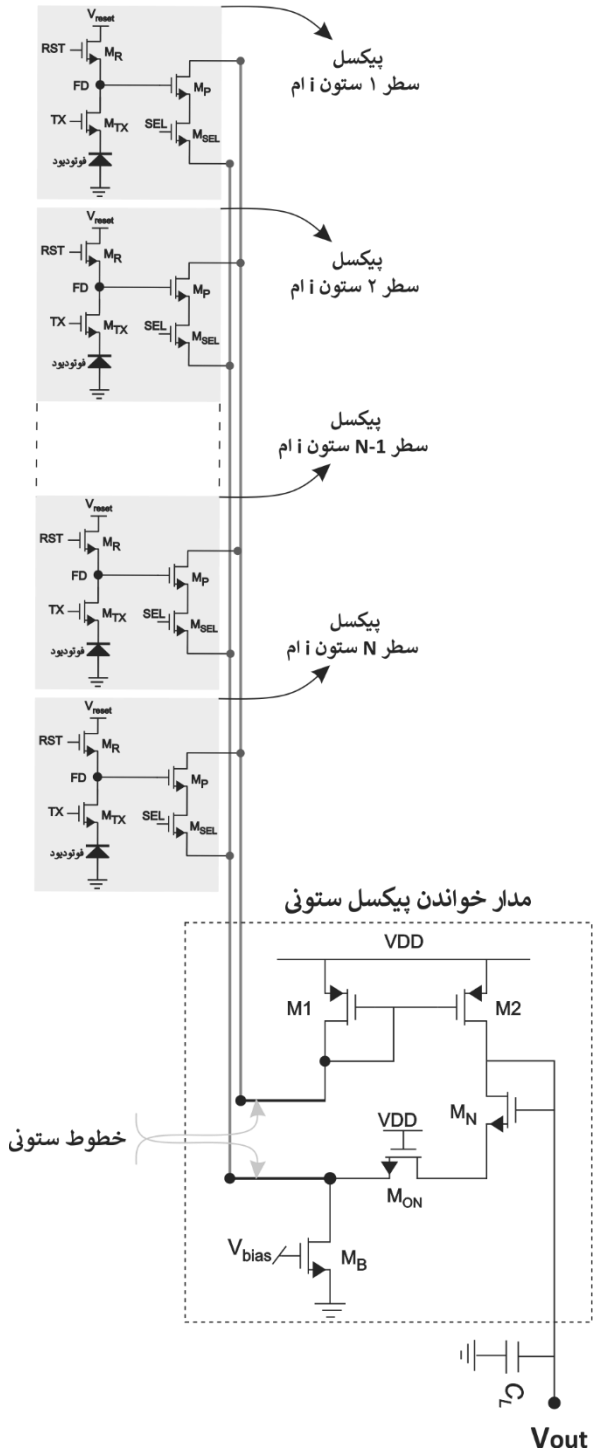
همانطور که قبلا اشاره شد با اتصال پیکسل به یک منبع جریان می‌توان ولتاژ دو سر فوتودیود را از طریق مدار سورس-فالوور به بیرون آرایه پیکسل انتقال نمود. مدار سورس-فالوور در مقالات زیادی به عنوان مدار خواندن پیکسل سنسور تصویر استفاده شده است [۷-۹]. در این مدار یک ترانزیستور که در ناحیه فعال قرار دارد (به عنوان منبع جریان) در خارج آرایه پیکسل و در ستون قرار داده می‌شود. با روشن شدن ترانزیستور انتخاب‌گر سطر (M_{SEL} در شکل ۲) پیکسل مربوطه به این ترانزیستور که نقش منبع جریان را دارد متصل شده و M_{SF} و M_B تشکیل مدار سورس-فالوور را برای خواندن سیگنال می‌دهد. مدار سورس-فالوور به عنوان مدار خواندن پیکسل، رایج‌ترین و مجبوبترین مدار می‌باشد که دارای مزایا و معایبی است. طراحی ساده، توان مصرفی و سطح سیلیکونی پایین جزو مزایای این مدار بوده اما رفتار غیرخطی و بهره ولتاژ کمتر از واحد آن جزو معایب اصلی آن است که باعث می‌شود سیگنال دوسر فوتودیود با خطایی استخراج شود. رفتار غیر خطی سورس-فالوور به خاطر مدولاسیون عرض کانال و تاثیر بدنه ترانزیستور تقویت می‌باشد که با بزرگتر شدن ورودی آن غیر خطی‌تر نیز می‌شود. بدلیل دامنه تغییرات بزرگ ولتاژ دو سر فوتودیود، این ولتاژ جزو سیگنال بزرگ محسوب می‌شود. لذا رفتار غیر خطی سورس-فالوور، تأثیر نامطلوبی روی سیگنال خروجی گذاشته و نهایتاً کیفیت تصویر نهایی را تحت تاثیر قرار خواهد داد.

مدار خواندن پیکسل پیشنهادی[۴]

برای خواندن سیگنال پیکسل با دقت و خطییت بیشتر از مدار سورس-فالوور، از یک مدار تقویت کننده تک طبقه با فیدبک واحد، بخش هاشور زده شکل ۴، استفاده شده است. در واقع شکل ۴ یک ستون از آرایه پیکسل را نشان می‌دهد که به مدار خواندن پیکسل متصل شده است. همانطورکه دیده می‌شود درتقویت کننده تک طبقه با فیدبک واحد، نصف مدار زوج دیفرانسیل ورودی وجود ندارد و تقویت کننده با دو خط ستونی به پیکسل‌ها متصل شده است. می‌دانیم آن پیکسلی به مدار خواندن ستون متصل خواهد شد که ترانزیستور انتخاب‌گر سطر آن (M_{SEL}) روشن شود در اینصورت آن مدار پیکسل به مدار خواندن متصل شده و ترانزیستور M_P از پیکسل با ترانزیستور M_N از تقویت کننده، زوج دیفرانسیلی ورودی را تکمیل می‌نمایند [۱۰و۱۱].

۱ Data converter
۲ FPN: Fixed pattern noise
۳ Threshold voltage
۴ PRC: Proposed readout circuit

www.SID.ir



شکل۴. یک ستون از آرایه پیکسل متصل به مدار خواندن

بخاطر ترانزیستور روشن M_{SEL}، یک ترانزیستور روشن M_{ON} نیز به سمت دیگر زوج دیفرانسیلی اضافه شده است تا زوج دیفرانسیل ورودی کاملا متقارن شود. در صورت اتصال یک پیکسل به مدار خواندن، ولتاژ گره FD با ولتاژ خروجی مدار V_O، رابطه زیر را خواهد داشت.

$$V_{out} = \frac{g_{mp} \cdot r_o}{1 + g_{mp} \cdot r_o} V_{FD} \qquad (۳)$$

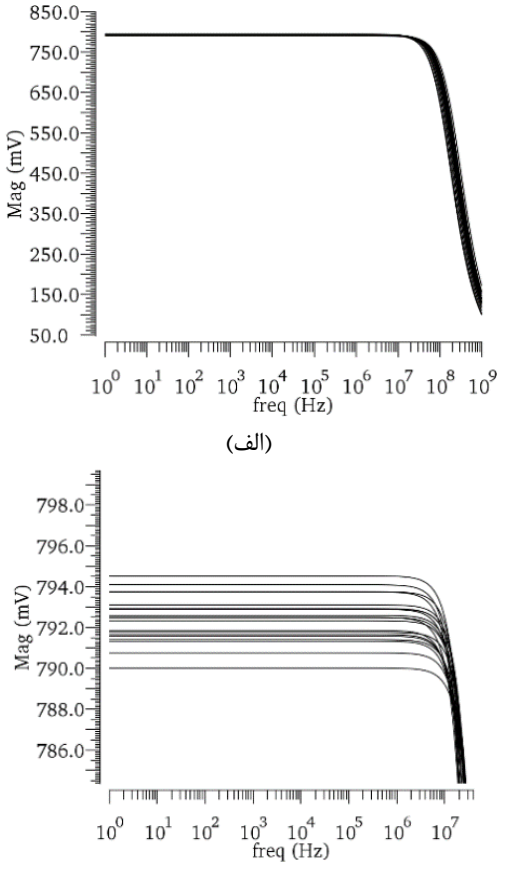
در این رابطه g_{mp} هدایت انتقالی ترانزیستورهای زوج دیفرانسیلی و r_o مقاومت خروجی گره V_{out} می‌باشد. اندازه ترانزیستورهای مورد استفاده در مدار شکل ۲ و ۴ در جدول ۱ گردآوری شده است. لازم به توضیح است ترانزیستورهای هم نام در این دو مدار اندازه یکسانی دارند.

جدول۱. اندازه ترانزیستورهای مدار شکل ۲ و ۴

Transistor	W/L	Transistor	W/L
M_R, M_{TX}	220n/180n	M_P,M_N	3µ/180n
M_{SF}, M_{SEL}	3µ/180n	M_{on}	3µ/180n
M_B	220n/180n	M_1,M_2	20µ/180n

نتایج شبیه سازی مدارات خواندن پیکسل

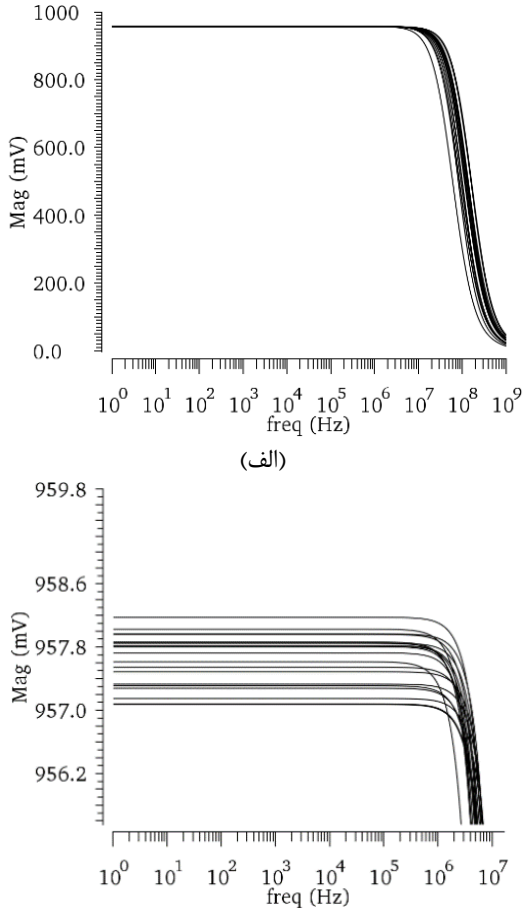
برای ارزیابی مدار پیشنهادی (PRC) و مقایسه عملکرد آن با مدار سورس-فالوور (SF)، می توان نتایج شبیه سازی زمانی، فرکانسی، نویز و تحلیل خطییت آنها را مورد مطالعه قرار داد. برای بدست آوردن بهره ولتاژ مدارات PRC و SF تحلیل فرکانسی صورت گرفته و نتایج شبیه سازی در شکل ۵ و ۶ نشان داده شده است. لازم به توضیح است که برای اعمال تاثیر تغییرات پروسه، تحلیل مونت کارلو با ۲۰ نقطه نیز در حین شبیه سازی فرکانسی فعال شده است. لذا منحنی‌های مختلفی برای تحلیل فرکانسی دیده می‌شود.



شکل۵. الف) دامنه ولتاژ خروجی مدار SF به ازای ولتاژ ورودی با دامنه ۰/۵ ولت ب) بزرگنمایی قسمتی از منحنی بخش الف

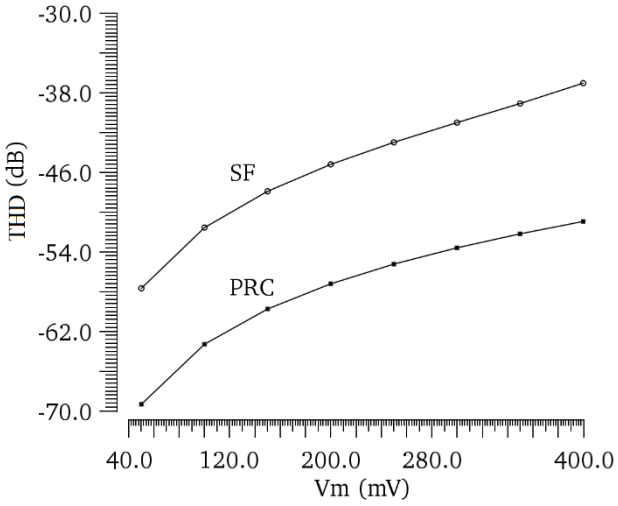
www.SID.ir

همانطورکه از شکل ۵ دیده می شود بهره ولتاژ مدار SF حدودا ۰/۸ می‌باشد و این مشخص می‌کند که ولتاژ دو سر فوتودیود با تضعیف ۲۰٪ خوانده می‌شود. این در حالی است که بر اساس شکل ۶ بهره ولتاژ مدار پیشنهادی حدودا ۰/۹۶ می‌باشد. لذا ولتاژ فوتودیود تنها با تضعیف ۴٪ خوانده می‌شود و در نتیجه مدار PRC به حالت ایده‌ال نزدیکتر می‌باشد.



شکل۶. الف) دامنه ولتاژ خروجی مدار PRC به ازای ولتاژ ورودی با دامنه ۰/۵ ولت ب) بزرگنمایی قسمتی از منحنی بخش الف

برای بررسی و مقایسه میزان خطییت مدارات مربوطه، THD[1] هر دو مدار به ازای دامنه‌های مختلف ولتاژ ورودی بدست آمده و در شکل ۷ نشان داده شده است. با توجه به شکل ۷ مشخص است که رفتار ورودی-خروجی بافر پیشنهادی خطی‌تر از بافر رایج می‌باشد بطوریکه برای ماکزیمم دامنه ورودی سیگنال (سیگنال بزرگ) THD مدار پیشنهادی ۵۱- دسی‌بل و برای مدار رایج ۳۷- دسی‌بل می‌باشد. برای ورودی با دامنه کوچک ۵۰ میلی‌ولت نیز به ترتیب ۶۹- و ۵۷- دسی‌بل برای مدارات PRC و SF می‌باشد. لذا بدلیل بهره نزدیک به واحد و خطییت بالای مدار خواندن پیکسل پیشنهادی، دقت سنسور تصویر مبتنی بر این مدار خواندن بیشتر از مدار رایج سورس-فالوور بوده و کیفیت تصویر نهایی بهبود خواهد یافت. از آنجاییکه جریان ترانزیستور M_B در تقویت کننده تک طبقه با جریان بایاس مدار سورس-فالوور به یک اندازه انتخاب شده است لذا این دو مدار دارای توان مصرفی یکسانی به اندازه $V_{DD}\times I_B$ می‌باشند.



شکل۷. مقادیر THD ولتاژخروجی مدار SF و PRC به ازای دامنه ولتاژ ورودی ۵۰ میلی ولت الی ۴۰۰ میلی ولت و گام ۵۰ میلی ولت

مبدل آنالوگ به دیجیتال

بعد از خواندن سیگنال پیکسل و حذف نویز FPN نوبت به تبدیل این سیگنال‌های آنالوگ به دیجیتال می‌رسد. با پیاده سازی مبدل آنالوگ به دیجیتال در داخل تراشه سنسور تصویر، می‌توان اطلاعات آنالوگ آرایه پیکسل را به دیجیتال تبدیل نمود تا آماده ارسال به خارج از تراشه شود. از طرفی همانطورکه قبلا توضیح داده شد برای حذف نویز با الگوی ثابت، دو بار از سیگنال پیکسل نمونه برداری شده و نمونه‌ها توسط یک تفریق کننده از هم کم می‌شوند. در بعضی از سنسورهای تصویر این واحد بصورت مستقل پیاده سازی می‌شود و در بعضی موارد نیز ادغام در بخشهای دیگر می‌شود. در سنسور پیشنهادی، این بخش توسط تفریق‌گر دیجیتال انجام می‌شود.

مبدل آنالوگ به دیجیتال رایج

رایج‌ترین و محبوب‌ترین ساختار مبدل آنالوگ به دیجیتال مورد استفاده در سنسورهای تصویر با معماری ستون-موازی ساختار مبدل تک-شیب[2] می‌باشد [۱۲]. ساختار مبدل مربوطه در شکل ۸ دیده می‌شود.

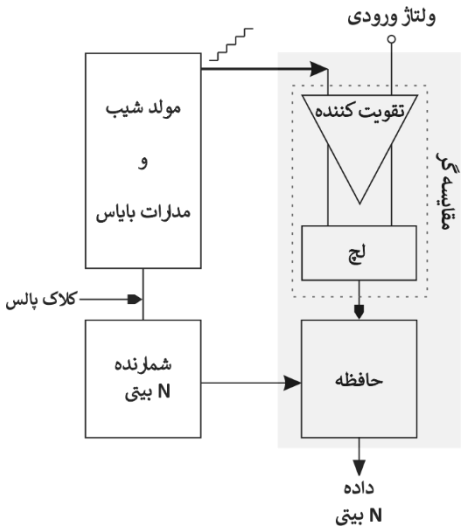
طرز کار این مبدل داده به اینصورت می‌باشد که همزمان با اعمال ولتاژ ورودی، شمارنده دیجیتال و مولد سیگنال شیب ریست می‌شوند بعد با اعمال هر کلاک پالس، یک گام جدید توسط مولد سیگنال شیب تولید شده و یک واحد به مقدار شمارنده اضافه می‌گردد. مقایسه‌گر ولتاژ ورودی را با ولتاژ گام سیگنال شیب مقایسه می‌کند. در اینصورت اگر ولتاژ ورودی بزرگتر از ولتاژ گام باشد خروجی مدار مقایسه‌گر "0"

[1] Total harmonic distortion

[2] Column-parallel single-slope ADC

www.SID.ir

شده و مقدار شمارنده در حافظه ذخیره می‌شود و مجددا با اعمال پالس، گام جدیدی تولید می‌شود. این عملیات مقایسه و افزایش گام سیگنال شیب و مقدار شمارنده تا جایی ادامه می‌یابد که ولتاژ گام سیگنال شیب بزرگتر از ولتاژ ورودی شود در اینصورت خروجی مدار مقایسه‌گر "1" شده و مقدار داده شمارنده در حافظه قفل شده و بعد آن مقدار شمارنده دیگر در حافظه ذخیره نمی‌شود. حال مقدار دیجیتال شده ولتاژ ورودی در حافظه قابل دسترس می‌باشد.

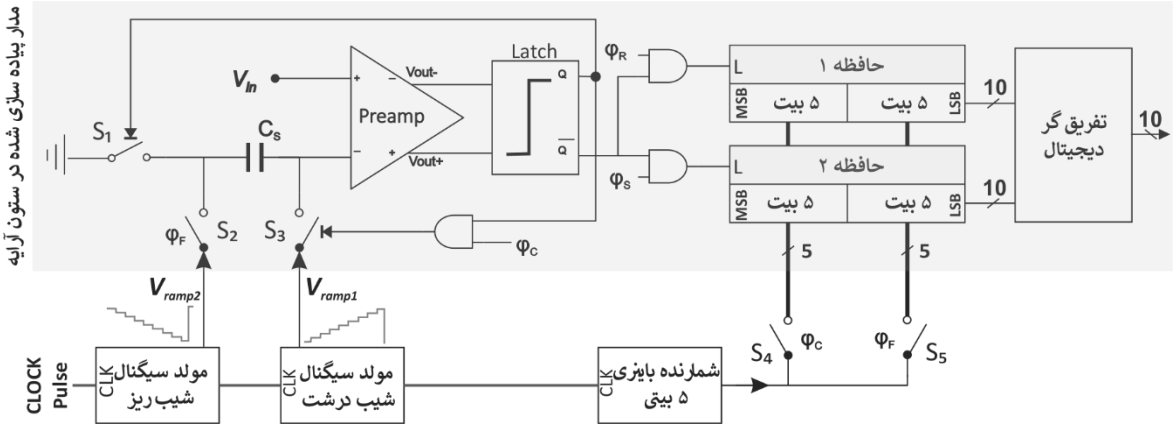


شکل۸. ساختار مبدل آنالوگ به دیجیتال رایج تک-شیب

این نوع از مبدل داده دارای مزایا و معایبی است که استفاده آن را در بعضی کاربردها بسیار مفید و برای بعضی دیگر نامناسب می‌نماید. همانطورکه مشخص است به دلیل کم بودن تعداد بلوک‌های تشکیل دهنده این مبدل، سطح سیلیکونی و توان مصرفی پایینی دارد. اما باید توجه داشت برای تبدیل سیگنال آنالوگ به N بیت داده دیجیتال باید 2^N کلاک پالس اعمال گردد. لذا برای رزلوشن‌های بیشتر از ۸ بیت، سرعت این مبدل بسیار پایین خواهد بود. بنابراین از این مبدل بهتر است در کاربردهای سرعت و توان پایین استفاده شود. علت پر کاربرد بودن این مبدل در سنسور تصویر با معماری ستون-موازی این است که می‌توان به راحتی آن را پیاده سازی نمود. به اینصورت که در هر ستون از آرایه پیکسل‌ها فقط مقایسه‌گر و حافظه (بخش سایه شده) قرار داده شود و مدارات بایاس، مولد شیب و شمارنده داده در بیرون ستون‌ها پیاده‌سازی گردد و با همه ستون‌ها بصورت مشترک استفاده شود. در اینصورت سیگنال شیب و مقدار داده شمارنده بصورت موازی به همه مقایسه‌گرها و حافظه‌های ستون‌ها اعمال شده تا مقایسه‌گر هر ستون گام ولتاژ شیب را با ولتاژ پیکسل ستون خود مقایسه نماید و بر اساس نتیجه مقایسه، مقدار داده دیجیتال شمارنده را در حافظه آن ستون ذخیره کند.

مبدل آنالوگ به دیجیتال پیشنهادی

همانطورکه در بخش قبلی توضیح داده شد مبدل داده تک-شیب رایج‌ترین ساختار مبدل آنالوگ به دیجیتال در سنسور تصویر ستون-موازی می‌باشد. در این مقاله از این ساختار برای طراحی یک مبدل آنالوگ به دیجیتال ۱۰ بیتی استفاده شده است با این تفاوت که بجای تبدیل سیگنال‌های آنالوگ به دیجیتال در یک فاز، در دو مرحله این سیگنال‌ها به دیجیتال تبدیل خواهد شد [۱۳-۱۴]. دلیل این کار این است که اگر در یک مرحله داده ۱۰ بیتی تولید شود ۱۰۲۴=2^{10} کلاک پالس نیاز است تا عملیات تبدیل توسط مبدل تکمیل شود در حالیکه در مدار پیشنهادی در مرحله اول ۵ بیت پر ارزش داده نهایی و در مرحله دوم ۵ بیت کم ارزش داده نهایی تولید می‌شود. لذا با اعمال ۶۴=2^5+2^5 کلاک پالس می توان کل عملیات تبدیل را انجام داد. در اینصورت سرعت مبدل با همان توان مصرفی روش تک مرحله ای حدودا ۱۶=۱۰۲۴/۶۴ برابر افزایش می‌یابد. از آنجاییکه معماری سنسور تصویر پیشنهادی مقاله بصورت ستون-موازی می‌باشد لذا برای پیاده سازی مبدل داده، در هر ستون از آرایه پیکسل، مدار پیشنهادی بخش سایه شده شکل ۹ قرار داده می‌شود. لازم به توضیح است که خروجی مدار خواندن پیکسل (مدار PRC معرفی شده در شکل۴) متصل به ورودی V_{in} مبدل می‌باشد. طرز کار مبدل پیشنهادی به اینصورت می-باشد که یک بار ولتاژ پیکسل در فاز ریست و بار دیگر در فاز سیگنال به مبدل داده جهت تبدیل شدن به ۱۰ بیت داده دیجیتال اعمال می‌گردد.



شکل۹. ساختار مبدل پیشنهادی تک-شیب دو مرحله‌ای

www.SID.ir

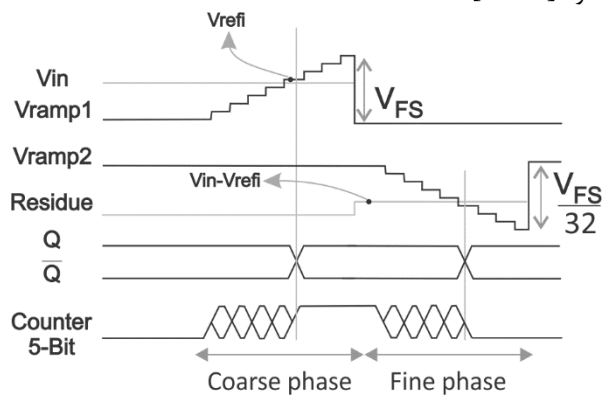
عملیات تبدیل هر سیگنال آنالوگ به دیجیتال در دو فاز (ریز و درشت) به قرار زیر انجام می‌پذیرد. فرض کنید می‌خواهیم سیگنال ریست پیکسل را به دیجیتال تبدیل کنیم پس $\varphi_R=1$ و $\varphi_S=0$ می‌باشد. چون $\varphi_S=0$ می‌باشد لذا حافظه ۲ غیر فعال بوده اما حافظه ۱ در شرایط بار[۱] قرار دارد و مقدار شمارنده باینری ۵ بیتی بطور موازی در داخل حافظه ۱ بار می‌شود. حال در مرحله اول تبدیل یا فاز درشت[۲] با اعمال پالس $\varphi_C=1$ و $\varphi_F=0$ به مبدل، سیگنال شیب (V_{ramp1}) که دارای 2^5=۳۲ گام می‌باشد به ورودی منفی پیش تقویت کننده مقایسه‌گر اعمال می‌شود. رنج کامل ولتاژ این سیگنال شیب به اندازه ماکزیمم رنج ولتاژ خروجی پیکسل (یا همان رنج کامل[۳] مبدل) می‌باشد که در این مدار ۰/۸ ولت انتخاب شده است. بنابراین ولتاژ هر گام سیگنال شیب ۱ طبق معادله زیر ۲۵ میلی‌ولت خواهد بود.

$$V_{setp-coarse}=\frac{V_{fs}}{2^5}=\frac{0.8}{32}=25mV \qquad (۴)$$

همزمان با اعمال گام‌های سیگنال V_{ramp1}، شمارنده نیز بصورت بالا شمار از "00000" تا "11111" می‌شمارد. فرض کنید $V_{in}>V_{ramp1}$ باشد در اینصورت Q=1 و Q'=0 خواهد بود. این باعث روشن شدن کلیدهای S_1 و S_3 شده و حافظه ۱ نیز در حالت بار قرار می‌گیرد. در این شرایط دو کار بطور همزمان اتفاق می‌افتد. ۱- گام‌های ولتاژ V_{ramp1} در خازن C_S ذخیره می‌شود ۲- داده های دیجیتال شمارنده در ۵ بیت پرارزش حافظه ۱ ذخیره می‌گردد. تا زمانیکه شرط $V_{in}>V_{ramp1}$ برقرار است دو کار اشاره شده نیز در حال اجرا می‌باشد. ولی اگر $V_{in}<V_{ramp1}$ شود خروجی مقایسه‌گر عوض شده و Q=0 و Q'=1 خواهد شد در اینصورت مقدار داده موجود در حافظه به دلیل صفر شدن ورودی لچ آن (L) دیگر قابل تغییر نخواهد بود و به دلیل خاموش شدن کلیدهای S_1 و S_3، ولتاژ گام سیگنال V_{ramp1} نیز در خازن C_S نگه داشته می‌شود. حال فاز اول خاتمه یافته و ۵ بیت داده ذخیره شده در حافظه ۱ همان ۵ بیت پرارزش سیگنال ورودی V_{in} می‌باشد. بعد از مرحله اول نوبت به مرحله دوم و یا فاز ریز[۴] می‌رسد. در این حالت $\varphi_C=0$ و $\varphi_F=1$ خواهد بود و شمارنده ۵ بیتی این بار برخلاف مرحله قبلی بصورت پایین شمار از "11111" تا "00000" خواهد شمرد. از آنجاییکه اولین ولتاژ گام (V_{refi}) سیگنال شیب ۱ که بزرگتر از ولتاژ ورودی می‌باشد در خازن C_S ذخیر شده و چون سیگنال شیب ۲ از طریق این خازن به پایه منفی مقایسه‌گر اعمال می‌شود لذا عملیات مقایسه بین V_{in} و $V_{ramp2}+V_{refi}$ اتفاق می‌افتد. در واقع در این حالت ولتاژ باقیمانده[۵] ($V_{in}-V_{refi}$) از حالت قبل به ۵ بیت داده دیجیتال تبدیل می‌شود و در قسمت ۵ بیت کم ارزش حافظه ۱ ذخیره می‌گردد. لازم به توضیح است که ولتاژ هر گام سیگنال شیب ۲ طبق معادله زیر ۷۸۱ میکرو ولت خواهد بود.

$$V_{setp-fine}=\frac{V_{setp-coarse}}{2^5}=\frac{25mV}{32}=781\mu V \qquad (۵)$$

برای درک بهتر این عملیات می‌توان به دیاگرام زمانی شکل ۱۰ توجه نمود [۱۵-۱۶].



شکل ۱۰. دیاگرام زمانی مبدل داده پیشنهادی

با اتمام فاز ریست پیکسل، سیگنال ورودی V_{in} که حاوی ولتاژ ریست پیکسل می‌باشد به ۱۰ بیت داده دیجیتال تبدیل شده و در حافظه ۱ ذخیره می‌گردد. بعد از این فاز، نوبت به فاز سیگنال می‌رسد و همین مراحل تبدیل داده بر روی سیگنال ورودی که حاوی ولتاژ سیگنال پیکسل می‌باشد اتفاق می‌افتد و این ولتاژ نیز بعد از تبدیل به دیجیتال در حافظه ۲ ذخیره می‌گردد. در نهایت این دو داده دیجیتال توسط تفریق‌گر دیجیتال از هم کم می‌شود تا داده دیجیتال نهایی که مقدار دیجیتال $V_{sig}=V_{out,reset}-V_{out,read}$ می‌باشد به خارج از تراشه اعمال گردد. همانطورکه از قبل می‌دانیم این کار باعث حذف نویز FPN از داده خروجی می‌شود.

مدار پیش تقویت کننده

برای شناسایی کوچکترین ولتاژ گام مبدل داده پیشنهادی که بر طبق معادله ۵، ۷۸۱ میکرو ولت می‌باشد باید بتوان نصف این ولتاژ (0.5LSB[۶]) را توسط مقایسه‌گر شناسایی نمود لذا قبل از مدار لچ، یک پیش‌تقویت‌کننده نیاز است تا بتوان این ولتاژ کوچک را به سطحی قابل شناسایی توسط مدار لچ رساند. بنابراین از یک پیش تقویت کننده قبل از مدار لچ که از نوع فولدد کسکود[۷] است استفاده شده است [۱۷]. مدار پیش‌تقویت‌کننده در شکل ۱۱ و اندازه ترانزیستورهای آن در جدول ۲ نشان داده شده و نتایج شبیه‌سازی آن در بخش بعدی ارائه گردیده است.

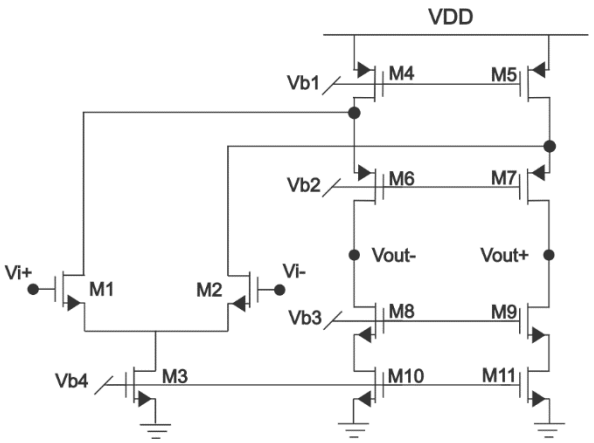
جدول ۲. اندازه ترانزیستورهای پیش تقویت کننده

Transistor	W/L	Transistor	W/L
M_1, M_2	10µ/180n	M_6,M_7	3µ/180n
M_3	2µ/180n	M_8,M_9	1µ/180n
M_4,M_5	5µ/180n	M_{10},M_{11}	1µ/180n

۱ Load
۲ Coarse phase
۳ Full scale
۴ Fine phase
۵ Residue

۶ Least significant bit
۷ Folded cascode

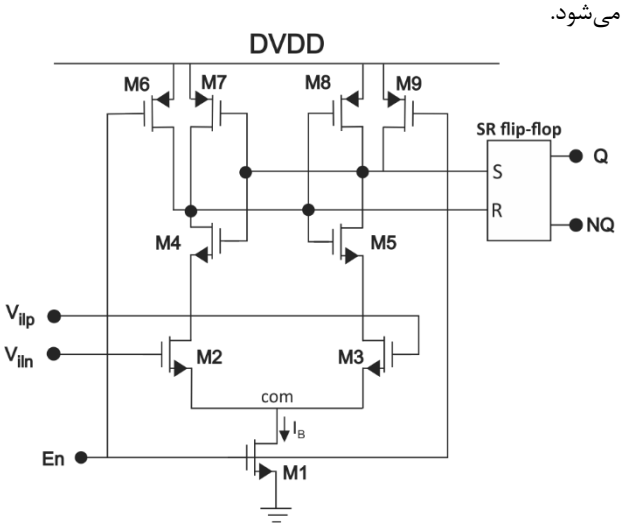
www.SID.ir



شکل۱۱. مدار پیش تقویت‌کننده مقایسه‌کننده

مدار لچ

بعد از تقویت سیگنال‌های ورودی مقایسه‌گر توسط پیش تقویت کننده و رساندن آنها به یک مقدار قابل قبول، نوبت به تبدیل آنها به یک کد دیجیتال 0 و 1 می‌رسد که این کار توسط مدار لچ شکل ۱۲ که اندازه ترانزیستورهای آن در جدول ۳ گردآوری شده صورت می‌پذیرد [۱۸]. در این مدار برای هر عمل مقایسه ابتدا En=0 شده بنابراین مدار لچ ریست می‌شود. خروجی‌های پیش‌تقویت‌کننده که به ورودی های لچ V_{ilp} و V_{iln} متصل می‌باشند باعث تغییر جریان دو طرف مدار لچ شده حال با خارج کردن مدار لچ از حالت ریست En=1، بدلیل فعال شدن دو معکوس کننده CMOS پشت به پشت، کد دیجیتال تولید می‌شود.



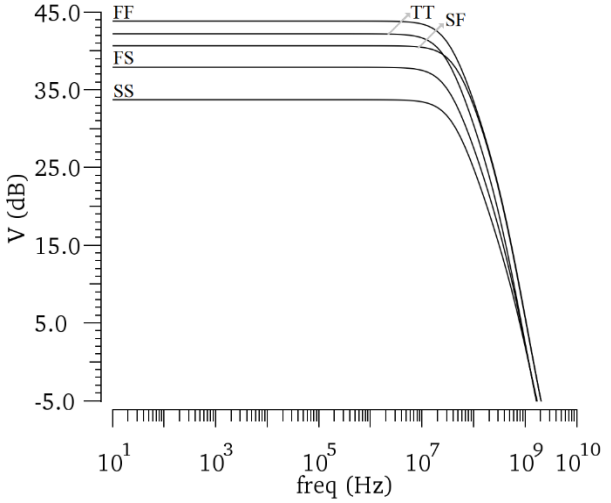
شکل۱۲. مدار لچ مقایسه‌کننده

جدول ۳. اندازه ترانزیستورهای مدار لچ

Transistor	W/L	Transistor	W/L
M_1, M_2,M_3	220n/180n	M_6,M_9	1µ/180n
M_4,M_5	1µ/180n	M_7,M_8	3µ/180n

نتایج شبیه سازی

پاسخ فرکانسی پیش‌تقویت‌کننده در شرایط حلقه باز[۱] برای گوشه‌های مختلف پروسه FF, FS, SF, SS, TT[۲] در شکل ۱۳ قابل مشاهده می‌باشد.



شکل۱۳. پاسخ فرکانسی مدار پیش‌تقویت‌کننده در گوشه‌های مختلف پروسه

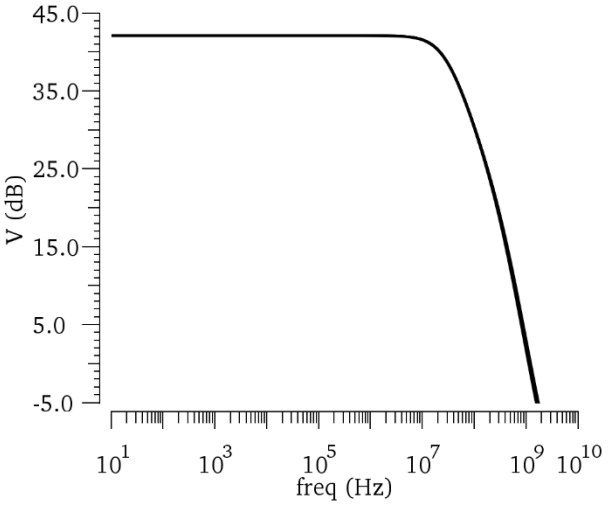
همانطورکه دیده می‌شود بهره مدار برای گوشه TT، برابر ۴۲/۲ دسی‌بل و پهنای باند بهره واحد[۳] در این شرایط ، ۱/۱ گیگا هرتز می‌باشد. بدترین شرایط بهره ولتاژ برای گوشه SS است که ۳۳/۷ دسی‌بل است که این بهره نیز می‌تواند ضعیف‌ترین سیگنال مد نظر را به سطح مطلوب برساند. از آنجاییکه سوییینگ ولتاژ ورودی از ۰/۶ ولت تا ۱/۴ ولت می‌باشد لذا بررسی مقدار بهره تقویت‌کننده برای این رنج از ولتاژ وجه مشترک[۴] اهمیت خاصی دارد. نتایج شبیه‌سازی پاسخ فرکانسی مدار برای تغییرات وجه مشترک ولتاژ ورودی از ۰/۶ تا ۱/۴ با گام ۰/۱ ولت در شکل ۱۴ نشان داده شده است. شکل ۱۴، ۱۰ منحنی خروجی شبیه سازی را نشان می‌دهد که به دلیل روی هم افتادن این منحنی ها قابل تفکیک نیستند. اما نشان می‌دهد بهره و پهنای باند با تغییرات ولتاژ وجه مشترک ورودی چندان تغییر نکرده و به ترتیب در حدود ۴۲ دسی‌بل و ۱/۱ گیگا هرتز می‌باشد. مشخصات کلی پیش‌تقویت‌کننده در جدول ۴ معرفی شده است.

جدول۴. مشخصات پیش‌تقویت کننده مقایسه‌گر

بهره ولتاژ	42.2dB
پهنای باند	1.1Ghz
سوییینگ خروجی	0.7V
نویز ورودی برای رنج فرکانسی 1Hz- 1GHz	0.8mV
توان مصرفی بدون مدار بایاس	71µW

[۱] Open loop gain
[۲] F: fast, S: slow, T: typical
[۳] Unity gain frequency
[۴] Common mode voltage

www.SID.ir



شکل۱۴. پاسخ فرکانسی مدار پیش تقویت کننده در شرایط تغییر ولتاژ وجه مشترک ورودی از ۰/۶ تا ۱/۴ با گام ۰/۱ ولت

برای ارزیابی عملکرد زمانی مقایسه‌گر ، پاسخ پله آن برای دو حالت مرزی شبیه سازی شده است. به این صورت که به ورودی مدار مقایسه‌گر (ورودی مدار پیش تقویت کننده) یک پالس با دامنه 0.5LSB رنج کامل ورودی مبدل (V_{FS}=0.8V) اعمال شده و ولتاژ DC پالس مربوطه یکبار به اندازه حداقل ولتاژ یا همان V_L=0.6V و بار دیگر V_H=1.4V در نظر گرفته شده است. نتایج شبیه سازی (شکل ۱۵ و ۱۶) نشان می‌دهد مقایسه‌گر مقدار 0.5LSB ورودی را به درستی شناسایی کرده و مقادیر Q و NQ را تولید نموده است. لازم به توضیح می‌باشد که چون دو سیگنال متوالی (ریست و سیگنال) به دیجیتال تبدیل شده و در نهایت توسط واحد تفریق‌گر، تفاضل آنها گرفته می‌شود لذا در اینصورت علاوه بر حذف نویز FPN، ولتاژ آفست پیش‌تقویت‌کننده نیز حذف می‌گردد پس نیازی به مدار حذف آفست در مقایسه‌گر نیست.

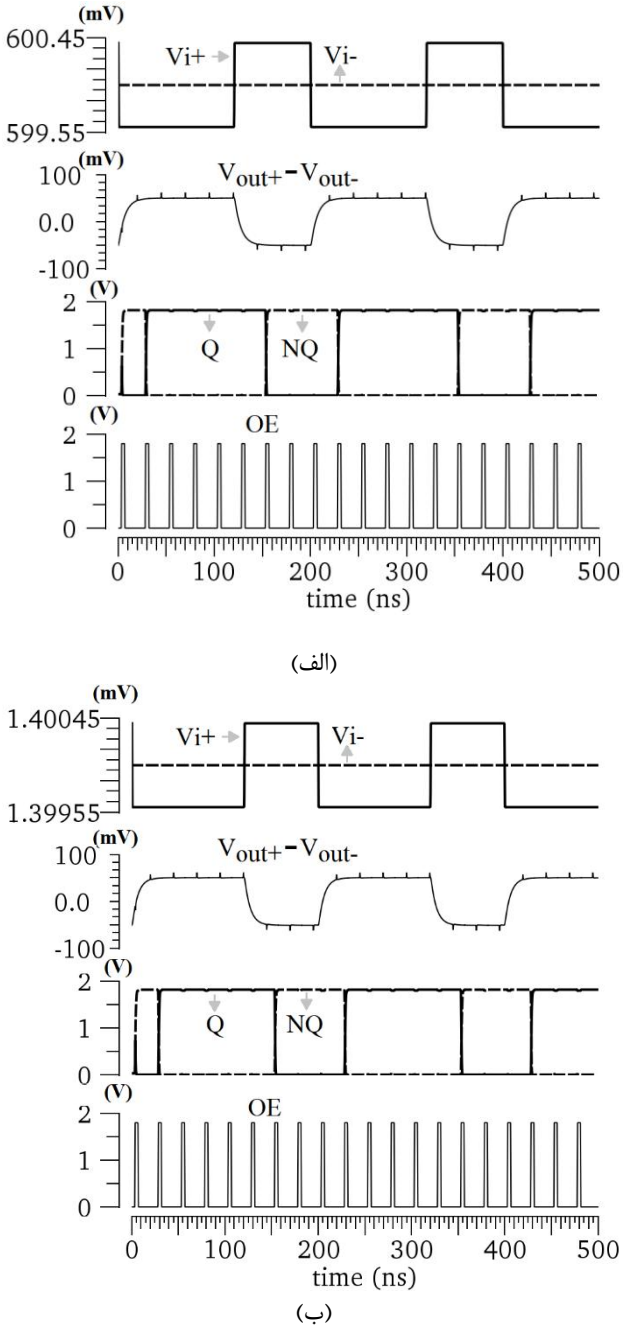
مقایسه

از آنجاییکه یکی از بلوک های مهم سنسور تصویر، مدار خواندن سیگنال پیکسل می‌باشد لذا مشخصات سه مدار خواندن پیکسل: مدار رایج و پرکاربرد سورس-فالوور، مدار PRC و مدار UGB از مرجع [۱۰] در جدول ۵ گردآوری شده است.

جدول ۵. مشخصات مدار خواندن PRC, SF and UGB

Circuit	Voltage gain	Linearity for Vm=0.4V	Noise (V)	Error	Power
PRC	0.96	-51dB	0.7mV	4%	16.9 µW
UGB	0.999	-62dB	2.2mV	0.01%	126µW
SF	0.8	-37dB	0.4mV	20%	16.7 µW

همانطورکه قابل مشاهده می‌باشد با توان مصرفی یکسان، مدار PRC معرفی شده در مقاله از لحاظ بهره ولتاژ، خطییت و خطا وضعیت بهتری از مدار سورس-فالوور دارد ولی نسبت به مدار پیشنهادی مرجع [۱۰]خطییت کمتر و خطای بیشتری دارد اما در عوض توان مصرفی و سطح سیلیکنی پایین‌تری دارد.



شل۱۵. سیگنال های ورودی، خروجی و کنترل مدار مقایسه‌گر با فرکانس کاری ۴۰ مگاهرتز برای الف)VCM=0.6V و ب) VCM=1.4V

همچنین برای بررسی عملکرد کلی سنسور تصویر پیشنهادی با چندین سنسور تصویر مشابه، بخشی از مشخصات مهم آنها در جدول۶ گردآوری شده است. در مرجع شماره [۱۰] برای خواندن سیگنال پیکسل، بافری بنام UGB معرفی شده است که می‌تواند با خطییت و دقت بالایی سیگنال پیکسل را استخراج نماید. بطوریکه برای اینکار از یک مدار دو طبقه استفاده کرده است که بصورت فیدبک واحد بسته شده است. از آنجاییکه تقویت‌کننده‌های دو طبقه توانایی بالقوه‌ای برای ناپایداری دارند. لذا برای جلوگیری از ناپایداری آن از مدار اصلاح میلر[۱]

[۱] Miller compensation circuit

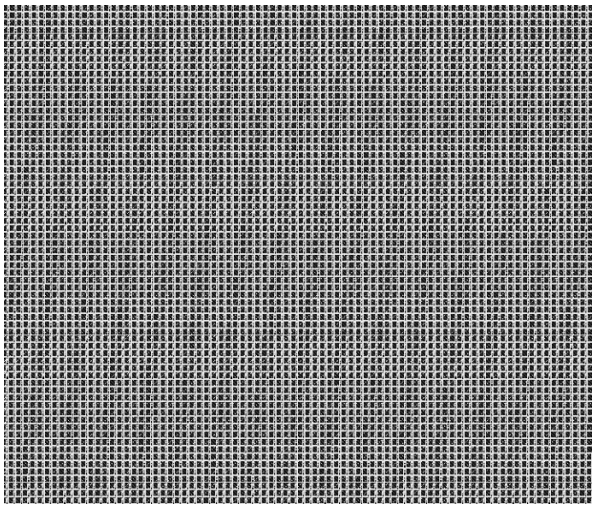
www.SID.ir

Archive of SID

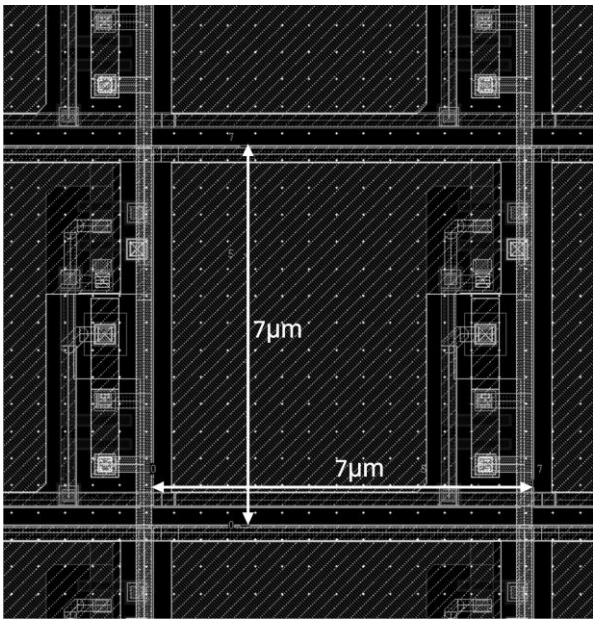
استفاده شده است که این کار منجر به استفاده از خازنهای بزرگ (در حد پیکوفاراد) در مدار خواندن پیکسل شده است. بنابراین ساختار دو طبقه و خازن‌های بزرگ بافر مربوطه علاوه بر افزایش توان مصرفی، باعث افزایش سطح سیلیکونی مدار نیز شده است. از طرفی چون مدار خواندن پیکسل در هر ستون از آرایه پیکسل پیاده سازی شده است لذا باعث افزایش سطح سیلیکونی کل سنسور شده و در نهایت منجر به افزایش قیمت سنسور تصویر نیز می‌گردد. همچنین برای تبدیل سیگنال پیکسل به کدهای دیجیتال از مبدل رایج تک-شیب استفاده کرده است که برای تبدیل سیگنال پیکسل به ۱۰ بیت داده دیجیتال ۱۰۲۴ سیکل زمان صرف می‌کند. در سنسور تصویر مرجع [۱۹]، برای خواندن سیگنال فوتودیود هر پیکسل، یک بافر ولتاژ شبیه مدار شکل ۴ در داخل هر پیکسل قرار داده شده است. اینکار نه تنها منجر به افزایش توان مصرفی و سطح سیلیکنی پیکسل می‌شود بلکه باعث بزرگ شدن سطح سنسور نیز می‌گردد چون بخش اعظم سطح سنسور را پیکسلها اشغال می‌کنند. لازم به توضیح مجدد می‌باشد که در سنسور پیشنهادی، بافر مربوطه (PRC) در داخل ستون‌ها و درواقع خارج از آرایه پیکسل‌ها ساخته شده و با همه پیکسل‌های یک ستون به اشتراک[۱] گذاشته می‌شود. لذا ساختار استاندارد پیکسل تغییری نمی‌یابد. در حالیکه در پیکسل مرجع [۱۹] بافر در داخل هر پیکسل قرار داده شده است و از طرفی با وجود اینکه اندازه بزرگتری نسبت به پیکسل مورد استفاده در این مقاله دارد اما ضریب پرشدگی[۲] پیکسل کمتری دارد. ضریب پرشدگی پیکسل بیانگر نسبت سطح فوتودیود به سطح پیکسل می‌باشد. در صورت بزرگ بودن این ضریب، حساسیت سنسور به نور بیشتر می‌شود. از طرفی برای تبدیل سیگنال پیکسل‌ها به ۱۰ بیت داده دیجیتال از مبدل داده رایج تک-شیب استفاده شده است که سرعت پایینی در تبدیل سیگنالهای آنالوگ به دیجیتال دارد. در سنسور مرجع [۲۰] نیز همانند مرجع [۱۹]، برای افزایش خطییت سنسور نسبت به مدار رایج سورس-فالوور، ساختار استاندارد پیکسل عوض شده و ترانزیستورهای بیشتری در داخل پیکسل قرار داده شده است. و از مبدل داده تک-شیب ۱۲ بیتی استفاده شده است. اما با توجه به مشخصات آن در جدول۳ با وجود داشتن سایز پیکسل بزرگتر ضریب پرشدگی بسیار پایینی دارد. از آنجاییکه در سنسورهای مرجع [۱۹و۲۰] در هر پیکسل یک بافر قرار داده می شود لذا توان مصرفی کلی و سطح سیلیکنی سنسور بسیار بیشتر از سنسور پیشنهادی مقاله خواهد بود. توان مصرفی مدار خواندن مرجع [۱۹] برای یک پیکسل بوده در حالیکه برای مدار پیشنهادی و مرجع [۱۰] برای یک ستون پیکسل می‌باشد.

در مدار پیشنهادی این مقاله ساختار تک-طبقه مدار خواندن پیکسل علاوه بر کاهش توان مصرفی، به دلیل پایدار بودن نیازی به جبران خازنی ندارد و این باعث کوچک شدن سطح سیلیکونی نسبت به بافر اشاره شده می‌باشد. همچنین به دلیل استفاده از مبدل داده ۱۰ بیتی دو-مرحله‌ای، سرعت مبدل پیشنهادی نسبت به موارد مشابه ۱۶ برابر بیشتر شده است.

بخشی از جانمایی[۳] سنسور که برای بهتر مشخص شدن آن بخشی از آرایه پیکسل نشان داده شده است و جانمایی مدار پیکسل به ترتیب در شکل‌های ۱۶ و ۱۷ نشان داده شده است.



شکل ۱۶: بخشی از جانمایی آرایه پیکسل



شکل ۱۷: جانمایی پیکسل

نتیجه‌گیری

در این مقاله یک سنسور تصویر CMOS معرفی شده است که سیگنال پیکسل را بدون صرف توان بیشتر از مدار رایج سورس-فالوور، با دقت و خطییت بیشتری نسبت به آن استخراج می نماید از طرفی برای افزایش سرعت عکسبرداری سنسور تصویر پیشنهادی که عمدتا تابع سرعت مبدل داده و مدار خواندن سیگنال پیکسل می‌باشد ساختار دو مرحله‌ای برای مبدل داده پیشنهاد شده است که بدون افزایش قابل

[۱] Share
[۲] Fill-factor
[۳] Layout

www.SID.ir

ملاحظه توان مصرفی می‌تواند نرخ نمونه برداری را ۱۶ برابر روش رایج تک مرحله‌ای افزایش دهد. سنسور تصویر پیشنهادی قابلیت استفاده در دوربین‌های تصویربرداری با دقت و سرعت عکسبرداری بالا را دارد.

مدارات مربوطه در پروسه TSMC 0.18um CMOS طراحی شده و با استفاده از نرم‌افزار CADENCE Virtuoso V6.4 و شبیه ساز Spectre تحلیل شده است.

جدول۶. مقایسه با دیگر سنسورهای تصویر

مرجع	کار پیشنهادی	[10]	[19]	[20]
تکنولوژی	0.18 µm	0.18 µm	0.18 µm	0.18 µm
رزولوشن تصویر	128×128	320×240	128×128	128×160
ساختار مبدل داده	دو مرحله‌ای	تک مرحله‌ای	تک مرحله‌ای	تک مرحله‌ای
رزلوشن مبدل داده	10-bit	10-bit	10-bit	12-bit
اندازه پیکسل	7µm×7µm	7µm×7µm	10µm×10 µm	12µm×10µm
ضریب پر شدگی پیکسل	57%	48%	47%	36.3%
نوع پیکسل	4T APS	3T APS	4T Buffer	CTIA
غیرخطییت	0.28%	0.08%	0.24%	0.1%
ولتاژ کاری	1.8V	1.8V	3.3 V	2.8 V
توان مصرفی	16.9µW	126µW	33µW	اشاره نشده

مراجع

[1] J. Nakamura, "Image Sensors and Signal Processing for Digital Still Camera", Boca Raton: CRC Press, 2006.

[2] J. Ohta, "Smart CMOS Image Sensors and Applications", Boca Raton, CRC Press, 2008.

[3] A. El Gamal and H. Eltoukhy, "CMOS image sensors", IEEE CIRCUITS & DEVICES MAGAZINE, 2005.

[4] K. Yonemoto, and H. Sumi, "A CMOS image sensor with a simple fixed-pattern-noise reduction technology and a hole accumulation diode", IEEE Trans. Electron Devices, 2000.

[5] M. Perenzoni, N. Massari, D. Stoppa, L. Pancheri, M. Malfatti, and L. Gonzo, "A 160 times 120- pixels range camera with in- pixel correlated double sampling and fixed- pattern noise correction", IEEE Journal of Solid State Circuits, 2011.

[6] N. Chen, S. Zhong, M. Zou, J. Zhang, Z. Ji, and L. Yao, " A low- noise CMOS image sensor with digital correlated multiple sampling", IEEE Transactions on Circuits and Systems- I, Regular Papers, 2017.

[7] S. Okura, O. Nishikido, Y. Sadanaga, and et al, "A 3.7 M- pixel 1300- fps CMOS image sensor with 5.0 G- pixel/s high- speed readout circuit", IEEE Jornal of Solid State Circuits, 2015.

[8] N. Cottini, M. Gottardi, N. Massari, R. Passerone, and Z. Smilansky, "A 33 W 64 64 pixel vision sensor embedding robust dynamic background subtraction for event detection and scene interpretation", IEEE Journal of Solid State Circuits. 2013,

[9] L. Lindgren, J. Melander, R. Johansson, and B. Möller, " A multiresolution 100- GOPS 4- Gpixels/s programmable smart vision sensor for multisense imaging", IEEE J Solid State Circuits. 2005.

[10] M. Teymouri, and J. Sobhi, "An ultra- linear CMOS image sensor for a high- accuracy imaging system", International Journal of Circuit Theory and Applications, Vol. 46, 2018.

[11] M. Teymouri, "A highly linear and high-accurate CMOS image sensor". Analog Integr Circ Sig Process 102, 91–96, 2020.

[12] C. Gao, S. Yao, Z. Yang, J. Gao, and J. Xu, "10-Bit single-slope ADC with error calibration for TDI CMOS image sensor", Transactions of Tianjin University, Vol. 19, 2013.

[13] J. Xu, J. Yu, F. Huang, and K. Nie, "A 10-Bit Column-Parallel Single Slope ADC Based on Two-Step TDC with Error Calibration for CMOS Image Sensors", Journal of Circuits Systems and Computers, Vol. 24, 2015.

[14] T. Lyu, S. Yao, K. Nie, and J. Xu, "A 12-Bit High-Speed Column-Parallel Two-Step Single-Slope Analog-to-Digital Converter (ADC) for CMOS Image Sensors", Sensors, 2014.

[15] S. Lim, J. Lee, D. Kim, and G. Han, "A High-Speed CMOS Image Sensor With Column-Parallel Two-Step Single-Slope ADCs", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 56, 2009.

[16] Y. Chung and J. Wu, "A CMOS 6-mW 10-bit 100-MS/s Two-Step ADC," in *IEEE Journal of Solid-State Circuits*, vol. 45, no. 11, pp. 2217-2226, Nov. 2010

[17] B. Razavi, "Design of Analog CMOS Integrated Circuits", New York, NY: McGraw- Hill; 2001.

[18] T. Kobayashi, K. Nogami, T. Shirotori, and Y. Fujimoto, "A current contolled latch sense amplifier and

www.SID.ir

53, no. 10, pp. 2970-2981, Oct. 2018, doi: 10.1109/JSSC.2018.2856252.
[20] F. Wang and A. J. P. Theuwissen, "Pixel Optimizations and Digital Calibration Methods of a CMOS Image Sensor Targeting High Linearity," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 3, pp. 930-940, March 2019, doi: 10.1109/TCSI.2018.2872627.
a static power-saving input buffer for low-power architecture," IEEE J. Solid-State Circuits, vol. 28, pp. 523–527, Apr. 1993.
[19] F. Wang, L. Han and A. J. P. Theuwissen, "Development and Evaluation of a Highly Linear CMOS Image Sensor With a Digitally Assisted Linearity Calibration," in *IEEE Journal of Solid-State Circuits*, vol.

www.SID.ir