تحلیل و مقایسه سلول‌های اسنابر پسیوِ با اتلاف و بدون اتلاف جهت حفاظت مبدل SEPIC

علیمحمد محمدپور بهبید[۱]، آرش دهستانی کلاگر[۲*]، محمدرضا علیزاده پهلوانی[۳]

[۱]دانشجوی مجتمع دانشگاهی برق و کامپیوتر، دانشگاه صنعتی مالک اشتر، a.mohammadpourb@gmail.com

[۲]استادیار مجتمع دانشگاهی برق و کامپیوتر، دانشگاه صنعتی مالک اشتر، a_dehestani@mut.ac.ir *Corresponding Author

[۳]دانشیار مجتمع دانشگاهی برق و کامپیوتر، دانشگاه صنعتی مالک اشتر، mr_alizadehp@mut.ac.ir

دانشگاه صنعتی مالک اشتر، مجتمع دانشگاهی برق و کامپیوتر

چکیده

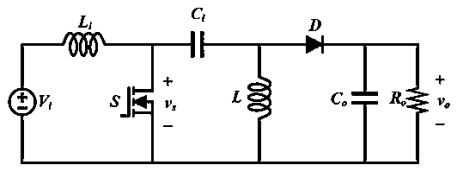
در این مقاله، به بررسی مبدل (SEPIC) که یک مبدل منبع جریانی با سلف ورودی و خروجی واحد می‌باشد، پرداخته می‌شود. در ابتدا مدار SEPIC متداول مورد بررسی قرار گرفته و چند مدار اسنابر جهت بهبود کارایی این مبدل معرفی می‌گردد. در این اسنابرها با استفاده از روش "کلیدزنی نرم" سعی می‌شود تا در لحظهٔ وصل شدن کلید، نرخ افزایش جریان di/dt و در لحظهٔ قطع شدن کلید، نرخ افزایش ولتاژ dv/dt مهار شود. از آنجا که جهت افزایش بهرهٔ ولتاژ و جداسازی الکتریکی، بهتر است که قسمت‌های ورودی و خروجی مدار با یک ترانس از هم جدا شوند، در ادامه، مدار SEPIC ایزوله معرفی شده و مورد بررسی قرار می‌گیرد. در این شرایط، با وجود ترانسفورماتور، استرس‌های ولتاژی بر روی کلید اصلی مدار شدت بیشتری یافته و نیاز به استفاده از مدارات محافظ یا اسنابر ضرورت پیدا می‌کند. در این راستا، مدارات اسنابر متعددی برای مبدل SEPIC ایزوله، معرفی شده و با یکدیگر مقایسه می‌گردند. در این مقاله، تحلیل مدارات اسنابر فوق انجام گرفته و همچنین شکل موج‌های خروجی، حاصل از شبیه‌سازی در نرم‌افزار Orcad Capture، ارائه می‌شوند.

کلیدواژه

مبدل‌های سلف اولیه تک سر (SEPIC)، شبکه کلیدزنی نرم، حالت هدایت پیوسته، حالت هدایت گسسته، مهارکنندگی فعال

مقدمه

مبدل‌های سلف اولیه تک سر[۱] که به اختصار به آنها مبدل‌های SEPIC گفته می‌شود، از توپولوژی‌های پایه در مبدل‌های توان DC-DC هستند که می‌توانند در کاربردهای گوناگونی از جمله منابعِ توانِ حالت کلیدزنی (SMPS[۲]) و یا مدارات اصلاح ضریب توان (PFC[۳]) استفاده شوند. وجود سلف در ورودی این مبدل‌ها باعث می‌شود که ریپل جریان ورودی کاهش یابد. از دیگر مزایای این مبدل‌ها این است که برخلاف مبدل‌های Buck و Boost، که ممکن است با افزایش یا کاهش بهرهٔ ولتاژ، خروجی آنها منفی گردد، در این مبدل‌ها ولتاژ خروجی معکوس نمی‌گردد. مدارات SEPIC می‌توانند هم در حالت هدایت پیوسته (CCM[۴]) و هم در حالت هدایت گسسته (DCM[۵]) عمل نمایند. شکل (۱) یک مبدل SEPIC متداول را نشان می‌دهد. افزایش بهرهٔ ولتاژ خروجی در مبدل SEPIC ممکن است منجربه ایجاد استرس بر روی کلید اصلی مدار گردد. برای محافظت از کلید نیمه‌هادی در مبدل‌های الکترونیک-قدرت می‌توان از مدارات اسنابر استفاده کرد. برخی از مدارات اسنابر از نوع اتلافی[۶] هستند یعنی به‌دلیل داشتن عنصری مثل مقاومت، مقداری از انرژی در آنها تلف می‌شود. اما برخی دیگر از مدارات اسنابر، احیا کننده[۷] هستند. یعنی انرژی در آنها تلف نمی‌شود.



شکل(۱): مدار SEPIC معمولی

در بعضی از تحقیقات انجام شده، برای افزایش کارایی و بهبود عملکرد مدار SEPIC، تغییراتی در ساختار آن ایجاد شده است. در مرجع [۱] با اضافه کردن یک شبکهٔ CD (شامل خازن و دیود)، ساختار بهبودیافته‌ای معرفی شده است که با وجود بالا بودن ولتاژ خروجی، ولتاژ دو سر کلید اصلی را با یک خازن

[1] Single-Ended Primary-Inductor Converters (SEPIC)
[2] Switched Mode Power Supplies
[3] Power Factor Correction
[4] Continuous Conduction Mode
[5] Discontinuous Conduction Mode
[6] Dissipative
[7] Regenerative

www.SID.ir

تاریخ دریافت: ۱۳۹۹/۰۶/۲۳ تاریخ پذیرش: ۱۴۰۰/۰۱/۲۵

Archive of SID

محدود می‌کند و مانع از اضافه ولتاژ مخرب بر روی کلید می‌گردد. در مرجع [۲]، از همان مدار بهبود یافتهٔ مرجع [۱] استفاده شده و با اضافه کردن یک کلید و سلول جانبی، سعی شده تا علاوه‌بر پایین نگه داشتن ولتاژ دو سر کلید، بهرهٔ ولتاژ بیشتر و ضریب‌توان بهبود یابد. در مرجع [۳] یک اسنابر بدون اتلاف، شامل سلف، خازن و دیود بکار گرفته شده و در سر خروجی آن از یک تنظیم‌کنندهٔ خطی جریان به‌منظور کاهش ریپل جریان خروجی استفاده شده است. این مبدل قادر است در سیستم‌های دارای ضریب‌توان بالا، بارهایی را که به ولتاژ DC پایین نیاز دارند، تغذیه کند. عیب این مبدل افزایش تعداد عناصر مدار به‌خاطر بکار گرفتن سلف و خازن اضافی است. یک روش بسیار مؤثر جهت حصول بهرهٔ ولتاژ بالا با حداقل تعداد عناصرِ مدار، استفاده از سلف‌های کوپل‌شده است. در این حالت ولتاژ خروجی می‌تواند با زیاد شدن نسبت دور سلف‌ها زیاد شود. اما این‌کار ممکن است منجربه افزایش اندازهٔ مدار و هزینهٔ آن گردد. در مراجع [۴] الی [۸] از تکنیک سلف‌های کوپل‌شده استفاده شده است. در مرجع [۴]، بجای سلف میانیِ مدار SEPIC، از یک شبکه شامل دو سلف کوپل‌شده، یک خازن و یک دیود استفاده شده است. در مرجع [۵]، دو سلف به‌گونه‌ای با هم کوپل شده‌اند که جریان ورودیِ پیوسته ایجاد شود و از یک مدار تزریق بار (شامل یک خازن و دو دیود) برای تغذیهٔ خازن خروجی استفاده شده است. در مراجع [۶] و [۷] برای رسیدن به بهرهٔ ولتاژ بالا، سه سلف با هم کوپل شده‌اند. در مرجع [۸]، علاوه‌بر تکنیک کوپلینگ سلفی، سعی شده است با متقارن کردن مدار، یعنی اضافه کردن سلف، دیود و خازن به شکلی که عناصر مدار به حالتی متقارن قرار گیرند، تداخل الکترومغناطیسی کاهش یابد. در بسیاری از موارد نیاز است که ولتاژ خروجی از لحاظ الکتریکی از ولتاژ ورودی جدا شود. بنابراین می‌توان بجای سلفِ میانی در مدار SEPIC، از یک ترانسفورماتور جهت جداسازی ورودی و خروجی استفاده نمود و مدار را به‌صورت ایزوله درآورد. اما اندوکتانس نشتی ترانسفورماتور ممکن است باعث ایجاد استرس‌های ولتاژی بر روی کلید اصلی گردد. در مراجع [۹] الی [۱۲] مدارات SEPIC ایزوله مورد بررسی قرار گرفته‌اند. در مرجع [۹] از تکنیک مهارکنندگی فعال[8] جهت کاهش استرس ولتاژی روی کلید، در مدار SEPIC ایزوله استفاده شده است. در مرجع [۱۰] یک سلول اسنابر LCDD (سلف-خازن-دیود-دیود) برای حذف جهش‌های ولتاژی در مبدل Boost به‌کار رفته است که در مرجع [۱۱]، با الهام از این مدار اسنابر، از آن در مبدل SEPIC استفاده شده و نتایج خوبی در کاهش استرس‌های ولتاژی ایجاد شده بر روی کلید، به‌دست آمده است. در مرجع [۱۲]، علاوه‌بر استفاده از ترانسفورماتور و ایزوله نمودن ورودی و خروجی، از تکنیک سلف‌های کوپل‌شده نیز استفاده شده و با کمک یک اسنابر LLCD (سلف-سلف-خازن-دیود)، مقدار ریپل جریان ورودی به صفر رسیده است. در مرجع [۱۳] نیز برای حذف ریپل جریان ورودی، در مبدل Boost، از سلف تپ‌دار استفاده شده است. یک خازن کوچک و یک سلف کوچک در این مدار، باعث شده‌اند که ریپل جریان ورودی تا ۹۷ درصد کاهش یابد. درمرجع [۱۴]، در یک مدار SEPIC بهبودیافته با کوپلینگ سلفی، تنها با جایگذاری یک دیود به‌جای خازن، مدار فوق به یک مبدل نیمه SEPIC تبدیل شده است که استرس ولتاژ روی کلید اصلیِ آن به حداقل رسیده است. همچنین، به طراح مدار این امکان را می‌دهد که از ماسفت دارای R_{DS-on} کم، استفاده نموده و هزینه و اتلاف انرژی در مدار را پایین آورد. در مقایسه با مدارات مشابه، این مدار تعداد عناصر کمتر و گین ولتاژ بالاتری دارد.

درمجموع، ساده‌ترینِ این اسنابرها یک سلول (RCD) (مقاومت-خازن-دیود) می‌باشد. این اسنابر می‌تواند با استفاده از دیود و خازن، در لحظهٔ قطع شدن کلید، استرس ولتاژ روی کلید را کاهش دهد؛ اما وجود مقاومت در این اسنابر باعث می‌شود که مقداری از انرژی مدار در آن تلف شده و بازده مبدل کاهش یابد. در مقابل، اسنابر LCDD اسنابری است که در ساختار آن از مقاومت استفاده نشده و اتلاف انرژی چندانی ندارد. همچنین، با وجود خازن‌ها و دیودهای اسنابر، به‌خوبی افزایش ولتاژ روی کلید را مهار می‌کند. اما یک هدف بسیار مهم در استفاده از مبدل‌های SEPIC، در اتصال به منابع ولتاژ پایین مانند باطری‌ها و پیل‌های سوختی، این است که ریپل جریان ورودی تا جای ممکن کاهش یابد. بنابراین اگر مداری بتواند این ریپل جریان را حذف نماید، برای استفاده در این کاربردها بسیار مناسب خواهد بود. مدار LCDD هر چند ریپل جریان بالایی ندارد، ولی نتوانسته به‌طور قابل ملاحظه‌ای این تغییرات جریان را حذف کند. در مقایسه با این اسنابر، مدار اسنابر دیگری که از یک سلول LLCD تشکیل شده است، مطرح می-باشد که علاوه‌بر کاهش استرس ولتاژ روی کلید و افزایش بهرهٔ مبدل، این قابلیت را دارد که با استفاده از تکنیک کوپلینگ سلفی، ریپل جریان ورودی را به صفر برساند.

در این مقاله، ابتدا نمونه‌ای از مدار SEPIC غیر ایزوله مورد تحلیل و بررسی قرار می‌گیرد و سپس چند نمونه از مدارات اسنابر برای مبدل SEPIC ایزوله معرفی و از لحاظ کارایی با یکدیگر مقایسه می‌گردند. در ادامه این مقاله، در ابتدا، یک مبدل SEPIC بهبودیافته که با تغییر در ساختار SEPIC معمولی ایجاد شده است، مورد بررسی قرار می‌گیرد و حالت-های مختلف این مدار تشریح شده و سه مدار اسنابر جهت

[8] Active Clamping

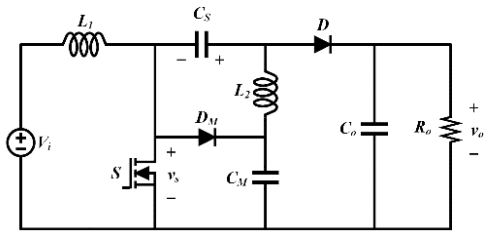
www.SID.ir

Archive of SID

بهبود عملکرد آن معرفی و بررسی می‌گردند. در بخش دوم، حالت‌های مختلف یک مدار SEPIC ایزولهٔ بدون اسنابر مورد بررسی قرار می‌گیرد. در بخش سوم، مدار SEPIC ایزوله با اسنابر RCD که یک اسنابر اتلافی است، تشریح می‌شود. در بخش چهارم، مدار SEPIC ایزوله با یک اسنابر احیاکننده متشکل از شبکهٔ LCDD به همراه حالت‌های عملکردی مختلف آن ارائه می‌شود. در بخش پنجم، یک اسنابر احیاکننده که علاوه بر غیراتلافی بودن، ریپل جریان ورودی را نیز به نزدیک صفر می‌رساند، مورد بررسی قرار می‌گیرد. در انتها، در بخش ششم، مقایسه‌ی جامعی بین کلیه‌ی نتایج اخذ شده صورت می‌گیرد.

مبدل SEPIC غیر ایزوله

در مرجع [۱] با اضافه کردن یک شبکهٔ CD (شامل خازن C_M و دیود D_M) به مدار SEPIC معمولیِ شکل (۱)، یک مدار SEPIC بهبودیافته معرفی شده است که با وجود ولتاژ خروجی نسبتاً خوب، ولتاژ کلید اصلی را به ولتاژ دو سر خازن C_M محدود می‌کند. این مدار در شکل(۲) نشان داده شده است. در هر سیکل کلیدزنی این مدار دو حالت ایجاد می‌شود که با قطع و وصل شدن کلید S بوجود می‌آیند. این حالت‌ها در شکل(۳) نشان داده شده‌اند. شکل موج‌های اصلی این مدار نیز در شکل(۴) آورده شده‌اند.



شکل(۲): مدار SEPIC بهبودیافته [۱]

الف. حالت اول $(t_0 < t \leq t_1)$

در لحظهٔ t_0، همان‌گونه که در شکل(۳)(الف) نشان داده شده است کلید S خاموش می‌شود و انرژی ذخیره شده در سلف ورودیِ L_1 از یک طرف از طریق خازن C_S و دیود D_O به خروجی منتقل می‌شود و از طرف دیگر از طریق دیود D_M و به خازن C_M منتقل می‌گردد. بنابراین ولتاژ دو سر کلید S برابر با V_{CM} می‌گردد. انرژی ذخیره شده در سلف L_2 نیز از طریق دیود D_O به خروجی منتقل می‌شود.

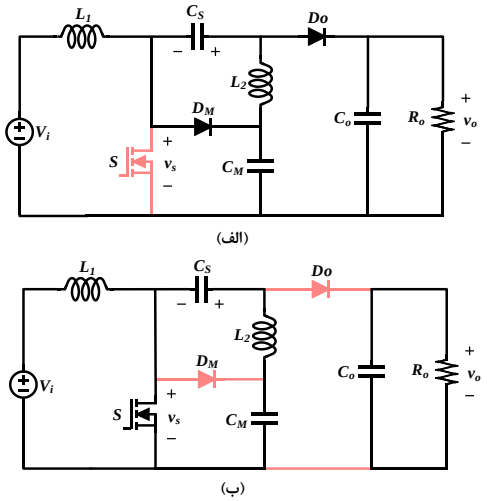
ب. حالت دوم $(t_1 < t \leq t_2)$

این حالت در شکل(۳)(ب) آورده شده است، با روشن شدن کلید S در لحظهٔ t_1 آغاز می‌شود. در این زمان دیودهای D_M و D_O قطع می‌شوند و انرژی مدار در سلف‌های L_1 و L_2 ذخیره می‌گردد. دو سر سلف L_1 با ولتاژ ورودی برابر می‌شود و دو سر سلف L_2 برابر می‌شود با $V_{CS} - V_{CM}$. که ولتاژ V_{CM} از ولتاژ V_{CS} بزرگتر است. اگر D معرف زمان کار (Duty Cycle) باشد در این مدار داریم:

$$\frac{V_{CM}}{V_i} = \frac{1}{1-D} \qquad (۱)$$

$$\frac{V_o}{V_i} = \frac{1+D}{1-D} \qquad (۲)$$

همانگونه که مشاهده می‌شود ولتاژ دو سر کلید به مقدار V_{CM} محدود شده است که از مقدار خروجی به اندازهٔ قابل توجهی کمتر است.



شکل(۳): مدار SEPIC بهبودیافته در حالتهای قطع و وصل شدن کلید S

مقادیر عناصر بکار رفته در مدار شکل (۲)، در جدول (۱) آورده شده است.

جدول(۱): مشخصات عناصر مدار SEPIC غیر ایزوله بدون اسنابر

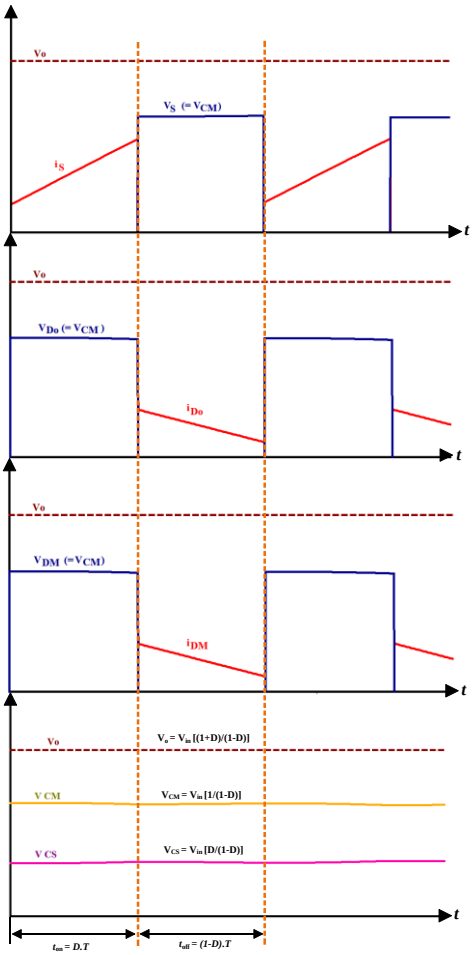
V_{DC}	۱۰۰ V	L_2	۵۰۰ μH
L_i	۵ mH	C_O	۵۰۰ μF
C_S	۶۶۰ nF	R_O	۱۰ $k\Omega$
C_M		۶۶۰ nF	

در ادامه برای بهبود عملکرد مدار، در مرجع [۱]، سه اسنابر برای این مدار در نظر گرفته شده است که به ترتیب در

www.SID.ir

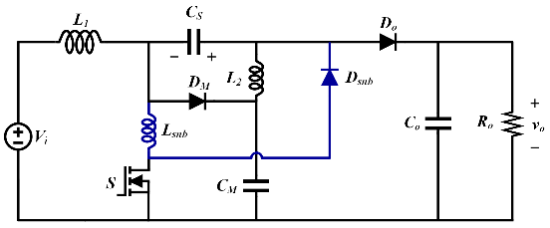
Archive of SID

شکل‌های (۵)، (۷) و (۹) نشان داده شده‌اند. در این مدارات از تکنیک کلیدزنی نَرم[9] استفاده شده است.

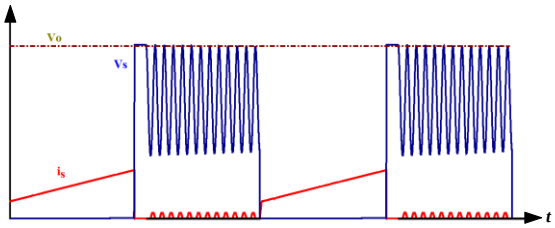


شکل(۴): شکل موج‌های اصلی مدار SEPIC بهبودیافته شبیه‌سازی شده با نرم‌افزار Orcad

شکل(۵) ساده‌ترین اسنابر را نشان می‌دهد. در این مدار یک سلف کوچک L_{snb} به‌صورت سری با کلید اصلی قرار گرفته است. این سلف $\frac{di}{dt}$ را در لحظهٔ روشن شدن کلید محدود می‌کند. و کلیدزنی جریان صفر (ZCS[10]) ایجاد می‌کند. وقتی کلید خاموش می‌شود، انرژی ذخیره شده در L_{snb} از طریق دیود D_{snb} به خازن C_s منتقل می‌شود. این پیکربندی، تلفات کموتاسیون روشن شدن را از بین می‌برد که خیلی مهم است. اما در مورد کموتاسیون خاموشی چندان مناسب نیست و ولتاژ دو سر کلید برابر با ولتاژ خروجی می‌شود. شکل(۶) نیز نمودار جریان و ولتاژ کلید را البته در مقیاس‌های مختلف نشان می‌دهد. نوسانات نشان داده شده در شکل موج مربوط به شبیه‌سازی است. که در عمل نیز می‌توان این نوسانات را در یک مدار پیاده‌سازی شده مشاهده کرد.

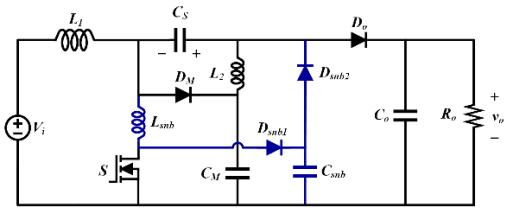


شکل(۵): مدار SEPIC بهبودیافته به‌همراه اسنابر turn-on [۱]

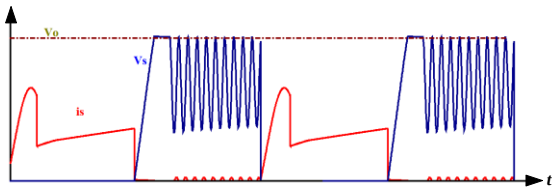


شکل(۶): مدار SEPIC بهبودیافته به‌همراه اسنابر turn-on

در شکل(۷) یک اسنابر برای حالت‌های روشن شدن و خاموشی آورده شده است و شکل موج‌های ولتاژ و جریان کلید آن در مقیاس‌های مختلف نیز در شکل(۸) نشان داده شده‌اند. در این اسنابر سلف L_{snb} مقدار $\frac{di}{dt}$ را در حالت روشن شدنِ کلید محدود می‌کند. و در حالت خاموشیِ کلید، انرژی ذخیره شده در این سلف، از طریق دیود D_{snb1} به خازن C_{snb} منتقل می‌شود ولتاژ خازن C_{snb} مقدار $\frac{dv}{dt}$ را کنترل می‌کند. با هدایت دیود D_{snb2}، ولتاژ خازن افزایش می‌یابد تا به ولتاژ خروجی برسد. عیب این اسنابر این است که هر چند ولتاژ دو سر کلید در حالت خاموشی کنترل می‌شود ولی این ولتاژ می‌تواند تا مقدار خروجی افزایش یابد. یعنی هر چه بهرهٔ ولتاژ مدار افزایش داده شود شرایط اضافه ولتاژی که روی کلید می‌افتد بدتر می‌شود. بنابراین بهتر است به نحوی این ولتاژ را از ولتاژ خروجی کمتر کرد.



شکل(۷): مدار SEPIC بهبودیافته به همراه اسنابر turn-on و turn-off [۱]



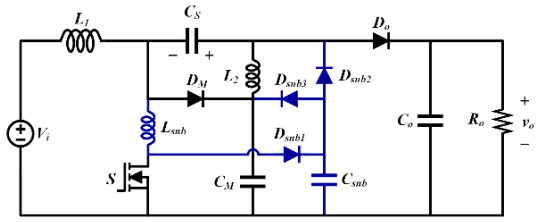
شکل(۸): شکل موج‌های ولتاژ و جریان کلید مدار شکل(۶)

[9] Soft Switching
[10] Zero Current Switching

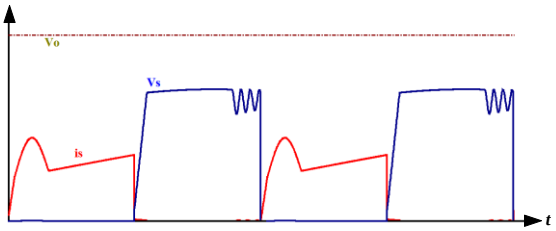
www.SID.ir

Archive of SID

شکل(۹) اسنابر دیگری را نشان می‌دهد که مانند مدار شکل(۷) در حالت روشن شدن کلید $\frac{di}{dt}$ و خاموشی کلید $\frac{dv}{dt}$ را محدود می‌کند با این تفاوت که ماکزیمم ولتاژ دو سر کلید در آن حداکثر به مقدار V_{CM} محدود می‌شود که از ولتاژ خروجی به مقدار قابل توجهی کمتر است. شکل موج‌های ولتاژ و جریان کلید اصلی این مدار در شکل(۱۰) نشان داده شده‌اند. این اسنابر عیب‌های موجود در دو اسنابر قبل را ندارد و شرایط بهتری برای مدار ایجاد می‌کند.



شکل(۹): مدار SEPIC بهبودیافته به‌همراه اسنابر turn-on و turn-off [۱]



شکل(۱۰): شکل موج‌های ولتاژ و جریان کلید مدار شکل(۸)

در مرجع[۲] از همان مدار بهبودیافتهٔ شکل(۲) استفاده شده است و با اضافه کردن یک کلید و سلول جانبی به آن سعی گردیده است تا با پایین نگه داشتن ولتاژ دو سر کلید گین بالا و PF بهتر ایجاد گردد. در جدول(۱)، یک مقایسهٔ کیفی بین این اسنابرها انجام گرفته است.

مقادیر عناصرِ بکار رفته در مدار شکل(۵) در جدول(۲) آورده شده است.

جدول(۲): مشخصات عناصر مدار SEPIC ایزوله شکل(۵)

V_{DC}	۱۰۰ V	L_2	۵۰۰ μH
L_i	۵ mH	C_O	۵۰۰ μF
C_S	۶۶۰ nF	R_O	۱۰ $k\Omega$
C_M	۶۶۰ nF	L_{Snb}	۱۰ nF

مقادیر عناصر بکار رفته در مدار شکلهای(۷) و (۹) نیز در جدول(۳) نشان داده شده است. بجز خازن اسنابر بقیهٔ عناصر با جدول(۲) یکسان هستند.

جدول(۳): مشخصات عناصر مدار SEPIC شکلهای (۷) و (۹)

V_{DC}	۱۰۰ V	L_2	۵۰۰ μH
L_i	۵ mH	C_O	۵۰۰ μF
C_S	۶۶۰ nF	R_O	۱۰ $k\Omega$
C_M	۶۶۰ nF	L_{Snb}	۲۰ μH
C_{Snb}		۱۰ nF	

در جدول (۴) نیز می‌توان یک مقایسهٔ کیفی بین سه اسنابر استفاده شده در شکلهای (۵)، (۷) و (۹) به عمل آورد.

جدول(۴): مقایسه اسنابرهای مبدل SEPIC غیر ایزوله

نوع مدار اسنابر	محدودسازی $\frac{di}{dt}$ در لحظهٔ روشن شدن	محدودسازی $\frac{dv}{dt}$ در لحظهٔ خاموشی	از بین بردن تلفات کموتاسیون	ماکزیمم ولتاژ کلید
اسنابر اول: شکل(۵)	دارد	ندارد	تنها در زمان روشن شدن	$V_S \approx V_{out}$=۲۹۵ V
اسنابر دوم: شکل(۷)	دارد	دارد	هم در زمان روشن شدن و هم در زمان خاموشی	$V_S \approx V_{out}$=۳۲۰ V
اسنابر سوم: شکل(۹)	دارد	دارد	هم در زمان روشن شدن و هم در زمان خاموشی	$V_{CM} = V_S$ = ۲۲۲ V ($< V_{out}$ = ۳۲۰ V)

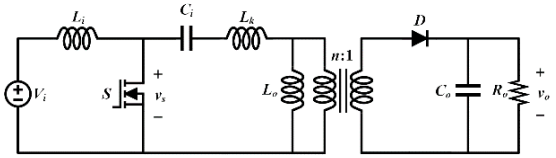
مبدل SEPIC ایزوله، بدون اسنابر

در برخی موارد نیاز است که ورودی و خروجی از لحاظ الکتریکی از همدیگر جدا شوند. در این موارد می‌توان از مدار SEPIC ایزوله استفاده کرد. یعنی بجای سلف میانی، از یک ترانسفورماتور استفاده کرد. وجود ترانسفورماتور کمک می‌کند که با استفاده از نسبت دورهای سیم‌پیچ اولیه به ثانویه بهره مدار افزایش داده شود و در عین حال ورودی از لحاظ الکتریکی

www.SID.ir

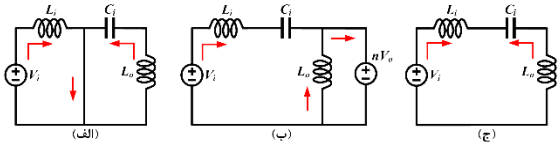
Archive of SID

مستقل از خروجی بماند. اما علی‌رغم مزایای این کار، وجود اندوکتانس نشتی در ترانسفورماتور، باعث می‌شود که یک استرس ولتاژ بر روی کلید اصلی بوجود آید. برای کاهش استرس ولتاژ می‌توان از مدارات اسنابر استفاده کرد. نمونه‌ای از یک مدار SEPIC ایزوله در شکل(۱۱) نشان داده شده است. ابتدا مدار را بدون اسنابر در نظر می‌گیریم.



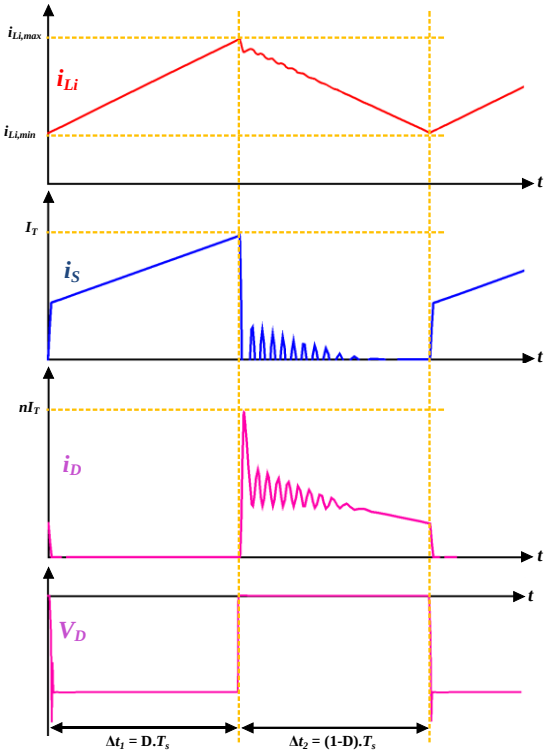
شکل(۱۱): مدار SEPIC ایزوله

این مبدل در هر دورهٔ کلیدزنی، یعنی دوره تناوب مدار، دارای سه حالت است که دو حالت آن در وضعیت CCM می‌باشد و در وضعیت DCM نیز یک حالت به آنها اضافه می‌شود. شکل(۱۲) مدار معادل این سه حالت را نشان می‌دهد.



شکل(۱۲): مدار معادل مبدل SEPIC ایزوله: (الف) و (ب) در وضعیت CCM و (ج) در وضعیت DCM

در وضعیت CCM دو حالت برای این مدار وجود دارد. یک حالت با بسته شدن کلید و حالت دیگر با بازشدن کلید ایجاد می‌شود که به ترتیب در شکل‌های(۱۲)(الف) و (۱۲)(ب) نشان داده شده‌اند. در زمان بسته شدن کلید، قسمت ثانویهٔ مدار قطع است و جریان از دیود خروجی عبور نمی‌کند و انرژی در سلف ورودی ذخیره می‌شود. در زمان باز شدن کلید، قسمت ثانویهٔ مدار وارد عمل می‌شود و دیود خروجی شروع به هدایت می‌کند. انرژی ذخیره شده در سلف در طول حالت قبل، با باز شدن کلید به خروجی انتقال می‌یابد. در وضعیت DCM یک حالت دیگر به مدار اضافه می‌شود. این حالت در شکل(۱۲)(ج) نشان داده شده است و حالتی است که کلید هنوز باز است ولی قسمت ثانویهٔ مدار خاموش شده است. یعنی کل انرژی، در قسمت ثانویهٔ مدار تخلیه شده و دیود خروجی قطع شده است. شکل موج‌های اصلی این مبدل، در وضعیتهای CCM و DCM، به ترتیب در شکل‌های(۱۳) و (۱۴) نشان داده شده‌اند.



شکل(۱۳): شکل موج‌های اصلی مدار SEPIC ایزوله در وضعیت CCM

فاصله‌های زمانی برای هر یک از حالت‌ها به‌صورت زیر است:

$$\Delta t_1 = \frac{D}{f_s} = D.T_s \qquad (۳)$$

$$\Delta t_2 = \begin{cases} (1-D).T_s & \text{در وضعیت CCM} \\ D.T_s.\frac{V_i}{nV_o} & \text{در وضعیت DCM} \end{cases} \qquad (۴)$$

$$\Delta t_3 = (1-D).T_s - D.T_s.\frac{V_i}{nV_o} \qquad (۵)$$

که در آنها f_s فرکانس کلیدزنی، T_s دوره تناوب و n نسبت دور ترانس می‌باشد. Δt_3 تنها در وضعیت DCM برقرار است. ماکزیمم جریان‌های ورودی و خروجی را نیز می‌توان به‌صورت زیر نوشت:

$$I_{Li,max} = \frac{D.T_s.V_i[D(V_oL_i - V_iL_o)+2nV_oL_o]}{2n.V_oL_iL_o} \qquad (۶)$$

$$I_{Lo,max} = \frac{D.T_s.V_i[D(V_oL_i - V_iL_o)+2nV_oL_o]}{2nV_oL_iL_o} \qquad (۷)$$

ماکزیمم ولتاژ دو سر کلید اصلی و جریانی که از کلید عبور می‌کند عبارتند از:

$$V_T = (V_i + nV_o) \qquad (۸)$$

www.SID.ir

Archive of SID

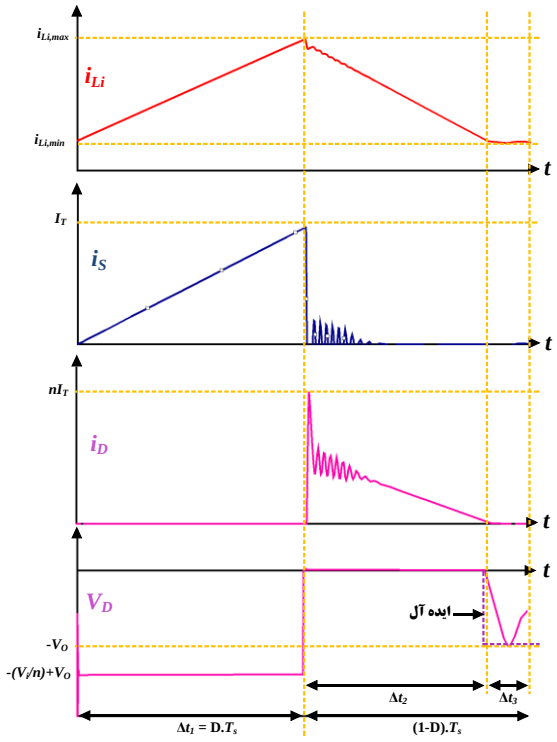
$$I_{T,CCM} = I_{Li,max} + I_{Lo,max} = \frac{D.T_S V_i}{L_{eq}} \quad (۹)$$

$$I_{T,DCM} = I_{Li,max} + I_{Lo,max} = \frac{DT_S V_i}{2L_{eq}} - \frac{I_o}{n(1-D)} \quad (۱۰)$$

$$L_{eq} = \frac{L_i L_o}{L_i + L_o} \quad (۱۱)$$

اگر R_L بیانگر بار خروجی باشد گین مبدل را می‌توان از رابطهٔ زیر بدست آورد:

$$\frac{V_o}{V_i} = \begin{cases} \frac{D}{(1-D)} & \text{در وضعیت CCM} \\ D\sqrt{\frac{R_L.T_S}{L_{eq}}} & \text{در وضعیت DCM} \end{cases} \quad (۱۲)$$



شکل(۱۴): شکل موج‌های اصلی مدار SEPIC ایزوله در وضعیت DCM

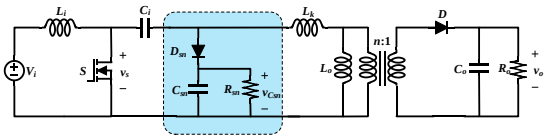
از رابطهٔ (۸) می‌توان مشاهده کرد که در مبدل SEPIC ایزولهٔ شکل(۱۱)، ماکزیمم ولتاژ دو سر کلید اصلی، برابر است با ولتاژ ورودی (V_i) به علاوهٔ ولتاژ خروجی (V_o) ارجاع داده شده به ورودیِ ترانس با نسبت دور n. یعنی استرس ولتاژ کلید برابر $V_i + nV_o$ می‌شود. با استفاده از مدارات اسنابر می‌توان این استرس ولتاژ را کاهش داد. مدارات اسنابر می‌توانند به‌صورت پسیو یا اکتیو باشند. استفاده از مدارات پسیو در مواردی که اندوکتانس نشتی قابل توجه باشد غیرعملی است. به عبارت دیگر راه‌حل‌های پسیو عموماً با ایزولاسیون مدار در تضاد است و این موضوع طراحی یک اسنابر مناسب را دچار چالش کرده است. از طرف دیگر بسیاری از مدارات اکتیو، خود یک یا چند کلید به مدار اصلی اضافه می‌کنند که مدارات کنترلی اضافی می‌خواهند و اندازه و وزن مدار را افزایش می‌دهند. در ادامه چند مدار اسنابر بر روی مبدل SEPIC ایزوله معرفی و با هم مقایسه می‌شوند. مقادیر عناصر استفاده شده در شبیه‌سازی این مدار، در جدول(۵) آورده شده است.

جدول(۵): مشخصات عناصر مدار SEPIC ایزوله بدون اسنابر

V_{DC}	۱۰۰ V	L_P	۲۱۱/۷ μH
L_i	۳/۸۴ mH	C_O	۱۱۲۰ μF
C_i	۲۲ μF	R_O	۱۰ $k\Omega$
L_K		۸/۷ μH	

اسنابر RCD برای مبدل SEPIC ایزوله

یک راه حل ساده و مرسوم در حالت پسیو استفاده از یک اسنابر RCD است که در مرجع [۱۱] بررسی شده است. شکل(۱۵) یک مدار اسنابر RCD را برای مبدل SEPIC ایزوله نشان می‌دهد.



شکل(۱۵): مدار SEPIC ایزوله به همراه اسنابر RCD

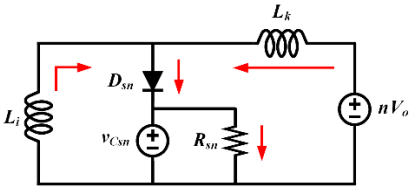
با اضافه شدن اسنابر RCD به مدار SEPIC ایزوله، تعداد حالات در وضعیت DCM به چهار حالت می‌رسد. یعنی یک حالت به آنها اضافه می‌شود. این حالت لحظه‌ای رخ می‌دهد که به کلید فرمان قطع شدن داده می‌شود. در این لحظه دیود اسنابر D_{sn} شروع به هدایت می‌کند. جریان در سلف نشتی L_k برقرار می‌شود و این سلف انرژی‌اش را به خازن C_{sn} انتقال می‌دهد. دیود D_{sn} نیز یک مسیری برای چرخش جریان L_i ایجاد می‌کند و این موضوع، خود یک اشکال برای مدار اسنابر RCD محسوب می‌شود. زیرا قسمتی از انرژی سلف ورودی را تخلیه می‌کند. و با این‌کار انرژی کمتری به خروجی انتقال می‌یابد. در این حالت جریان دیود خروجی از رابطهٔ زیر تبعیت می‌کند:

$$i_D = n(i_{Lo} + i_{Lk}) \quad (۱۳)$$

خازن C_{sn} آنقدر بزرگ است که می‌توان آن را مانند یک منبع ولتاژ در نظر گرفت. شکل(۱۶) مدار معادل حالت جدید (حالت دوم) را که به دلیل اضافه شدن اسنابر RCD در زمان قطع کلید ایجاد شده است نشان می‌دهد.

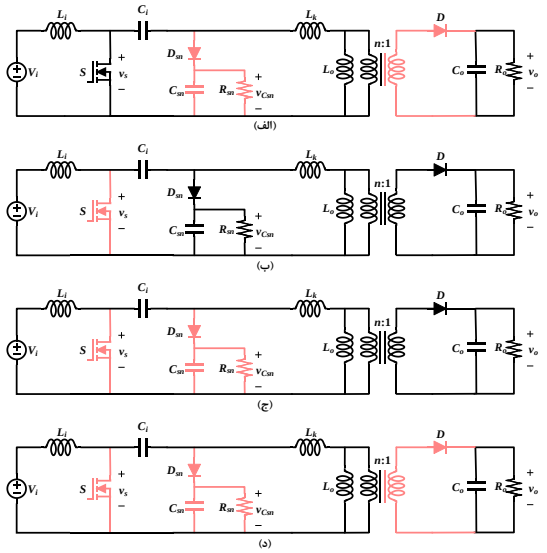
www.SID.ir

Archive of SID



شکل(۱۶): مدار معادل حالت دوم (جدید) مربوط به اسنابر RCD

حالت‌های اول ، سوم و چهارم در این مدار مشابه سه حالت بیان شده در شکل(۱۲) می‌باشند. می‌توان چهار حالتِ مدار را در شکل(۱۷) مشاهده نمود.



شکل(۱۷): حالت‌های چهارگانه مدار مبدل SEPIC ایزوله با اسنابر RCD

شکل موج‌های اصلی مبدل SEPIC به همراه اسنابر RCD نیز در حالات مختلف مدار، در شکل(۱۸) آورده شده است.

مدت زمان حالت دوم که با اسنابر اضافه است بسیار کمتر از سایر مراحل است و می‌توان آن‌را با حل مدار به‌صورت زیر بدست آورد:

$$\Delta t_{sn} = \frac{L_i L_k (I_{Li,max}+I_{Lo,max})}{V_i(L_i+L_k)-nV_o L_i} \qquad (۱۴)$$

مقدار متوسط جریان عبوری از اسنابر عبارتست از:

$$I_{sn} = \frac{(I_{Li,max}+I_{Lo,max})\Delta t_{sn}}{2T_s} \qquad (۱۵)$$

جهت به‌دست آوردن توان اتلافی در اسنابر RCD، باید ولتاژ دو سر مقاومت را در جریان اسنابر ضرب کرد. با ضرب نمودن جریان عبوری از اسنابر در ولتاژ مقاومت و جایگذاری Δt_{sn} از رابطهٔ (۱۴) در آن، می‌توان توانِ اتلافی را به‌صورت زیر به‌دست آورد:

$$P_{sn} = V_{C_{sn}} I_{sn} = \frac{V_{C_{sn}} L_i L_k (I_{Li,max}+I_{Lo,max})^2}{2T_s[V_{C_{sn}}(L_i+L_k)-nV_o L_i]} \qquad (۱۶)$$

با توجه به اینکه اندوکتانس ورودی، از اندوکتانس نشتیِ ترانس خیلی بزرگتر است، می‌توان رابطهٔ (۱۶) را به‌صورت زیر ساده نمود:

$$P_{sn} = \frac{1}{2} L_k I_T^2 f_s \frac{1}{(1-\frac{nV_o}{V_{C_{sn}}})} \qquad (۱۷)$$

این رابطه نشان می‌دهد که هر چه مقدار $V_{C_{sn}}$ کوچکتر باشد، مقدار اتلاف توان در اسنابر RCD بیشتر است. یعنی نه تنها انرژی ذخیره شده در L_k تلف می‌شود، بلکه مقدار ولتاژ خازن اسنابر $V_{C_{sn}}$، در تعیین ماکزیمم ولتاژ دو سر کلیدِ S نقش دارد.

$$V_{S,max} = V_i + V_{C_{sn}} \qquad (۱۸)$$

وقتی همهٔ انرژی ذخیره شده در L_k به اسنابر انتقال می‌یابد، دیود اسنابر قطع می‌شود و دیود خروجی جریان ماکزیمم را هدایت می‌کند و مرحلهٔ سوم آغاز می‌شود. انرژی انتقال یافته به اسنابر در طول سه مرحلهٔ بعد در مقاومت اسنابر (R_{sn}) تلف می‌شود. ریپل ولتاژ دو سر خازن اسنابر را می‌توان به‌صورت زیر نشان داد:

$$\Delta V_{C_{sn}} = \frac{I_T \Delta t_{sn}}{2C_{sn}} \qquad (۱۹)$$

با قرار دادن روابط (۱۴) و (۱۸) در رابطهٔ (۱۹) و فرض اینکه اندوکتانس ورودی از اندوکتانس نشتی ترانس به مراتب بزرگتر است، مقدار C_{sn} را می‌توان از رابطهٔ زیر به‌دست آورد.

$$C_{sn} = \frac{L_k I_T^2}{2\Delta V_{C_{sn}}(V_{S,max}-V_T)} \qquad (۲۰)$$

که V_T در آن از رابطهٔ (۸) به‌دست می‌آید. پس از تعیین ماکزیمم ولتاژ کلید توسط طراح، می‌توان C_{sn} را طوری طراحی کرد که $\Delta V_{C_{sn}}$ بین ٪۵ تا ٪۱۰ مقدار $V_{C_{sn}}$ باشد. با این انتخاب، منطقی است که $V_{C_{sn}}$ در طول دورهٔ تناوب کلیدزنی، ثابت باشد. بنابراین مقاومت اسنابر را می‌توان از رابطهٔ زیر بدست آورد.

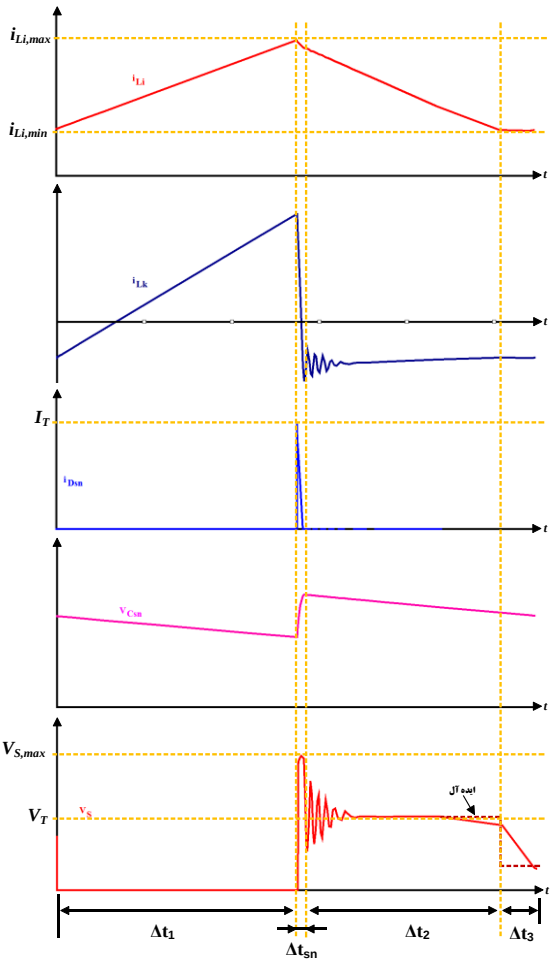
$$R_{sn} = \frac{V_{C_{sn}}^2}{P_{sn}} = \frac{2V_{C_{sn}}(V_{C_{sn}}-nV_O)}{L_k I_T^2 f_s} \qquad (۲۱)$$

هر چند استفاده از اسنابر RCD استرس ولتاژ روی کلید را کاهش داده است ولی وجود مقاومت در اسنابر باعث اتلاف انرژی مدار می‌گردد. یعنی این اسنابر یک اسنابر اتلافی است و بهتر است اسنابری که استفاده می‌شود دارای مقاومت نباشد یعنی از نوع احیاکننده باشد که تلفات گرمایی کمتری در اسنابر ایجاد گردد و همچنین بهتر است شامل عناصر پسیو

www.SID.ir

Archive of SID

باشد تا خودِ اسنابر، کلیدها و مدارات کنترلی جانبی بیشتری به ساختار مبدل اضافه نکند.



شکل(۱۸): شکل موج‌های اصلی مدار SEPIC ایزوله با اسنابر RCD در وضعیت DCM

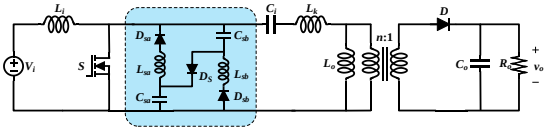
مقادیر عناصر استفاده شده در شبیه‌سازی این مدار در جدول(۶) آورده شده است.

جدول(۶): مشخصات عناصر مدار SEPIC ایزوله با اسنابر RCD

V_{DC}	۱۰۰ V	C_O	۱۱۲۰ μF
L_i	۳/۸۴ mH	R_O	۱۰ $k\Omega$
C_i	۲۲ μF	مشخصات مدار اسنابر	
L_K	۸/۷ μH	C_S	۲۰ nF
L_P	۲۱۱/۷ μH	R_S	۱۰ $k\Omega$

اسنابر LCDD برای مبدل SEPIC ایزوله

در برخی مقالات مانند مراجع [۱۱] و [۵] مدارات اسنابر پسیو بدون تلفات و جدیدی ارائه شده است که به همان خوبی مدارات اکتیو و بدون هیچ کلید اضافه‌ای کار خود را انجام می‌دهند. در مرجع [۱۰] یک اسنابر پسیو و بدون مقاومت در قالب یک سلول LCDD برای توپولوژی مدار Boost تمام پل ایزوله شده، به جهت حذف اسپایک‌های ولتاژ روی ساقِ پل استفاده شده است. اگر این توپولوژی به عنوان اسنابر به مدار SEPIC اضافه شود رفتار متفاوتی دارد. در مرجع [۱۱] این اسنابر LCDD در ساختار SEPIC بکار برده شده است. این ساختار که شامل سلف‌های L_{sa} و L_{sb}، خازن‌های C_{sa} و C_{sb}، و همچنین دیودهای D_{sa} و D_{sb} می‌شود، در شکل(۱۹) نشان داده شده است. علاوه بر این سلف‌های Lsa و L_{sb} می‌توانند با هم کوپل شده و اندوکتانس مورد نیاز مدار را با ضریب ۲ کاهش دهند که در آنصورت اتلاف مدار نیز کاهش می‌یابد.



شکل(۱۹): مدار SEPIC ایزوله به همراه اسنابر LCDD

وقتی اسنابر LCDD به مدار SEPIC ایزوله اضافه شود، در وضعیت DCM، می‌توان ۷ حالت برای مدار تعریف کرد که این ۷ حالت در شکل(۲۰) نشان داده شده‌اند. شکل موج‌های اصلی استفاده شده در آنالیز مدار نیز در شکل(۲۱) آورده شده‌اند. خازن‌های C_i و C_o آنقدر بزرگ هستند که ریپل ولتاژ روی آنها در نظر گرفته نمی‌شود و مقادیر المان‌های پسیو در هر ساق از سلول اسنابر نیز با هم برابر هستند.

الف. حالت اول $(t_0 < t \leq t_1)$

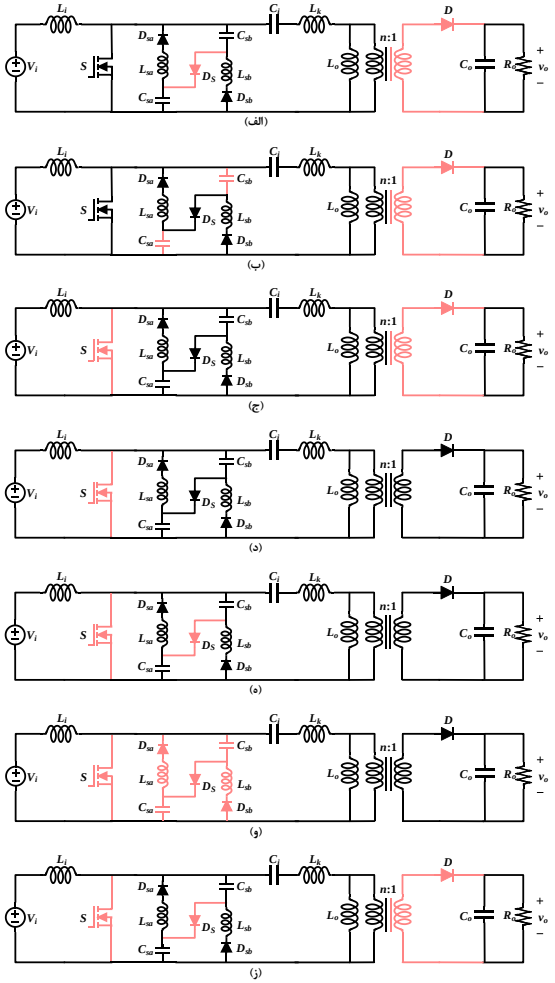
این حالت وقتی شروع می‌شود که به کلید S فرمان روشن شدن داده می‌شود. شکل(۲۰)(الف) این حالت را نشان می‌دهد. سلف ورودی L_i از طریق کلید S شارژ می‌شود. سلف‌های L_k و L_o با ولتاژ دو سر خازن C_i که ثابت و برابر با V_i است شارژ می‌شوند. ولتاژ دو سر C_{sa} و C_{sb} مثبت است و باعث می‌شود دیودهای D_{sa} و D_{sb} هدایت کنند و سلف‌های L_{sa} و L_{sb} شارژ شوند. دیود خروجی (سمت ثانویهٔ مدار) قطع است و ولتاژ دو سرِ بار به اندازهٔ ولتاژ خازن خروجی (V_{Co}) نگه داشته می‌شود. اگر ولتاژ اولیهٔ خازن اسنابر و جریان اولیهٔ سلف اسنابر به ترتیب با V_{cs0} و I_{Ls0} نشان داده شوند، مدت زمان این حالت را می‌توان به‌صورت زیر نوشت:

www.SID.ir

Archive of SID

$$t_{01} = \sqrt{L_s C_s}\left[\frac{\pi}{2} - sin^{-1}\left(\frac{I_{Ls0}}{\sqrt{\frac{C_s}{L_s}V_{cs0}{}^2 + I_{Ls0}{}^2}}\right)\right] \quad (۲۲)$$

در این حالت با بسته بودن کلید اصلی، هریک از ساق‌های اسنابر یک حلقه تشکیل می‌دهند و انرژی خازن اسنابر به سلف اسنابر منتقل می‌شود به‌طوریکه در پایان این مرحله همهٔ انرژی خازن‌های اسنابر در سلف‌ها تخلیه می‌شود و دیود اسنابر روشن شده و شروع به هدایت می‌کند و حالت بعدی مدار آغاز می‌گردد.



شکل(۲۰): حالات مختلف مدار SEPIC ایزوله به همراه اسنابر LCDD در وضعیت DCM

ب. حالت دوم $(t_1 < t \leq t_2)$

این حالت وقتی شروع می‌شود که همهٔ انرژی ذخیره شده در خازن‌های اسنابر به سلف‌های اسنابر انتقال می‌یابد و دیود اسنابر (D_s) شروع به هدایت می‌کند و مطابق مدار شکل(۲۰)(ب) جریان‌های $i_{L_{sa}}$ و $i_{L_{sb}}$ را به‌صورت هرزگردی از کلید S عبور می‌دهد. این حالت تا قطع شدن کلید ادامه پیدا می‌کند. یعنی مدت زمان این مرحله عبارتست از:

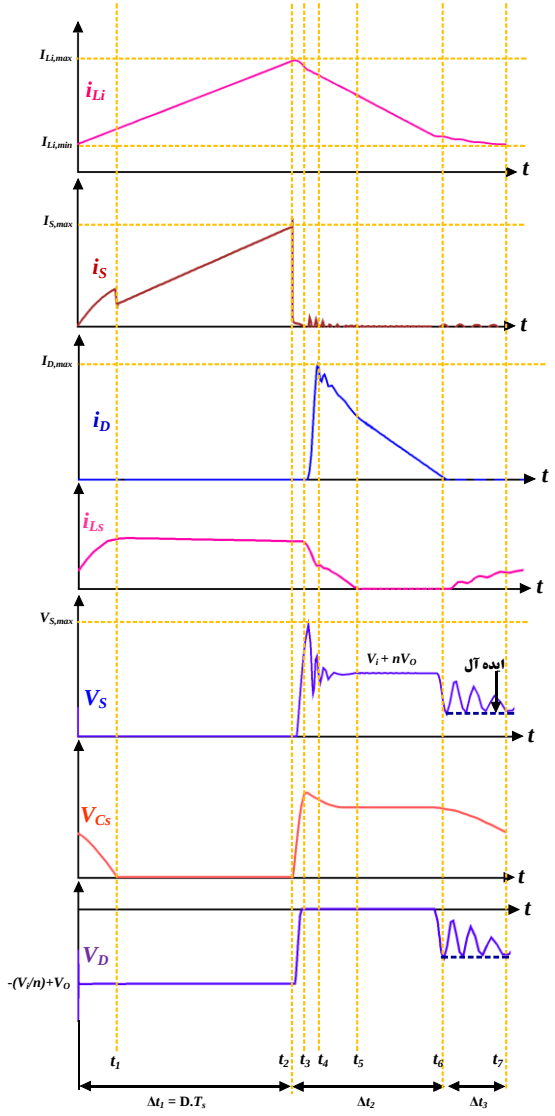
$$t_{12} = \Delta t_1 - t_{01} \quad (۲۳)$$

که Δt_1 همان زمان بیان شده در مدار SEPIC ایزولهٔ بدون اسنابر است که در رابطهٔ(۳) آورده شده است.

ولتاژ خازن‌های اسنابر همچنان صفر می‌ماند. در پایان این مرحله یعنی در زمان قطع شدن کلیدِ S، ولتاژ خازن‌های اسنابر صفر است و جریان سلف‌های اسنابر به بیشترین مقدار خود می‌رسد.

$$V_{csa} = V_{csb} = 0 \quad (۲۴)$$

$$i_{L_{sa}} = i_{L_{sb}} = i_{L_{s,max}} \quad (۲۵)$$



شکل(۲۱): شکل‌موج‌های اصلی نشان‌دهندهٔ عملکرد مدار در حالات هفت‌گانه

ج. حالت سوم $(t_2 < t \leq t_3)$

www.SID.ir

Archive of SID

این حالت با قطع شدن کلید S آغاز می‌گردد. شکل(۲۰)(ج) مدار معادل این حالت را نشان می‌دهد. از آنجا که جریان عبوری از سلف نشتی نمی‌تواند یکدفعه تغییر کند، از طریق دیودِ D_s خازن‌های C_{sa} و C_{sb} را شارژ می‌کند. ولتاژ خازن‌های اسنابر شروع به افزایش می‌کند و همزمان در قسمت ثانویهٔ ترانس ولتاژ منفی دو سر دیود خروجی (V_{D_o}) کاهش می‌یابد. این ولتاژ آنقدر کاهش پیدا می‌کند تا به صفر برسد و در این زمان دیود خروجی (D_o) شروع به هدایت می‌کند. یعنی در پایان این مرحله با روشن شدن دیود خروجی، قسمت ثانویهٔ ترانس وارد مدار می‌گردد. با توجه به اینکه مقدارِ ولتاژ خازن اسنابر در انتهای این مرحله $\frac{V_T}{2}=\frac{V_i+nV_o}{2}$ می‌شود، مدت زمان این مرحله را می‌توان به‌صورت زیر نوشت:

$$t_{23}=\frac{C_s\,(V_i+nV_o)}{2(I_{Li,max}+I_{Lo,max}+i_{L_{s,max}})} \qquad (۲۶)$$

مقدار نهایی جریان در پایان مرحلهٔ سوم از رابطهٔ زیر بدست می‌آید:

$$I_{Ls3}=I_{Ls,max}-\frac{C_s{V_T}^2}{8L_s(I_T+I_{Ls,max})} \qquad (۲۷)$$

د. حالت چهارم ($t_3<t\le t_4$)

این مرحله با صفر شدن ولتاژ V_{D_o} و روشن شدن دیود خروجی آغاز می‌شود. مدار معادل این حالت در شکل(۲۰)(د) آورده شده است. تمام انرژی ذخیره شده در سلف نشتیِ L_k به خازن‌های اسنابر منتقل می‌شود و ولتاژ خازن‌های اسنابر در این حالت به افزایش ادامه می‌دهد تا اینکه دیود اسنابر (D_s) قطع گردد. با قطع شدن دیود اسنابر این حالت به پایان می‌رسد و حالت بعدی آغاز می‌گردد. فاصلهٔ زمانی این مرحله به‌صورت زیر می‌باشد:

$$t_{34}=\frac{\pi}{2}\sqrt{\frac{L_kC_s}{2}} \qquad (۲۸)$$

ماکزیمم ولتاژ روی کلید S در این مرحله ایجاد می‌شود که برابر است با مجموع ولتاژ خازن‌های اسنابر C_{sa} و C_{sb} یا دو برابر V_{C_s} در پایان این لحظه.

$$V_{S,max}=2V_{Cs4} \qquad (۲۹)$$

$$V_{Cs4}=\frac{V_T}{2}+\frac{I_T+I_{Ls3}}{\sqrt{L_sC_s}} \qquad (۳۰)$$

که V_T و I_T از روابط (۸) تا (۱۰) بدست می‌آیند. جریان سلف‌های اسنابر نیز در پایان این مرحله از رابطهٔ زیر بدست می‌آید:

$$I_{Ls4}=I_{Ls3}-\left(\frac{\pi V_T\sqrt{L_kC_s}+4L_k(I_T+I_{Ls3})}{8L_s}\right) \qquad (۳۱)$$

ه. حالت پنجم ($t_4<t\le t_5$)

وقتی تمام انرژی ذخیره شده در L_k به اسنابر انتقال یافت دیود اسنابر (D_s) قطع می‌شود و حالت پنجم مدار آغاز می‌گردد. که این حالت در شکل(۲۰)(ه) نشان داده شده است. جریان دیود خروجی، مرتبط با جریان‌های L_i ، L_o و L_{sa} و L_{sb} است که در نسبت دور ترانس ضرب می‌شود. انرژی دریافت شده توسط اسنابر در این مرحله به خروجی انتقال داده می‌شود به‌طوریکه در انتهای این مرحله، پس از انتقال تمام انرژی ذخیره شده در اسنابر به خروجی، جریان سلف‌های اسنابر صفر می‌گردد و مدار اسنابر خاموش می‌شود.

$$t_{45}=\sqrt{L_sC_s}.tan^{-1}\left[\sqrt{\frac{L_s}{C_s}}.\frac{I_{Ls4}}{V_T-V_{Cs4}}\right] \qquad (۳۲)$$

و. حالت ششم ($t_5<t\le t_6$)

این حالت با خاموش شدن مدار اسنابر آغاز .می‌شود. به محض اینکه جریان سلف‌های اسنابر به صفر رسید، دیودهای اسنابر D_{sa} و D_{sb} قطع می‌شوند در حالی که خازن‌های اسنابر C_{sa} و C_{sb} باردار می‌مانند. همان‌گونه که در شکل(۲۰)(و) مشاهده می‌شود اسنابر در این زمان هدایت نمی‌کند و شرایط کاری مانند یک مدار SEPIC معمولی است. این شرایط همچنان ادامه پیدا می‌کند تا زمانیکه همهٔ انرژی ذخیره شده در ورودی و اندوکتانس مغناطیس شوندگی به خروجی انتقال یابد. مدت زمان این مرحله از رابطهٔ زیر بدست می‌آید:

$$t_{56}=\Delta t_2-(t_{23}+t_{34}+t_{45}) \qquad (۳۳)$$

ز. حالت هفتم ($t_6<t\le t_7$)

آخرین حالت مدار زمانی آغاز می‌شود که دیود خروجی قطع می‌شود و آن زمانی است که جریان سلف مغناطیس شوندگی (i_{Lo}) با جریان سلف ورودی (i_{Li}) برابر شده است. بارِ سمت ثانویهٔ ترانس توسط خازن C_o تغذیه می‌شود و جریان ثابتی در سمت اولیه برقرار می‌گردد. از آنجا که ولتاژِ دو سر خازن‌های اسنابر C_{sa} و C_{sb} از ولتاژ دو سر کلید S بیشتر است، دیودهای اسنابر D_{sa} و D_{sb} به‌صورت مستقیم بایاس می‌شوند و جریان درون سلف‌های اسنابر شروع به افزایش می‌کند و این روند باعث می‌شود که ولتاژ خازن‌های اسنابر و به دنبال آن ولتاژ کلید S کاهش یابند. شکل(۲۰)(ز) آخرین حالت مدار را نشان می‌دهد که تا زمان روشن شدن کلید S ادامه پیدا می‌کند. و با روشن شدن کلید S دوباره سیکل بعدی مدار شروع می‌شود. مدت زمان حالت آخر مدار برابر است با:

$$t_{56}=\Delta t_3 \qquad (۳۴)$$

www.SID.ir

Archive of SID

اتفاقی که در این مدار افتاده است، این است که در زمان خاموشیِ کلید S، ولتاژ مدار به یکباره تغییر نمی‌کند یعنی مقدار $\frac{dv}{dt}$ در زمان خاموشی کلید کنترل شده است.

مقادیر عناصر استفاده شده در شبیه‌سازی این مدار در جدول(۷) آورده شده است.

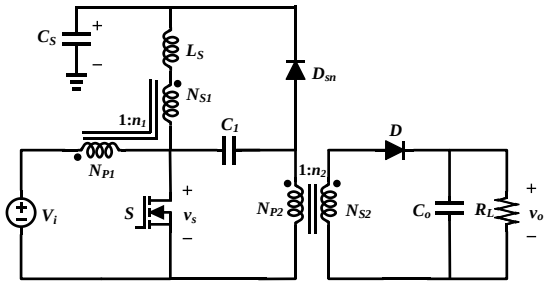
جدول(۷): مشخصات عناصر مدار SEPIC ایزوله با اسنابر LCDD

V_{DC}	۱۰۰ V	C_O	۱۱۲۰ μF
L_i	۳/۸۴ mH	R_O	۱۰ $k\Omega$
C_i	۲۲ μF	مشخصات مدار اسنابر	
L_K	۸/۷ μH	C_S	۱۰ nF
L_P	۲۱۱/۷ μH	L_S	۲۲۰ μH

اسنابر LLCD بدون اتلاف، با ریپل جریان ورودی صفر برای مبدل SEPIC ایزوله

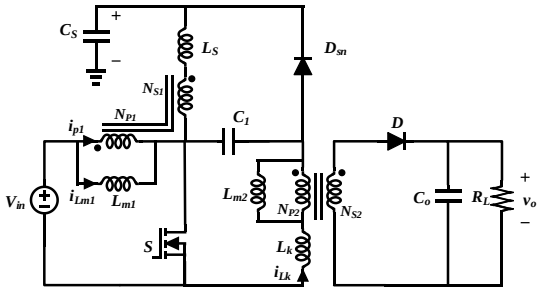
در قسمت قبل یک اسنابر پسیو و غیراتلافی معرفی شد که با کنترل $\frac{dv}{dt}$ در زمان خاموشیِ کلید، استرس ولتاژ را از روی کلید بر می‌داشت. علاوه بر کاهش استرس ولتاژ، ریپل جریان ورودی نیز مسألهٔ مهمی است که در بسیاری کاربردها مورد نیاز است. یکی از مزایای مبدل SEPIC این است که در ورودی سلف دارد و باعث می‌شود ریپل جریان ورودی کاهش یابد. اما استفاده از سلف بزرگ در ورودی، وزن و اندازهٔ مبدل را افزایش می‌دهد. از طرفی منابع ولتاژ پایین مثل باطری‌ها و فیولسل‌ها نیاز دارند که ریپل جریان بسیار کمی داشته باشند و گرنه عمر آنها به شدت کاهش می‌یابد. در مقالات زیادی به منظور کاهش ریپل جریان از روش سلف‌های کوپل شده استفاده شده است.

در مرجع[۱۲] یک اسنابر برای مبدل SEPIC ایزوله معرفی شده است که علاوه بر کاهش استرس روی کلید، همزمان دارای سلف‌های کوپل شده است که می‌توانند ریپل جریان ورودی را به صفر برسانند. این مدار در شکل(۲۲) آورده شده است و دارای عنصر اکتیو یا کلید اضافه نمی‌باشد بلکه یک اسنابر شامل سلف کوپل شدهٔ T_1، سلف جانبی L_s، خازن جانبی C_s و دیود اسنابر D_s است که به مدار SEPIC ایزوله اضافه شده و همین اسنابر علاوه بر اینکه برای کاهش استرس ولتاژ کلید بکار گرفته می‌شود، در حذف ریپل جریان ورودی نیز استفاده شده است.



شکل(۲۲): مدار SEPIC ایزوله به همراه اسنابر LLCD بدون اتلاف با ریپل جریان ورودی صفر

مدل دقیق‌تر این مدار با اضافه شدن سلف‌های مغناطیس‌شوندگی و سلف نشتی را می‌توان در شکل(۲۳) مشاهده کرد.



شکل(۲۳): مدل دقیقتر مدار شکل(۲۲)

سلف کوپل شدهٔ T_1، یک اندوکتانس مغناطیسی L_{m1} با نسبت دور $1:n_1$ دارد . اندوکتانس نشتی T_1 بسیار کم است و نسبت به سلف L_s می‌توان از آن صرفنظر کرد. سلف کوپل شدهٔ T_2، یک اندوکتانس مغناطیسی L_{m2} با نسبت دور $1:n_2$ و یک اندوکتانس نشتی L_k دارد که خیلی کوچکتر از L_{m2} است. خازن‌های C_1، C_s و C_o به اندازهٔ کافی بزرگ هستند که می‌توان آنها را بعنوان منبع ولتاژ ثابت در نظر گرفت. از آنجا که طبق قانون ولت-ثانیه، ولتاژ سلف در حالت ماندگار باید صفر گردد، ولتاژ C_1، C_s با ولتاژ V_{in} برابر می‌شود. این مدار دارای ۴ حالت کاری می‌باشد. که سه حالت آن بین وضعیت‌های CCM و DCM مشترک است ولی حالت چهارم آن تنها در وضعیت DCM به مدار اضافه می‌شود. شکل(۲۴) حالت‌های چهارگانهٔ مدار را نشان می‌دهد. این مبدل در وضعیت CCM، دارای سه حالت کاری است که در شکل‌های (۲۴)(الف) تا (ج) نشان داده شده‌اند و حالت چهارم که مربوط به وضعیت کاری DCM می‌شود در شکل(۲۴)(د) نشان داده شده است. شکل موج‌های اصلیِ حاصل از این مدار در وضعیت CCM نیز در شکل(۲۵) و در وضعیت DCM در شکل(۲۶) آورده شده‌اند. قبل از زمان t_0، کلید اصلی و دیود اسنابر (D_{sn}) خاموش هستند و دیود خروجی (D_o) در حال هدایت است.

www.SID.ir

Archive of SID

الف. حالت اول $(t_0 < t \leq t_1)$

این حالت در زمان t_0، با روشن شدن کلید S آغاز می‌گردد. دیود خروجی به‌صورت معکوس بایاس می‌شود و قسمت ثانویهٔ ترانس قطع می‌گردد. در این حالت سلف‌های L_{m1} و L_{m2} انرژی ذخیره می‌کنند. از آنجا که ولتاژ دو سر L_{m1}، V_{in} می‌شود، جریان i_{Lm1} به‌صورت خطی مطابق رابطهٔ زیر افزایش می‌یابد.

$$i_{Lm1}(t) = \frac{V_{in}}{L_{m1}}(t - t_0) + I_{Lm1,min} \qquad (۳۵)$$

از آنجا که ولتاژ V_{Ls} برابر می‌شود با $-(1-n_1)V_{in}$، جریان i_{Ls} مطابق رابطهٔ زیر کاهش می‌یابد.

$$i_{Ls}(t) = \frac{-(1-n_1)V_{in}}{L_s}(t - t_0) + I_{Ls,max} \qquad (۳۶)$$

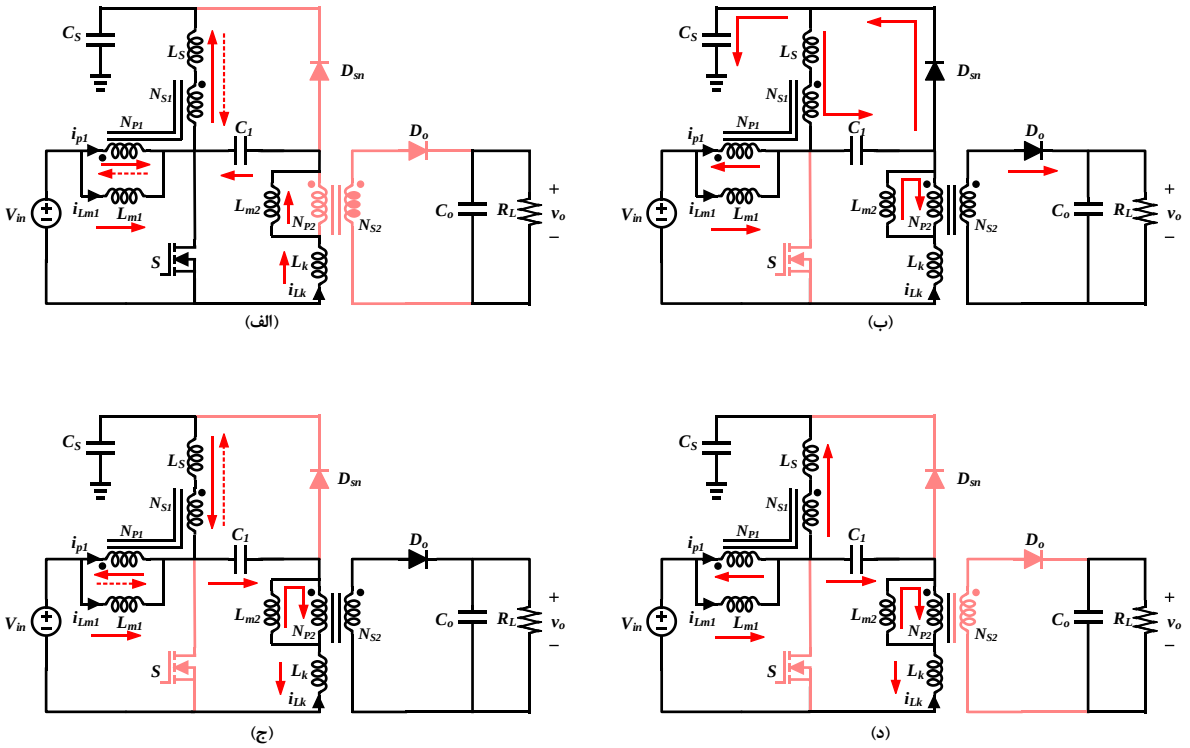
ولتاژ کلی دو سر هر دو المان L_k و L_{m2} برابر با V_{in} می‌شود. بنابراین ولتاژ ورودی بین دو المان تقسیم می‌شود و می‌توان ولتاژ و جریان آنها را به‌صورت زیر نوشت:

$$V_{Lm2} = \frac{V_{in}L_{m2}}{L_{m2}+L_k} \qquad (۳۷)$$

$$V_{Lk} = \frac{V_{in}L_k}{L_{m2}+L_k} \qquad (۳۸)$$

$$i_{Lm2}(t) = i_{Lk}(t) = \frac{V_{in}}{L_{m2}+L_k}(t - t_0) + I_{Lm2,min} \qquad (۳۹)$$

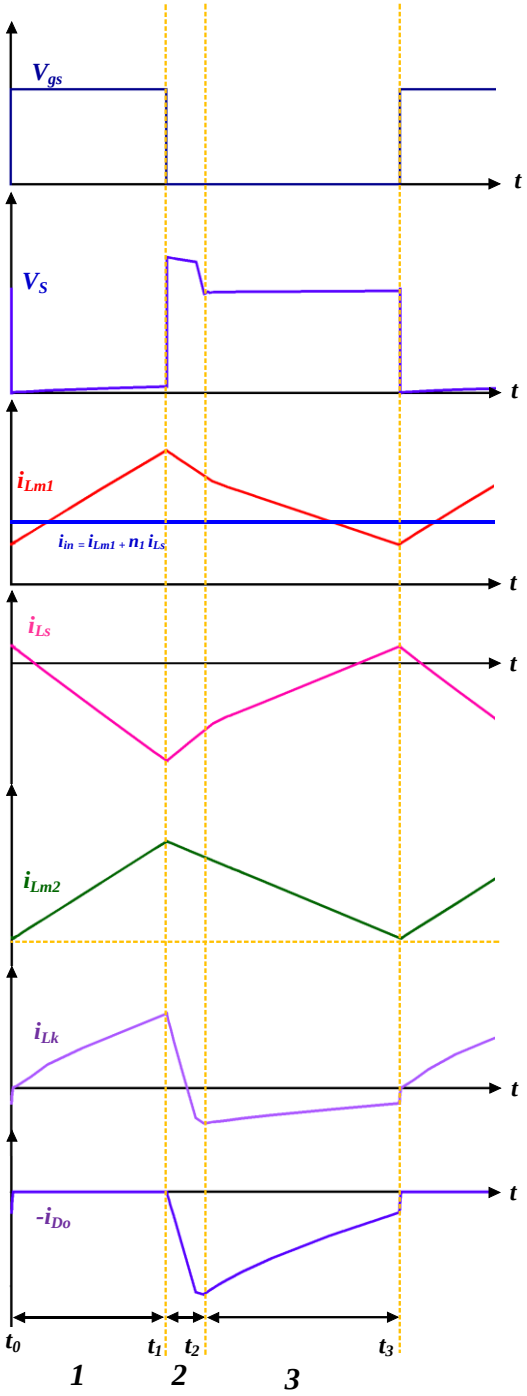
جریانی که از L_s می‌گذرد با جریان i_{p1} کوپل شده است. این کوپلینگ باعث شده است که جریان i_{p1} از جریان i_{L_s} تأثیر بپذیرد و تغییراتی که در i_{L_s} ایجاد می‌شود در i_{p1} نیز دیده شود. پس می‌توان جریانی در جهت معکوس در i_{p1} ایجاد کرد که با کم شدن آن از i_{Lm1} مقدار ثابتی برای i_{in} ایجاد شود. در واقع این کوپلینگ باعث شده است که جریان ورودی ریپل نداشته باشد.



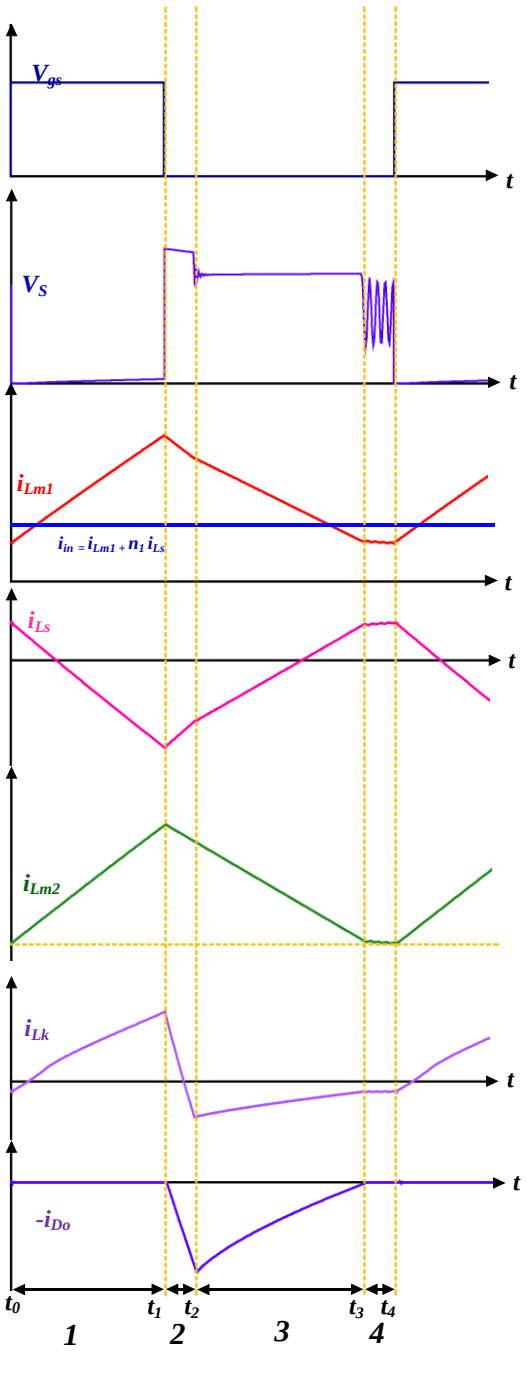
شکل(۲۴): حالت‌های کاری چهارگانهٔ مبدل SEPIC ایزوله به همراه اسنابر LLCD

www.SID.ir

Archive of SID



شکل(۲۵): شکل‌موج‌های اصلی مدار، بیانگر عملکرد مدار در حالات سه‌گانه در وضعیت CCM



شکل(۲۶): شکل‌موج‌های اصلی مدار، بیانگر عملکرد مدار در حالات چهارگانه در وضعیت DCM

ب. حالت دوم ($t_1 < t \leq t_2$)

این حالت با قطع کلید S آغاز می‌شود. قطع شدن کلید سبب می‌شود که دیود D_o در قسمت ثانویه ترانس روشن شود و شروع به هدایت کند. دیود اسنابر (D_{sn}) روشن نیز در قسمت اولیه روشن می‌شود. روشن شدن دیود اسنابر باعث می‌شود ولتاژ کلید S در حالت خاموشی روی مقدار $2V_{in}$ ثابت نگه داشته شود و از آن بیشتر نشود. از آنجا که ولتاژ V_{Lm1} و V_{Ls} به ترتیب برابر با $-V_{in}$ و $(1-n_1)V_o$ هستند، جریان i_{Lm1} و i_{Ls} از روابط زیر بدست می‌آیند:

$$i_{Lm1}(t) = \frac{V_{in}/n_2}{L_{m1}}(t-t_1) + I_{Lm1,max} \quad (۴۰)$$

$$i_{Ls}(t) = \frac{(1-n_1)V_o}{L_s}(t-t_1) + I_{Ls,min} \quad (۴۱)$$

www.SID.ir

Archive of SID

با توجه به اینکه V_{Lm2} برابر است با $\frac{-V_o}{n}$، جریان‌های i_{Lm1} و i_{Lk} را می‌توان به‌صورت زیر نوشت:

$$i_{Lm1}(t) = \frac{-V_o/n_2}{L_{m2}}(t-t_1) + I_{Lm2,max} \quad (۴۲)$$

$$i_{Lk}(t) = \frac{V_o - \frac{V_o}{n_2}}{L_s}(t-t_1) + I_{Lk,max} \quad (۴۳)$$

این مرحله وقتی به پایان می‌رسد که جریان دیود اسنابر (D_{sn}) صفر می‌شود یعنی جریان i_{Lk} آنقدر کاهش پیدا می‌کند تا به مقدار $-i_{Lm1} + (1-n_1)i_{Ls}$ می‌رسد و در این لحظه با قطع دیود اسنابر، حالت سوم مدار آغاز می‌گردد.

ج. حالت سوم $(t_2 < t \le t_3)$

این حالت با خاموش شدن دیود اسنابر شروع می‌شود. در این حالت انرژی ذخیره شده در سلف‌های L_{m1} و L_{m2} به خروجی انتقال داده می‌شود. با توجه به اینکه V_{Lm1} و V_{Ls} به ترتیب برابرند با $\frac{-V_o}{n_2} + V_{Lk}$ و $(1-n_1)\left(\frac{V_o}{n_2} - V_{Lk}\right)$، جریان‌های i_{Lm1} و i_{Ls} را می‌توان به‌صورت زیر نوشت:

$$i_{Lm1}(t) = \frac{\frac{-V_o}{n_2} + V_{Lk}}{L_{m1}}(t-t_2) + I_{Lm1}(t_2) \quad (۴۴)$$

$$i_{Ls}(t) = \frac{(1-n_1)\left(\frac{V_o}{n_2} - V_{Lk}\right)}{L_s}(t-t_2) + I_{Ls}(t_2) \quad (۴۵)$$

پس ولتاژ خروجی بوسیلهٔ ترانس به ورودی انعکاس داده می‌شود و اثر خود را در i_{Ls} می‌گذارد. تا جریان خنثی‌ساز برای ریپل جریان ورودی تولید کند. i_{Ls} نیز به دلیل کوپل شدن سلف‌ها با جریان i_{p1} ارتباط دارد و این ارتباط باعث حذف شدن ریپل جریان ورودی می‌گردد.

$$i_{in}(t) = i_{Lm1}(t) + i_{p1}(t) = i_{Lm1}(t) + n_1 i_{Ls}(t)$$

$$= \left[\frac{\frac{-V_o}{n_2} + V_{Lk}}{L_{m1}} + \frac{n_1(1-n_1)\left(\frac{V_o}{n_2} - V_{Lk}\right)}{L_s}\right](t-t_2)$$

$$+ I_{Lm1,max} + n_1 I_{Ls,min} \quad (۴۶)$$

ولتاژ اندوکتانس نشتی را می‌توان به‌صورت زیر نوشت:

$$V_{Lk} = \left(1 + \frac{L_{m1}L_s}{-L_{m1}L_s + L_k L_s + (1-n_1)^2 L_k L_{m1}}\right)\frac{V_o}{n_2} \quad (۴۷)$$

البته مقدار ولتاژ V_{Lk} آنقدر کوچک است که می‌توان آن‌را صفر در نظر گرفت. با صرفنظر کردن از V_{Lk}، می‌توان با استفاده از روابط (۴۰)، (۴۱) و (۴۲)، جریان دیود خروجی (i_{Do}) را به‌صورت زیر ساده کرد:

$$i_{Do}(t) = \frac{1}{n_2}\left(I_{Lm1,max} + (n_1-1)I_{Ls,min} + I_{Lm1,max} - \frac{V_o/n_2}{L_{m1}} - \frac{(1-n_1)^2\frac{V_o}{n_2}}{L_s} - \frac{V_o/n_2}{L_{m2}}\right)(t-t_1) \quad (۴۸)$$

حالت‌های الف، ب و ج ، که بیان شد مربوط عملکرد مبدل در وضعیت CCM است. در شرایط کاری مبدل در وضعیت DCM چهار حالت برای مدار وجود دارد که در شکل(۲۶) شکل موج‌های اصلی مدار در این حالات چهارگانه آورده شده است.

وضعیت DCM نیز با وصل شدن کلید S در زمان t_0 آغاز می‌گردد. در حالت‌های الف، ب و ج، در وضعیت کاری DCM تمام معادلات ولتاژ و جریان‌های مدار مشابه حالتهای کاری وضعیت DCM می‌باشد. تنها فرق آنها این است که در وضعیت DCM در انتهای حالت سوم، جریان‌های i_{Lm1}، i_{Lm2}، i_{Lk} و i_{Ls} به‌صورت هرزگردی در مدار برقرار می‌گردند و مقادیر آنها از روابط زیر بدست می‌آید:

$$I_{Lm1,fw} = \frac{\frac{-V_o}{n_2} + V_{Lk}}{L_{m1}}(t_3 - t_2) + i_{Lm1}(t_2) \quad (۴۹)$$

$$I_{Lm2,fw} = I_{Lk,fw} = \frac{\frac{-V_o}{n_2}}{L_{m2}}(t_3 - t_1) + i_{Lm2}(t_1) \quad (۵۰)$$

$$I_{Ls,fw} = \frac{(1-n_1)\left(\frac{V_o}{n_2} - V_{Lk}\right)}{L_s}(t_3 - t_2) + i_{Ls}(t_2) \quad (۵۱)$$

د. حالت چهارم $(t_3 < t \le t_4)$

این حالت که تنها در وضعیت DCM رخ می‌دهد با خاموش شدن دیود خروجی (D_o) و قطع شدن جریان آن آغاز می‌شود. در طول این حالت جریان‌های هرزگردی $I_{Lm1,fw}$، $I_{Lm2,fw}$، $I_{Lk,fw}$ و $I_{Ls,fw}$ در مدار به چرخش خود ادامه می‌دهند. مقدار عناصر این مدار در جدول(۵) آورده شده است.

جدول(۸): مشخصات عناصر مدار SEPIC ایزوله با اسنابر LLCD

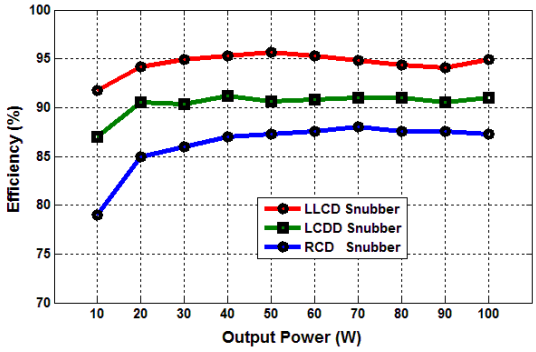
V_{DC}	۴۸ V	C_O	۱۰۰ μF
L_{m1}	۳۰۰ μH	$N_{P1}:N_{S1}$	۳۲:۱۶
C_1	۱۰۰ μF	$N_{P2}:N_{S2}$	۱۶:۹۶
L_{m2}	۸/۷ μH	C_S	۱۰۰ μF
R_O	۱۰ $k\Omega$	L_S	۷۵ μH

در بررسی اسنابرهای معرفی شده می‌توان دید که اسنابرهای احیاکننده نسبت به اسنابر اتلافی عملکرد بهتری دارند. استفاده

www.SID.ir

Archive of SID

از اسنابرهای احیاکننده نسبت به اسنابر اتلافی بازده مدار را نیز افزایش می‌دهد. به‌عنوان مثال، در مبدل دارای اسنابر LCDD، بازده مدار نسبت‌به مبدل دارای اسنابر RCD، حدود ۳٪ بهبود یافته است. این مقدار افزایش بازده، در بارهای سبک به ۵٪ نیز می‌رسد. در اسنابر آخر یعنی اسنابر LLCD، باز هم بازده بهتر شده است. بطوریکه بازدهٔ آن حدود ۵٪ از مبدل حاوی اسنابر احیاکننده‌ی LCDD، و حدود ۷٪ الی ۸٪ نسبت‌به مبدل دارای اسنابر RCD، بهبود یافته است. نتایج آزمایشگاهی گزارش شده در مراجع [۱۱] و [۱۲] در خصوص بازده کلی مبدل‌ها، به‌صورت یکجا در شکل(۲۶) نشان داده شده است. در جدول(۹) یک مقایسهٔ کیفی بین اسنابرها به عمل آمده است. در سه مدار اول که ریپل جریان ورودی ذکر گردیده، مقادیر عناصر مدار اصلی یکسان هستند و تنها مدار اسنابر متفاوت است.



شکل(۲۶): نمودار بازده مبدل بر حسب توان خروجی برای سه نوع اسنابر مختلف

جدول(۹): مقایسهٔ اسنابرها با یکدیگر

مبدل SEPIC ایزوله	نوع حفاظت	ماکزیمم ولتاژ کلید	ریپل جریان ورودی	اتلاف انرژی
بدون اسنابر	بدون حفاظت	$V_i + nV_o$	۰/۲۶۶ A	اتلاف انرژی در مقاومت
با اسنابر RCD	محدود کردن پیک ولتاژ	$V_i + V_{C_{sn}}$	۰/۲۶۴ A	غیر اتلافی
با اسنابر LCDD	کاهش $\frac{dv}{dt}$	$2V_{Cs}$	۰/۲۶۱ A	غیر اتلافی
با اسنابر LLCD	محدود کردن پیک ولتاژ	$2V_{in}$	صفر	غیر اتلافی

نتیجه‌گیری

در این مقاله، به بررسی مبدل SEPIC پرداخته شد. هرگاه در مدار SEPIC معمولی، نیاز به افزایش بهره یا افزایش راندمان مدار باشد باید از اسنابر یا مدارات محافظ استفاده کرد. که آسیبی به کلید اصلی مدار در اثر اضافه ولتاژ یا اضافه جریان وارد نگردد. اما زمانی که ورودی و خروجی‌های مدار از لحاظ الکتریکی جدا باشند می‌توان به بهرهٔ بالاتر و بازده بهتری رسید ولی در این حالت استرس ولتاژی که در اثر سلف نشتی ترانس بر روی کلید ایجاد می‌شود، ضرورت وجود مدارات محافظ یا اسنابر را بیشتر می‌توان درک کرد. در این حالت می‌توان از مدارات اسنابر گوناگونی استفاده کرد که پسیو یا اکتیو باشند. و از تکنیک‌های مختلفی مثل کلیدزنی نرم یا تکنیک Active Clamping نیز استفاده کرد تا در لحظهٔ روشن شدن کلید، مقدار $\frac{di}{dt}$ و در لحظهٔ خاموش شدن کلید مقدار مقدار $\frac{dv}{dt}$ را مهار کرد. مدارات اسنابر اکتیو خود می‌توانند سلول‌ها و یا ساختار اضافی در بر داشته باشند که شرایط کنترل آنها را پیچیده‌تر می‌کند. پس بهتر است از اسنابرهای پسیو استفاده شود. در این مقاله چند اسنابر پسیو معرفی گردید. ابتدا اسنابر RCD بررسی گردید و بیان شد که اسنابرهای پسیو نیز در صورت وجود مقاومت در ساختار آنها مانند مدار اسنابر RCD، اتلاف انرژی به همراه دارند که راندمان مدار را کاهش می‌دهند. بنابراین بهتر است از اسنابر پسیو بدون اتلاف استفاده شود. در ادامه اسنابر LCDD شکل (۱۹) بررسی گردید که وجود سلف و خازن در ساختار آن باعث کاهش استرس ولتاژ شده و اتلاف چندانی نداشت. از طرفی مبدل SEPIC به دلیل وجود سلف در ورودی ریپل جریان ورودی را کاهش می‌دهد ولی در برخی کاربردها مانند باطری‌ها و فیولسل‌ها نیاز است که ریپل جریان ورودی تا جای ممکن کاهش یابد. مدار LCDD هر چند ریپل جریان بالایی ندارد ولی نمی‌تواند به‌طور قابل ملاحظه‌ای این تغییرات جریان را حذف کند. در ادامه یک مدار اسنابر LLCD در شکل(۲۲) بررسی گردید که علاوه بر کاهش استرس ولتاژ روی کلید و افزایش بهرهٔ مدار، توانسته است با تکنیک کوپلینگ سلفی، ریپل جریان ورودی را به صفر برساند. با مقایسهٔ این

www.SID.ir

Archive of SID

اسنابرها می‌توان به این نتیجه رسید که مدار LLCD شکل(۲۲) عملکرد بهتری نسبت به سایر اسنابرها دارد.

مراجع

[1] Priscila. F. de Melo, R. Gules, E. F. R. Romaneli and R. C. Annunziato, “A modified SEPIC converter for high-power-factor rectifier and universal input voltage applications”, IEEE Trans. Power Electron., vol. 25, no. 2, pp. 310-321, Feb. 2010.

[2] A. M. Al Gabri, A. A. Fardoun and E. H. Ismail, “Bridgeless PFC-Modified SEPIC Rectifier with Extended Gain for Universal Input Voltage Applications”, IEEE Transactions on Power Electronics, vol. 30, no. 8, pp. 4272-4282, 2015.

[3] I. Burgardt, E. Agostini, C. H. I. Font and C. B. Nascimento, A SEPIC-energy-regenerative-snubber with linear current regulator for power LEDs, 11th IEEE/IAS International Conference on Industry Applications, Juiz de Fora, pp. 1-6, 2014.

[4] Ali Mostaan, Jing Yuan, Yam P. Siwakoti, Soroush Esmaeili, Frede Blaabjerg,” A Trans-Inverse Coupled-Inductor Semi SEPIC DC/DC Converter with Full Control Range,” IEEE Transactions on Power Electronics, vol. 34, no. 11, pp. 10398-10402, May. 2019.

[5] J. Yao, A. Abramovitz, and K. M. Smedley, “Analysis and design of charge pump-assisted high step-up tapped inductor SEPIC converter with an “Inductorless” regenerative snubber,” IEEE Trans. Power Electron., vol. 30, no. 10, pp. 5565-5580, Oct. 2015

[6] Hossein Ardi, Mehran Sabahi, and Ali Ajami, “A Sepic Based High Step-Up DC-DC Converter integrating coupled inductor for renewable energy applications,” 8th Power Electronics, Drive Systems & Technologies Conference (PEDSTC), Ferdowsi University of Mashhad, Iran, Feb. 2017.

[7] R.J. Wai, C.Y. Lin, R.Y. Duan, and Y.R. Chang, “High-efficiency DC–DC converter with high voltage gain and reduced switch stress”, IEEE Trans. Ind. Electronics, 54, (1), pp. 354–364, 2007.

[8] Sh. Khatibi Nejad, M. Yazdani, “Conducted Electromagnetic Interference (EMI) Reduction in SEPIC Converter Using Symmetric Approach,” 25th Iranian Conference on Electrical Engineering (ICEE) Iran, Feb. 2017.

[9] Y.-T. Chen, and S.-Z. Mo, “A bridgeless active-clamp power factor correction isolated SEPIC converter with mixed DCM/CCM operation, “in Proc. 1st IFEEC, 2013, pp. 1-6.

[10] T. Meng, H. Ben, D. Wang, and J. Song, “Novel passive snubber suitable for three-phase single-stage pfc based on an isolated full-bridge boost topology,” JPE Journal of Power Electronics, vol. 11, no. 3, pp. 264–270, May 2011.

[11] G. Tibola, E. Lemmen, J. L. Duarte, I. Barbi, “Passive Regenerative and Dissipative Snubber Cells for Isolated SEPIC Converters: Analysis, Design, and Comparison”, IEEE Transactions on Power Electronics, vol. 32, no. 12, pp. 9210-9222, January. 2017.

[12] S. W. Lee and H. L. Do, “Isolated SEPIC DC-DC Converter with Ripple-Free Input Current and Lossless Snubber”, IEEE Transactions on Industrial Electronics, Vol. 65, No. 2, pp: 1254–1262, 2018.

[13] Rashma Davis, Aathira K V, “Developed Non-isolated High Step-up Converter with Low Voltage Stress”, International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT), 2018.

[14] Y. P. Siwakoti, A. Mostaan, A. Abdelhakim, P. Davari, M. Soltani,M. N. H. Khan, L. Li, and F. Blaabjerg, “High voltage gain quasi-SEPICDC-DC converter,” *IEEE J. Emerg. Sel. Top. Power Electron.*, pp. 1–1,2018.

www.SID.ir