مبدل سطح ولتاژ سریع و کم توان بر اساس ساختار اتصال متقابل پشته‌ای بهبود یافته جهت کاربردهای کم توان و اینترنت اشیا

زهرا اسدی[۱]، محمدباقر غزنوی قوشچی[۲]

[۱]کارشناسی ارشد مهندسی برق الکترونیک، دانشگاه شاهد

[۲]دانشیار دانشکده فنی و مهندسی، دانشگاه شاهد ghaznavi@shahed.ac.ir

چکیده

در این مقاله یک مبدل سطح کم توان و سریع با محدوده تبدیل ولتاژ زیر آستانه به ولتاژ متعارف تکنولوژی هدف ارائه شده است. سرعت و توان مبدل پیشنهادی به دلیل ساختار اتصال متقابل پشته‌ای بهبود یافته است. به منظور کاهش بیشتر توان ناشی از جریان اتصال کوتاه، یک معکوس‌کننده با ورودی‌های مجزا در خروجی بکار رفته است. برای کاهش سوئینگ ولتاژ در حلقه فیدبک، و ایجاد اختلاف بین زمان روشن و خاموش شدن ترانزیستورهای خروجی از ترانزیستور-های اتصال دیودی در حلقه فیدبک استفاده شده است. نتایج شبیه‌سازی Post-layout در تکنولوژی استاندارد 180 nm CMOS نشان می‌دهند که مبدل پیشنهادی می‌تواند در تبدیل ۰/۴ ولت به ۱/۸ ولت در فرکانس ۱ مگاهرتز با توان ۸۹/۲۳nW و تأخیر ۲۳/۶۸ns صورت صحیح عمل نماید. این مدار با توجه به توان کم و رنج ولتاژهای کارکردی برای کاربردهای برچسب‌های اینترنت اشیا بخصوص در بخش جداسازی نواحی کم مصرف و با ولتاژ پایین از بخش های پر مصرف و با ولتاژ بالا قابل استفاده است.

کلیدواژه

سیستم‌های چند ولتاژی، مبدل سطح ولتاژ، طراحی کم-توان، طراحی زیر آستانه، اتصال متقابل پشته‌ای.

مقدمه

با توجه به وجود محدودیت‌هایی مانند قابلیت حمل منبع انرژی (باطری)، عدم امکان تعویض مداوم آن، لزوم افزایش طول عمر دستگاه‌ها[۱] و نیاز به توان محاسباتی بیشتر، در برنامه‌های کاربردی[۲] اینترنت اشیا[۳] و تجهیزات الکتریکی[۴]، کاهش توان به همراه افزایش کارآیی به یکی از مسائل مهم طراحی تبدیل شده است [۱-۶]. یک روش مؤثر برای کاهش توان، استفاده از طراحی در ناحیه زیر آستانه و طراحی سیستم‌های چندولتاژی است. به منظور اطمینان از صحتِ انتقالِ سیگنال بین بلوک-های سیستم چندولتاژی از مبدل‌ها بین بلوک‌های دارای ولتاژ متفاوت استفاده می‌شود [۷, ۸]. شکل ۱. بلوک دیاگرام یک مدار تشخیص سیگنال QRS آنالوگ را به عنوان نمونه‌ای از کاربرد مبدل سطح در برنامه‌های کاربردی زیست پزشکی نشان می‌دهد. با توجه به شکل ۱. مبدل بین دو بلوک با ولتاژهای متفاوت قرار گرفته و سطح ولتاژ کم سیگنال دریافتی را افزایش داده تا مناسب استفاده در آشکارساز خروجی شود [۹].

تعداد مبدل‌های سطح با افزایش حوزه‌های ولتاژ یا پهنای داده در سیستم‌های روی تراشه، به طور چشمگیر افزایش یافته و آن‌ها را به یکی از اجزا جدایی‌ناپذیر و پرتکرار در طرح‌های ولتاژ پایین با چند منبع ولتاژ تبدیل کرده است. در نتیجه تأخیر، توان و مساحت سیستم به دلیل وجود مبدل‌های سطح افزایش می‌یابند و تأثیر قابل توجهی بر عملکرد سیستم می‌گذارند. بنابراین، طراحی مبدل‌ها به صورت کم توان، سریع و با قابلیت کارکردن در ناحیه زیر آستانه به عنوان یک مسئله مهم در طراحی سیستم‌های چندولتاژی، شناخته می‌شود [۱, ۳, ۷, ۱۰, ۱۱].

[۱] Devices

[۲] Applications

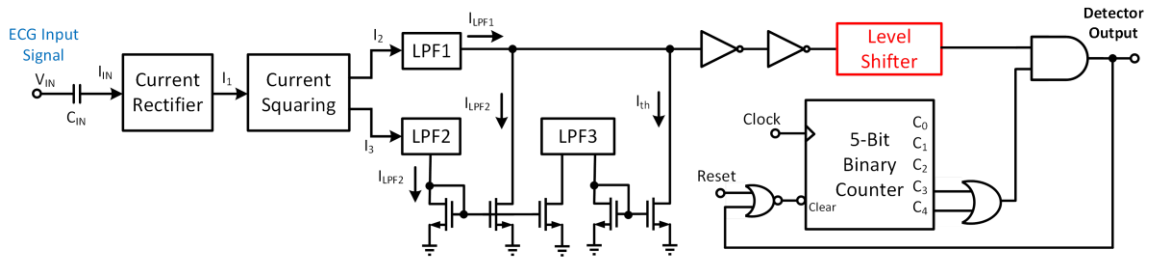
[۳] Internet-of-Things (IoT)

[۴] Electrical Apparatus

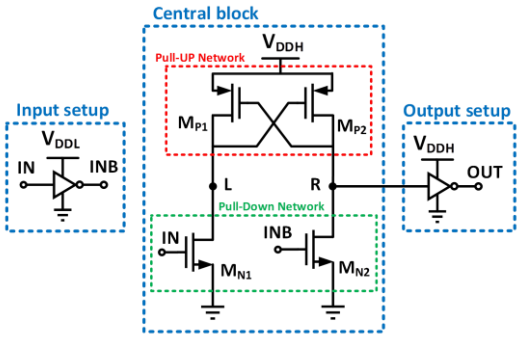
www.SID.ir

تاریخ دریافت: ۱۳۹۸/۱۰/۱۲ تاریخ پذیرش: ۱۴۰۰/۰۳/۰۹

Archive of SID



شکل۱. کاربرد مبدل سطح ولتاژ در مدار تشخیص QRS آنالوگ [۹].



شکل۲. ساختار مبدل سطح ولتاژ DCVS.

ساختار مبدل سطح DCVS [۵] یک نمونه متداول از ساختارهای مبدل سطح است. همان‌طور که در شکل۲. مشاهده می‌شود، ساختار این مبدل از سه بلوک ورودی، خروجی و بلوک داخلی تشکیل شده است. بلوک‌های ورودی و خروجی با استفاده از معکوس‌کننده که به ترتیب با ولتاژهای V_{DDL} و V_{DDH} تغذیه می‌شوند، طراحی شده‌اند. در ساختار بلوک داخلی این مبدل از ترانزیستورهای PMOS با اتصال متقابل برای شبکه بالاکشنده و از ترانزیستورهای NMOS با نام‌های M_{N1} و M_{N2} که با استفاده از سیگنال‌های ورودی IN, INB دارای سطح ولتاژ پایین درایو می‌شوند، به عنوان شبکه پایین‌کشنده، استفاده شده است.

در این مقاله ساختار اتصال متقابل پشته‌ای بهبود یافته معرفی شده و مقاله به شرح زیر سازماندهی شده است. در بخش دوم ادبیات تحقیق بیان و مدل پیشنهادی در بخش سوم معرفی و بررسی شده است. تحلیل و نتایج شبیه‌سازی و مقایسه با کارهای پیشین در بخش چهارم گنجانده شده است. در بخش آخر نتیجه‌گیری بیان شده است.

ادبیات تحقیق

شرح عملکرد مبدل سطح ولتاژ DCVS

برای شرح رفتار عملکردی مبدل سطح DCVS فرض می‌کنیم سیگنال ورودی دارای منطق یک باشد. در این صورت، ترانزیستور M_{N1} روشن و M_{N2} خاموش است. در این لحظه خازن موجود در گره L تخلیه شده و ولتاژ گره L تا صفر کم و ترانزیستور M_{P2} روشن شده و خازن گره R شارژ و ولتاژ گره R تا V_{DDH} افزایش می‌یابد. بنابراین، ترانزیستور M_{P1} خاموش شده و باعث کاهش سریع‌تر ولتاژ گره L می‌شود. در این حالت شبکه فیدبک فعال شده و با افزایش ولتاژ گره R تبدیل ولتاژ را تسریع می‌کند. در این مدل به دلیل سوئینگ زیاد در گره‌های L و R توان زیادی در ساختار داخلی مصرف شده و سرعت سوئیچینگ پایینی دارد. از طرف دیگر، ترانزیستورهای PMOS به دلیل کارکردن با ولتاژ زیاد V_{DDH} دارای قدرت بیشتری نسبت به ترانزیستورهای NMOS که با ولتاژ کم V_{DDL} درایو می‌شوند، دارند. درنتیجه، هنگام تغییر گذار سیگنال ورودی بین دو طبقه PU و PD تقابل وجود دارد. تقابل بین دو شبکه در این ساختار مشکلاتی را ایجاد می‌کند. به عنوان مثال، اختلاف زیاد بین سطوح ولتاژی V_{DDL} و V_{DDH}، موجب ایجاد اختلاف بین مقدار جریان ترانزیستورهای PU و PD می‌شود، که سبب تفاوت زمان‌های شارژ و دشارژ خازن‌های موجود در گره‌های خروجی شده و کارآیی مدار کاهش می‌یابد. همچنین اگر سطح ولتاژ V_{DDL} پایین‌تر از ولتاژ آستانه ترانزیستورهای ورودی باشد، مدار قادر به تبدیل سطح ولتاژ گره‌های L و R به سطح ولتاژ V_{DDH} نخواهد بود [۵, ۷]. در واقع، چالش اصلی این مبدل، رقابت بین PU و PD هنگام تبدیل ولتاژ ناحیه زیر آستانه به سطوح ولتاژی بالاتر است. برای آن‌که این مبدل بتواند با ولتاژهای زیرآستانه نیز عمل تبدیل را انجام دهد، باید رقابت بین دو طبقه کاهش یابد، هرچند ممکن است این عمل باعث به وجود آمدن حداقل سربارهای مساحت و انرژی در طراحی شود [۳]. به منظور بهبود پارامترهای تأخیر، توان، رقابت بین PU و PD و افزایش بازه تبدیل ولتاژ روش‌های طراحی متفاوتی ارائه شده‌اند، که شرح مختصر آن‌ها در ادامه آمده است.

[۵] Differential Cascode Voltage Switch

www.SID.ir

Archive of SID

رویکردهای ارائه شده توسط دیگران به منظور بهبود عملکرد مبدل سطح

با انتخاب ابعاد مناسب برای PD و PU می‌توان تعادل بین قدرت جریان‌دهی دو شبکه را برقرار کرد. در این صورت باید پهنا ترانزیستورهای NMOS را نسبت به پهنا ترانزیستورهای PMOS چندین برابر بزرگتر در نظر گرفت. نسبت افزایش پهنای ترانزیستورهای NMOS در ولتاژهای زیر آستانه به صورت نمایی افزایش می‌یابد. اما رویکرد افزایش نسبت ترانزیستورهای NMOS منجر به انتخاب اندازه‌های غیر عملی برای PD می‌شود [۳, ۷, ۱۲] و جریان حالت آماده به کار[۶] را به طور قابل توجهی افزایش می‌دهد، که مطلوب نیست [۶]. راه حل جایگزین دیگر که برای کاهش رقابت بین این دو طبقه در مراجع [۱۳, ۱۴] معرفی شده، استفاده از فن‌آوری دارای چندین ولتاژ آستانه MTCMOS[۷] است. به این صورت که، برای افزایش جریان شبکه PD می‌توان از ترانزیستورهای NMOS قوی با ولتاژ آستانه خیلی کم، یا ترانزیستورهای PMOS ضعیف با ولتاژ آستانه زیاد استفاده نمود. استفاده فن-آوری MTCMOS در واقع به معنای کم کردن قدرت PU، هنگامی که PD گره خروجی را پایین می‌کشد، است. یکی از مشکلات دیگر این‌گونه از مبدل‌های سطح ولتاژ، هنگامیست که ترانزیستورها در ناحیه قطع قرار دارند و جریان نشت آماده به کار به صورت قابل توجهی افزایش می‌یابد. روش‌هایی که به وسیله آن می‌توان جریان نشتی را کاهش داد شامل، افزایش طول کانال، کاهش پهنای کانال و استفاده از جایگذاری ترانزیستورهای PU با مدل جفت پشته‌ای[۸] با طبقه PU ساختار DCVS [۲]و استفاده از دو مدار تقویت‌کننده به صورت موازی با ترانزیستورهای M_{P1} و M_{P2} در ساختار DCVS معمولی است [۱۵]. مشکل دیگر که در ساختار DCVS وجود دارد سرعت پایین پاسخ شبکه فیدبک است که کارآیی مبدل سطح را کاهش می‌دهد. برای حل این مشکل از ترانزیستورهای اتصال دیودی، ژنراتور جریان و PU خود سازگار[۹] استفاده شده است [۸, ۱۶, ۱۷].

مدار ارائه شده در [۱۸] مبتنی بر ساختار آینه جریان است که برای بهبود عملکرد مدار، از شبکه خروجی بزرگ و تکنولوژی MTCMOS استفاده شده است. این ساختار برای افزایش رنج تبدیل ولتاژ، از ترانزیستورهای NMOS با ولتاژ آستانه پایین و برای کاهش توان استاتیک، از مدار کمکی با ترانزیستورهای دارای ولتاژ آستانه بالا بهره برده که موجب افزایش تعداد ترانزیستورها شده است. مدار با ساختار اتصال متقابل ارائه شده در [۱۹] از تکنولوژی MTCMOS برای کاهش بیشتر توان مصرفی و تاخیر بهره برده است. همچنین با تغییر ولتاژ پایه بالک ترانزیستورها و افزودن مدار کمکی، سطح ولتاژ قابل تبدیل را کاهش داده و باعث افزایش تعداد ترانزیستورها و بزرگ شدن مدار شده است. مبدل با ساختار اتصال متقابل ارائه شده در [۲۰] از ترانزیستورهای اتصال دیودی برای کاهش رقابت و بهبود عملکرد در ولتاژهای پایین استفاده کرده است. با افزودن مدار فیدبک مثبت و استفاده از ترانزیستورهای LVT[۱۰] و بزرگ برای طبقه پایین‌کشنده سرعت مدار بهبود یافته است. همچنین برای کاهش توان استاتیک از تکنولوژی MTCMOS و شبکه معکوس‌کننده نامتقارن در طراحی بهره برده است.

در این مقاله، یک مکانیزم[۱۱] اتصال متقابل پشته‌ای بهبود یافته به منظور کاهش جریان نشتی و افزایش سرعت فیدبک در مدار ارائه شده است. از طرف دیگر به منظور کاهش سوئینگ در حلقه فیدبک و ایجاد عدم همزمانی در زمان روشن شدن ترانزیستورهای طبقه خروجی از ترانزیستورهای اتصال دیودی بین پایه‌های ترانزیستورهای خروجی، در حلقه فیدبک استفاده شده است. همچنین به منظور کاهش مساحت و افزایش سرعت در گذار پایین‌رونده ترانزیستور عبوری[۱۲] جایگزین بلوک ورودی ساختار DCVS شده است، که شرح آن در بخش بعد آمده است.

مبدل سطح ولتاژ پیشنهادی

[۶] Standby leakage current

[۷] Multi-threshold CMOS

[۸] Stacked pair

[۹] Self-adapt Pull-up

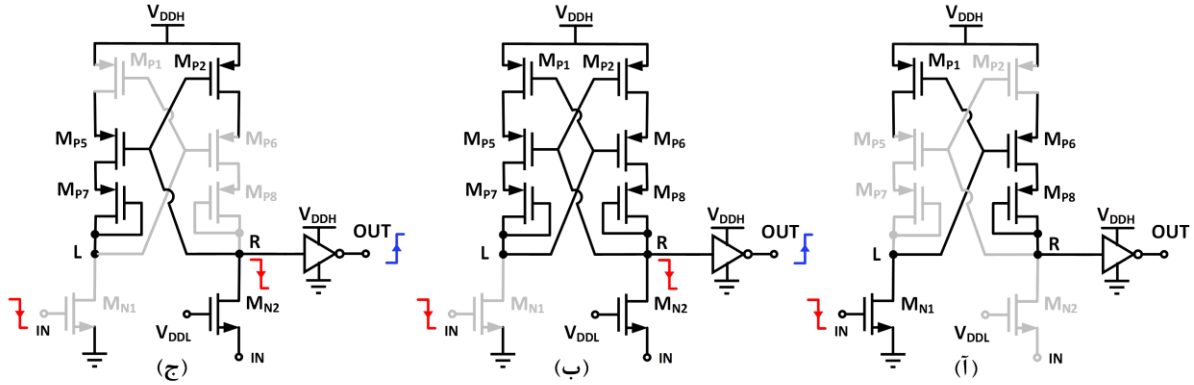
[۱۰] Low Voltage Threshold

[۱۱] Mechanism

[۱۲] Pass-transistor

www.SID.ir

Archive of SID

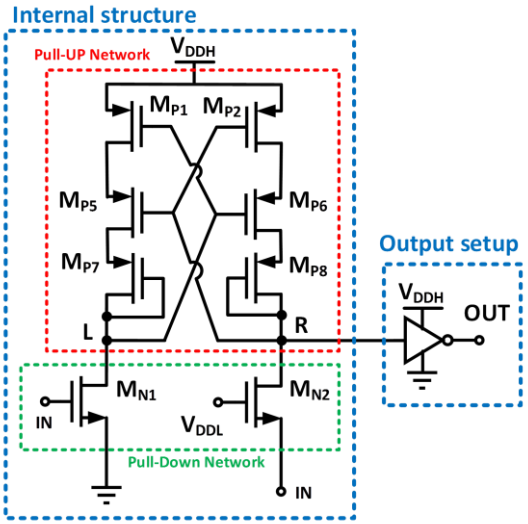


شکل۴. مراحل عملکرد مدار پیشنهادی هنگام گذار پایین‌رونده ورودی.

توصیف مدل ساده شده مبدل سطح پیشنهادی

طرح اولیه مبدل پیشنهای در شکل۳. نشان داده شده است. ساختار پیشنهادی از یک طبقه تبدیل کننده ولتاژ بر اساس ساختار اتصال متقابل پشته‌ای و معکوس‌کننده خروجی برای اطمینان از قدرت جریان‌دهی کافی خروجی تشکیل شده است.

در شبکه PU ساختار پیشنهادی از ترانزیستورهای M_{P1}- M_{P8} استفاده شده است. ترانزیستورهای M_{P1} و M_{P2} دو منبع جریان متغیر را بر روی دو شاخه مدار تحمیل می‌کنند. بنابراین، قدرت PU به گذار سوئیچینگ خروجی بعدی منتقل می‌شود. این بدین معناست که اگر فرض کنیم ابتدا ولتاژ خروجی در کمترین (بیشترین) مقدار خود قرار دارد، PU شاخه سمت چپ، ضعیف (قوی) شده و بعد از آن قدرت PU شاخه سمت راست، قوی (ضعیف) شده و سرعت سوئیچینگ خروجی



شکل۳. طرح اولیه ساختار پیشنهادی.

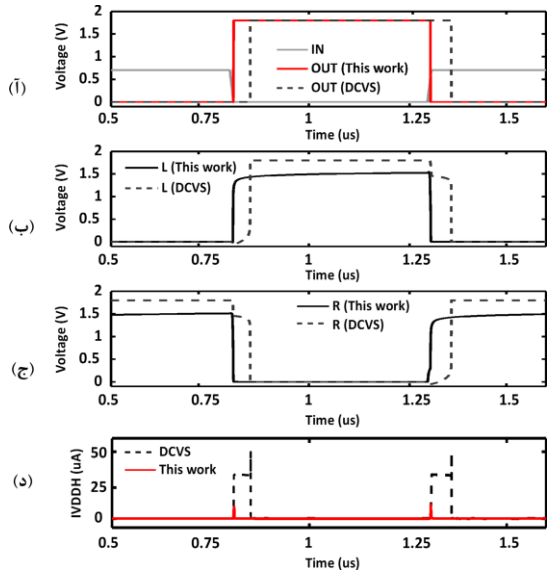
در گذار کم به زیاد (زیاد به کم) افزایش می‌یابد [۱۷]. به عبارت دیگر، دو ترانزیستور M_{P1} و M_{P2}، با تنظیم قدرت شبکه بالاکشنده، زمان بارگیری یا تخلیه گره‌های L و R را کاهش می دهند، که در نتیجه سرعت را افزایش و توان دینامیک را کم - می‌نمایند [۸]. همچنین به منظور محدود کردن قدرت و جریان اولیه PU در ابتدای گذار و در نتیجه کاهش تقابل بین دو شبکه از دو ترانزیستور اتصال دیودی M_{P7} و M_{P8} به صورت سری با دو ترانزیستور اصلی M_{P5} و M_{P6} با قرار گرفتن در داخل شبکه فیدبک مثبت استفاده شده است [۱۵]. هنگامی که سیگنال ورودی ثابت است، ولتاژهای V_{GS} دو ترانزیستور اتصال دیودی M_{P7} و M_{P8} بسیار کم و برابر با افت ولتاژ دیود در PMOS است و به صورت لحظه‌ای تغییر نمی‌کنند و باعث کاهش سوئینگ ولتاژ در داخل حلقه فیدبک شده و سرعت سوئیچینگ را افزایش می‌دهد [۲۱]. در شبکه PD برای افزایش سرعت مدار معکوس‌کننده ورودی موجود در ساختار DCVS حذف شده و به جای آن از ترانزیستور عبوری M_{N2} استفاده شده است. با این روش سرعت گذار در لبه پایین‌رونده به طور قابل قبولی افزایش یافته است. در زیر بخش بیان عملکرد مبدل سطح پیشنهادی، نحوه عملکرد مبدل پیشنهادی در سه مرحله برای گذار پایین‌رونده توضیح و در شکل۴. برای رسم شده است.

بیان عملکرد مبدل سطح پیشنهادی

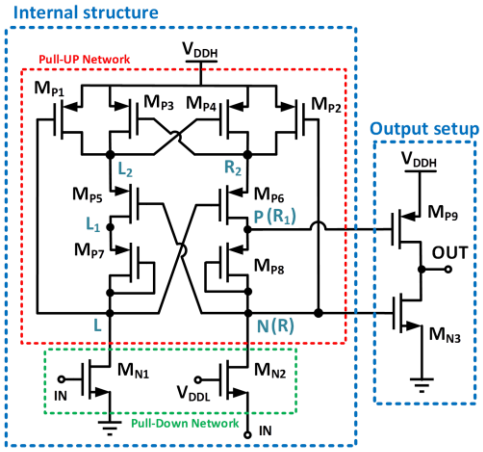
در مرحله اول (شکل۴. (آ)) که ورودی در منطق "یک" پایدار است و ولتاژ گره L کم و ولتاژ R زیاد است. بنابراین ترانزیستورهای M_{P5} و M_{P2} و M_{P7} خاموش و ترانزیستورهای M_{P6} و M_{P1} و M_{P8} روشن هستند. در گذار پایین‌رونده، هنگامی که ورودی از منطق یک به صفر تغییر می‌کند، ولتاژ V_{GS} ترانزیستور اتصال دیودی M_{P8} به سرعت تغییر نکرده و با ارزش اولیه کم خود، قدرت PU شاخه سمت راست را محدود می‌کند. ترانزیستور M_{N2} روشن و M_{N1} خاموش می‌شوند. بنابراین خازن‌های پارازیتی موجود در گره R تخلیه شده و با استفاده از

www.SID.ir

Archive of SID



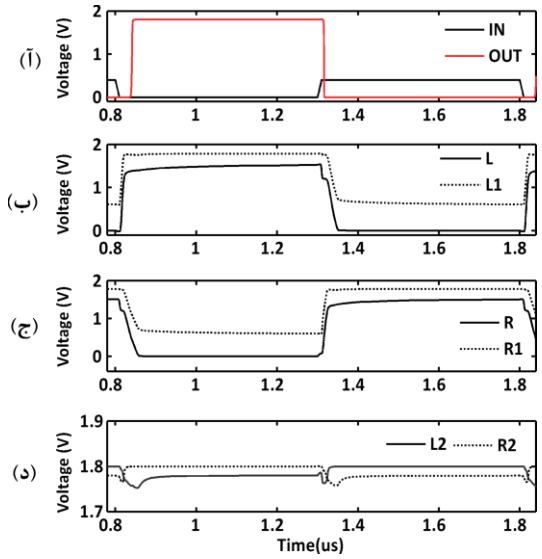
شکل۵. شکل موج ولتاژ گره‌های مبدل DCVS و مبدل پیشنهادی به همراه جریان کشیده شده از منبع در دو ساختار.



شکل۶. ساختار نهایی مبدل سطح ولتاژ پیشنهادی.

ترانزیستورهای M_{P2} و M_{P4} جریان عبوری از این شاخه کم شده و سرعت تخلیه گره R سریع‌تر می‌شود. در مرحله دوم (شکل۴. (ب)) که ولتاژ گره R در آستانه کم‌تر شدن از ولتاژ V_{DDH}-$V_{th,p}$ است، همه ترانزیستورهای PU برای یک لحظه روشن هستند و فیدبک مثبت در مدار برقرار است. بعد از آن‌که ولتاژ گره R کمتر از V_{DDH}-V_{th} و ولتاژ گره L بیشتر از V_{DDH}-V_{th} می‌شوند؛ مرحله سوم (شکل۴. (ج)) آغاز شده و ترانزیستورهای M_{P6} و M_{P1} روشن می‌شوند. در این مرحله، با روشن شدن M_{P6} ولتاژ گره R افزایش می‌یابد و به دنبال آن فیدبک مثبت در مدار برقرار شده و ترانزیستورهای M_{P5} و M_{P2} و M_{P7} روشن و ترانزیستورهای M_{P6} و M_{P1} و M_{P8} وارد ناحیه زیر آستانه عمیق می‌شوند.

با خاموش شدن M_{P1} سطح ولتاژ در گره L کمتر از V_{DDH} است. ولتاژ این گره از مدار در مقایسه با مدار DCVS در شکل۵. (ج) نشان داده شده است. از این رو، با کاهش سوئینگ ولتاژ، توان دینامیک در مدار کاهش می‌یابد. با ایجاد فیدبک مثبت و خاموش شدن M_{P6}، جریان شبکه PU کاهش یافته و تعادل جریان بین دو شبکه PU و PD افزایش یافته و ترانزیستور M_{N2} قادر است با ولتاژهای کم زیر آستانه نیز ولتاژ گره R را پایین آورد. بنابراین با خاموش شدن M_{P6} و M_{P1} جریان استاتیک عبوری در شاخه‌های مدار کاهش می‌یابد. به منظور ارزیابی بهبود کارآیی مدل پیشنهادی، شکل موج گذارهای گره‌های ساختار DCVS و مبدل سطح پیشنهادی در شکل۵. آمده است. به دلیل زیاد بودن حداقل ولتاژ قابل تبدیل توسط ساختار DCVS شکل ۴ برای تبدیل ولتاژ ۰/۷ ولت ورودی به ۱/۸ ولت خروجی در فرکانس یک مگاهرتز رسم شده است. همان‌طور که مشاهده می‌شود مبدل پیشنهادی پاسخ سریع‌تری نسبت به گذارهای سیگنال ورودی دارد. همان‌طور که در شکل۵. (د) نشان داده شده است، جریان کشیده شده از منبع تغذیه VDDH در مبدل پیشنهادی بسیار کم‌تر از مبدل DCVS است. از این رو مبدل پیشنهادی توان اتلافی کم‌تری نسبت به مبدل DCVS دارد.



شکل۷. شکل موج ولتاژ گره‌های داخلی مبدل پیشنهادی.

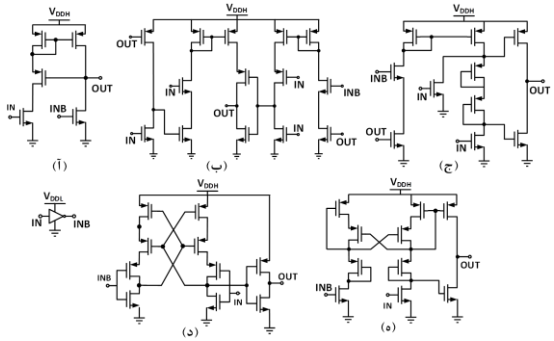
طرح نهایی مبدل سطح پیشنهادی

طرح کامل مبدل پیشنهادی در شکل۶. نشان داده شده است. در این ساختار از ترانزیستورهای M_{P3} و M_{P4} به منظور کاهش ولتاژ V_{GS} ترانزیستورهای M_{P5} و M_{P6} و بهبود قابلیت تبدیل ولتاژ در ولتاژهای زیر آستانه استفاده شده است. از طرف دیگر، از افت ولتاژ V_{DDH}-V_{dsat} ایجاد شده توسط ترانزیستورهای M_{P3} و M_{P4}، به منظور کاهش ولتاژ V_{GS} ترانزیستورهای M_{P5} و M_{P6}

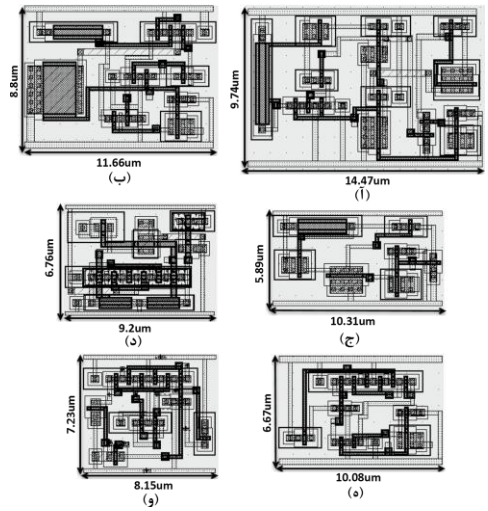
www.SID.ir

Archive of SID

برای کاهش سوئینگ در نقاط داخلی مدار، استفاده شده است، که توان مصرفی را کاهش و سرعت مدار را زیاد می‌کند. همچنین، ترانزیستورهای M_{P3} و M_{P4} سبب کاهش ولتاژ V_{DS} تمامی ترانزیستورهای M_{P5}-M_{P8} و M_{N1}-M_{N2} شده و از این طریق جریان نشتی در مدار کاهش می‌یابد. در مدل اولیه طرح پیشنهادی به منظور جبران سوئینگ ولتاژ در گره R، از معکوس‌کننده در طبقه خروجی استفاده شده است و جریان اتصال کوتاه در بلوک خروجی زیاد است. از این رو، در طرح نهایی مبدل پیشنهادی، برای کاهش توان اتصال کوتاه در خروجی پایه‌های گیت ترانزیستورهای خروجی توسط ترانزیستور اتصال دیودی M_{P8} از یکدیگر جدا شده است.

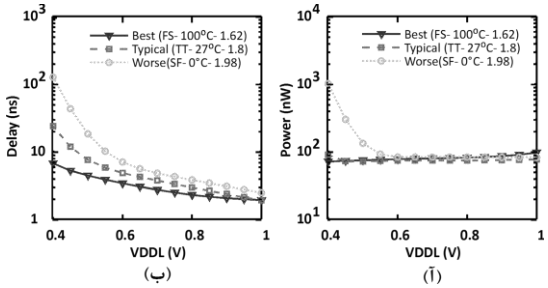


شکل۸. معماری‌های ارائه شده در آ) [۱]، ب) [۷]، ج) [۲۲]، د) [۲۳]، ه)

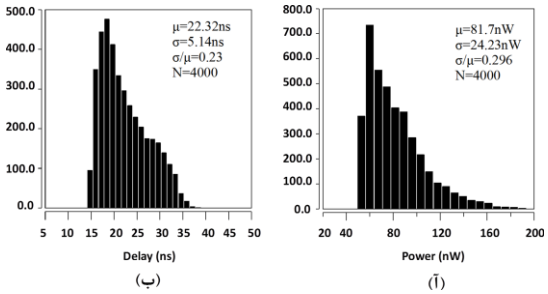


شکل۹. طرح Layout ساختارهای ارائه شده در آ) [۷] ۱۴۰/۹۳ میکرومتر مربع، ب) [۲۲] ۱۰۲/۶۱ میکرومتر مربع، ج) [۱] ۶۰/۷۳ میکرومتر مربع، د) [۲۳] ۶۲/۲ میکرومتر مربع، ه) [۸] ۶۷/۲۳ میکرومتر مربع، و) مبدل پیشنهادی ۵۹/۱ میکرومتر مربع.

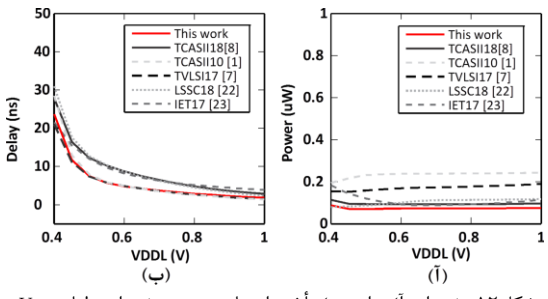
اختلاف ولتاژ ایجاد شده بین پایه‌های گیت ترانزیستورهای خروجی باعث شده از همزمان روشن شدن این دو ترانزیستور جلوگیری کرده و توان اتصال کوتاه کاهش یافته است. شکل موج ولتاژهای داخلی مبدل سطح ولتاژ پیشنهادی در تبدیل ۰/۴ ولت به ۱/۸ ولت در فرکانس یک مگاهرتز در شکل۷. آورده شده است. با توجه به شکل۷. (آ) مبدل پیشنهادی می‌تواند ولتاژ زیر آستانه را نیز به صورت صحیح و سریع تبدیل نماید.



شکل۱۰. آنالیز تغییرات PVT بر پارامتر آ)توان کل، ب) تأخیر انتشار.



شکل۱۱. آنالیز مونت کارلو بر پارامتر آ) توان کل، ب) تأخیر انتشار.



شکل۱۲. تغییرات آ) توان، ب) تأخیر انتشار برحسب تغییرات ولتاژ V_{DDL}.

نتایج شبیه‌سازی

به منظور بررسی کارایی مبدل پیشنهادی، ساختار پیشنهادی و معماری‌های ارائه شده در [۱, ۷, ۸, ۲۲, ۲۳] با استفاده از فن آوری CMOS 180nm شبیه‌سازی شده‌اند. برای مقایسه منصفانه، تمام ساختارها در شرایط شبیه‌سازی یکسان با یک سیگنال ورودی شبیه‌سازی شده‌اند (گوشه پروسه[۱۳] TT، فرکانس ۱ مگاهرتز در دمای ۲۷ درجه سانتی‌گراد با تبدیل ۰/۴ ولت به ۱/۸ ولت). همچنین، نتایج ارائه شده در زیر حاصل شبیه‌سازی post-layout است و یک معکوس‌کننده به عنوان بار در خروجی کلیه ساختارها اضافه شده است. طرح نهایی

[۱۳] Process

www.SID.ir

Archive of SID

جدول۱. خلاصه نتایج شبیه‌سازی در تکنولوژی ۱۸۰نانومتر به ازای فرکانس یک مگاهرتز و دمای ۲۷ درجه سانتی‌گراد.

Ref	Conversion range (V)	Delay (ns)	Static Power (pW)	Total power (nW)	PDP (nW. ns)	Area (μm^2)
TCAS-II'10 [1]	۰/۳۸ – ۱/۸	۲۸/۵	۴۰۱	۱۹۵/۴	۵۵۷۹	۶۰/۳۱
TVLSI'17 [7]	۰/۲۸ – ۱/۸	۳۰/۸۶	۲۹۰	۱۵۶	۴۸۱۴	۱۴۰/۹۳
TCAS-II'18 [8]	۰/۲۸ – ۱/۸	۲۷/۸۶	۳۰۶	۱۱۵	۳۲۰۴	۶۷/۲۳
LSSC'18 [22]	۰/۲۸ – ۱/۸	۲۷/۱	۴۱۸	۸۱	۲۱۹۵	۱۰۲/۶۱
IET-cds'17 [23]	۰/۲۲ – ۱/۸	۲۱/۸	۶۶۳	۱۸۴/۲	۴۰۱۶	۶۲/۱۹
This work	۰/۲۸ – ۱/۸	۲۳/۶۸	۲۴۴	۸۹/۲۳	۲۱۱۳	۵۹/۱

پیشنهادی ارائه شده دارای مساحت مصرفی ۵۹/۱ میکرومتر مربع است. طرح مبدل‌های ارائه شده در [۱, ۷, ۸, ۲۲, ۲۳] در شکل۸. و طرح layout مبدل پیشنهادی و معماری‌های ارائه شده در [۱, ۷, ۸, ۲۲, ۲۳] در شکل۹. نشان داده شده است.

تجزیه و تحلیل تغییرات PVT [۱۴] با فرکانس ورودی یک مگا هرتز در شکل۱۰. نشان داده شده است. گوشه معمولی شامل ترانزیستورهای معمولی NMOS و ترانزیستورهای معمولی PMOS است. دمای شبیه‌سازی ۲۷ درجه سانتی‌گراد و از ولتاژهای ۱/۸ ولت برای V_{DDH} و ۰/۴ ولت برای V_{DDL} استفاده شده است. با انتخاب Fast-NMOS وSlow-PMOS ، تقابل بین دو طبقه PU و PD کاهش می‌یابد و با افزایش دما، قدرت جریان‌دهی افزایش می‌یابد. بنابراین، Fast-NMOS، Slow-PMOS، دمای ۱۰۰°C به همراه ۱۰درصد کاهش ولتاژ V_{DDH} برای بهترین گوشه انتخاب شدند. ترانزیستورها و شرایط کار به عنوان بدترین گوشه، Slow-NMOS، Fast-PMOS، دمای ۰°C و ۱۰ درصد کاهش ولتاژ V_{DDH} انتخاب شدند.

به منظور بررسی تأثیر عدم تطابق و تغییرپذیری پروسه بر مبدل پیشنهادی، آنالیز مونت کارلو[۱۵] با ۴۰۰۰ اجرا برای دو پارامتر تأخیر انتشار و توان مصرفی اجرا شده است. نتایج مونت کارلو تأخیر و توان مصرفی در شکل۱۱. نشان داده شده است. با توجه به نتایج، مبدل پیشنهادی دارای μ/σ نرمال شده پایین است و در مقابله با تغییرات محلی و جهانی مقاوم است.

شکل۱۲. تأخیر انتشار و توان مصرفی را بر اساس تغییرات V_{DDL} برای ساختارهای و مبدل پیشنهادی نشان می‌دهد. مبدل پیشنهادی در تمام بازه تبدیل ولتاژ دارای کمترین توان مصرفی است. برای مقایسه عادلانه، خلاصه نتایج شبیه‌سازی ساختار پیشنهادی و دیگر ساختارها تحت شرایط مشابه در جدول۱. آمده است. در جدول۱. از PDP[۱۶] به عنوان یک معیار مزیت برای مقایسه بهتر استفاده شده است. واضح است که ساختار پیشنهادی دارای کمترین PDP در ساختارهای شبیه سازی شده است. همچنین مبدل پیشنهادی کمترین مساحت را در مقایسه با سایر مدارها داراست.

نتیجه‌گیری

در این مقاله یک مبدل سطح ولتاژ سریع و کم‌توان به منظور استفاده در سیستم‌های کم توان مانند کاربردهای اینترنت اشیا، زیست پزشکی و شبکه‌های حسگر بی‌سیم ارائه شد. در ساختار پیشنهادی از یک مکانیزم اتصال متقابل پشته‌ای بهبود یافته به منظور کاهش جریان نشتی و افزایش سرعت فیدبک به کار برده شد. از طرف دیگر به منظور کاهش سوئینگ در حلقه فیدبک و ایجاد عدم همزمانی در روشن شدن ترانزیستورهای طبقه خروجی از ترانزیستورهای اتصال دیودی بین پایه‌های ترانزیستورهای خروجی، در حلقه فیدبک استفاده شد. همچنین به منظور کاهش مساحت و افزایش سرعت در گذار پایین‌رونده ترانزیستور عبوری به عنوان جایگزین بلوک ورودی ساختار DCVS استفاده شد. طرح پیشنهادی در فرکانس۱۰ کیلوهرتز قادر است ولتاژ کم ۸۰ میلی ولت را به ولتاژ ۱/۸ ولت تبدیل نماید. نتایج شبیه‌سازی Post-layout، توان مصرفی ۸۹/۲۳ نانووات و تأخیر انتشار ۲۳/۶۸ نانوثانیه را به ازای تبدیل ۰/۴ ولت به۱/۸ ولت نشان می‌دهد. ساختار پیشنهادی نسبت به کارهای مقایسه شده دارای مساحت و معیار مزیت کم‌تری است.

[۱۴] Process-Voltage-Temperature

[۱۵] Monte-Carlo analysis

[۱۶] Power-Delay Product

www.SID.ir

Archive of SID

مراجع

[1] S. Lutkemeier and U. Ruckert, "A subthreshold to above-threshold level shifter comprising a wilson current mirror," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, no. 9, pp. 721-724, 2010.

[2] D. Zhang, A. Bhide, and A. Alvandpour, "A 53-nW 9.1-ENOB 1-kS/s SAR ADC in 0.13-um CMOS for Medical Implant Devices," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 7, pp. 1585-1593, 2012.

[3] W. Zhao, A. B. Alvarez, and Y. Ha, "A 65-nm 25.1-ns 30.7-fJ robust subthreshold level shifter with wide conversion range," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, no. 7, pp. 671-675, 2015.

[4] Y. Pu *et al.*, "A 9-mm² Ultra-Low-Power Highly Integrated 28-nm CMOS SoC for Internet of Things," *IEEE Journal of Solid-State Circuits*, 2018.

[5] A. Wang and A. Chandrakasan, "A 180-mV subthreshold FFT processor using a minimum energy design methodology," *IEEE Journal of solid-state circuits*, vol. 40, no. 1, pp. 310-319, 2005.

[6] K. Usami *et al.*, "Automated low-power technique exploiting multiple supply voltages applied to a media processor," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 3, pp. 463-472, 1998.

[7] S. R. Hosseini, M. Saberi, and R. Lotfi, "A High-Speed and Power-Efficient Voltage Level Shifter for Dual-Supply Applications," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 3, pp. 1154-1158, 2017.

[8] S. Kabirpour and M. Jalali, "A Low-Power and High-Speed Voltage Level Shifter Based on a Regulated Cross-Coupled Pull-Up Network," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 6, pp. 909-913, 2018.

[9] F. Morshedlou, N. Ravanshad, and H. Rezaee-Dehsorkh, "A Low-Power Current-Mode Analog QRS-Detection Circuit for Wearable ECG Sensors," in *2018 25th National and 3rd International Iranian Conference on Biomedical Engineering (ICBME)*, 2019, pp. 1-6: IEEE.

[10] S. R. Hosseini, M. Saberi, and R. Lotfi, "A low-power subthreshold to above-threshold voltage level shifter," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 61, no. 10, pp. 753-757, 2014.

[11] P. Singh, "A 19nW, near-threshold to I/O voltage level shifter in 28nm FD-SOI using 1.8 V/28Å device for IoT Systems," in *Circuits and Systems (ISCAS), 2018 IEEE International Symposium on*, 2018, pp. 1-4: IEEE.

[12] P. Wu, J. Cao, and J. Yang, "A novel level shifter for practical IoT applications," in *2018 IEEE International Conference on Applied System Invention (ICASI)*, 2018, pp. 141-144: IEEE.

[13] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "A low-power level shifter with logic error correction for extremely low-voltage digital CMOS LSIs," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 7, pp. 1776-1783, 2012.

[14] P. Corsonello, S. Perri, and F. Frustaci, "Exploring well configurations for voltage level converter design in 28 nm UTBB FDSOI technology," in *Computer Design (ICCD), 2015 33rd IEEE International Conference on*, 2015, pp. 499-504: IEEE.

[15] M. Lanuzza, F. Crupi, S. Rao, R. De Rose, S. Strangio, and G. Iannaccone, "An ultralow-voltage energy-efficient level shifter," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, no. 1, pp. 61-65, 2017.

[16] A. A. Vatanjou, T. Ytterdal, and S. Aunet, "An Ultra-Low Voltage and Low-Energy Level Shifter in 28 nm UTBB-FDSOI," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 6, pp. 899-903, 2018.

[17] M. Lanuzza, P. Corsonello, and S. Perri, "Fast and wide range voltage conversion in multisupply voltage designs," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 23, no. 2, pp. 388-391, 2015.

[18] H. You, J. Yuan, W. Tang, S. Qiao, and Y. Hei, "An Energy-efficient Level Shifter for Ultra Low-Voltage Digital LSIs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020.

[19] E. Låte, T. Ytterdal, and S. Aunet, "An Energy Efficient Level Shifter Capable of Logic Conversion From Sub-15 mV to 1.2 V," *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020.

[20] H. You, J. Yuan, W. Tang, Y. Yu, S. Qiao, and Y. Hei, "An ultra-low leakage energy efficient level shifter with wide conversion range," *IEICE Electronics Express*, p. 16.20190507, 2019.

www.SID.ir

Archive of SID

[21] H. Shao and C.-Y. Tsui, "A robust, input voltage adaptive and low energy consumption level converter for sub-threshold logic," in *Solid State Circuits Conference, 2007. ESSCIRC 2007. 33rd European*, 2007, pp. 312-315: IEEE.

[22] R. Lotfi, M. Saberi, S. R. Hosseini, A. R. Ahmadi-Mehr, and R. B. Staszewski, "Energy-Efficient Wide-Range Voltage Level Shifters Reaching 4.2 fJ/Transition," *IEEE Solid-State Circuits Letters*, vol. 1, no. 2, pp. 34-37, 2018.

[23] L. Wen, H. Wen, and X. Zeng, "Sub-threshold level converter with internal supply feedback for multi-voltage applications," *IET Circuits, Devices & Systems*, vol. 11, no. 2, pp. 149-156, 2017.

www.SID.ir